

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫六：超低功率無線通訊晶片之系統設計與整合(1/2)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-002-013-

執行期間：93年08月01日至94年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：闕志達

計畫參與人員：莊景翔、陳柏安、李宗學

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 6 月 1 日

行政院國家科學委員會專題研究計畫成果報告
具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製—
子計畫六：超低功率無線通訊晶片之系統設計與整合(1/2)

計畫編號: 93-2220-E-002-013

執行期限: 93/08/01 ~94/07/31

主持人: 闕志達 教授 國立台灣大學電子工程學研究所

計畫參與人員: 莊景翔 國立台灣大學電子工程學研究所

陳柏安 國立台灣大學電子工程學研究所

李宗學 國立台灣大學電子工程學研究所

一、中文摘要：

在本年度中，我們提出了兩個晶片之實做：(1)適用於不規則低密度奇偶檢查碼(LDPC)之可重配置解碼器晶片(2)混合信號耙式(Rake Receiver)接收機。在(1)中，我們從研究演算法開始著手，接著設計了一套硬體架構來實現演算法，同時兼顧可重配置的需求。接著進行系統模擬，並與 Soft Viterbi 解碼演算法比較彼此的效能優劣。現在正在進行硬體實現的步驟，主要是同時進行晶片的數位電路部分之 RTL 程式與記憶體電路方面的全客戶式佈局設計。在(2)中，我們提出以類比電路來實做耙式接收機的方式。一方面其所消耗的功率較數位的耙式接收機為少，另一方面藉由整合類比相關器而減少系統類比轉數位信號轉換器功率之消耗。目前正在進行類比電路部分及系統的符元錯誤率模擬。

關鍵詞：不規則低密度奇偶檢查碼，可重配置解碼器晶片，混合信號，耙式接收機，類比轉數位信號轉換器。

Abstract

In this year, we propose the implementation of two chips. (1) A reconfigurable decoder IC for Irregular LDPC codes. (2) A mixed signal Rake receiver. In (1), we started from surveying the decoding

algorithms of LDPC, and designed a hardware architecture to implement the decoding algorithm and meet the reconfigurable requirement. Afterwards, we did the system simulation and compared the performance with the Viterbi decoding algorithm. Now we are doing the step of hardware implementation including the RTL coding of the digital circuit and the full-custom design of memory blocks. In (2), we proposed an analog Rake receiver. It can lessen the receiver power consumption as compared to digital Rake receiver and maintain the advantage of the overall system by incorporating the analog correlator to reduce the power consumption of analog to digital converter.

Keywords: Irregular Low-density Parity Check Code, Reconfigurable Decoder IC, Analog to Digital Converter

二、計畫緣由與目的：

在現今的無線通訊系統裡，為了達到高資料傳輸率，與低位元錯誤率，收發機需要利用錯誤更正碼以及不同對抗多路徑效應的技巧來達到系統規格的要求。

在眾多的錯誤更正碼中，相連編碼(concatenated codes)被廣泛的使用。但是目前使用的標準 K=7 內在旋繞編碼之編碼增

益，距離向農界限 (Shannon Bound) 還有 1 到 2 dB。而根據理論分析[1]，不規則之低密度奇偶檢查碼可達到極接近向農界限之程度，約只有 0.25dB。同時，為了能夠把我們所設計的解碼器同時應用在各種不同的標準之中，因此我們決定採用可重配置之硬體架構，以得到最大的彈性與可重配置性。故從本年度開始，我們致力於不規則低密度奇偶檢查碼之演算法研究與可重配置之硬體設計與實現。

另一方面，為了對抗無線環境中的通道效應，耙式接收機是展頻系統廣為採用的重要技術；然而耙式接收機須要實現乘法以及相關性等運算，造成其功率消耗大的缺點。故我們提出以類比方式來實現耙式接收機，以整合混合信號部分之系統且降低系統消耗功率。

三、方法及結果：

(I) 低密度奇偶檢查碼

(A) 演算法之介紹

在 LDPC 解碼演算法中，最常見的為以下兩種分類：

- (1) 機率域解碼演算法 (Probability Domain Decoding Algorithm)
- (2) 對數域解碼演算法 (Log Domain Decoding Algorithm)

分別介紹於下：

機率域解碼演算法介紹[1]

在本域的演算法中，最廣為人知且效能最佳的解碼演算法為「乘積之和」(Sum Of Product) 演算法。其解碼過程可分為以下 3 個步驟：

◇ 初始化(Initialization)

$$P_{ij}^0 = p_{j,t=0}^0, \quad P_{ij}^1 = p_{j,t=0}^1 \quad (1)$$

◇ 水平步驟(Horizontal Step)

$$\Delta P_{ij} = P_{ij}^0 - P_{ij}^1, \quad \Delta Q_{ij} = \prod_{j \setminus j} \Delta P_{ij} \quad (2)$$

$$Q_{ij}^0 = \frac{1 + \Delta Q_{ij}}{2}, \quad Q_{ij}^1 = \frac{1 - \Delta Q_{ij}}{2} \quad (3)$$

◇ 垂直步驟(Vertical Step)

$$P_{ij}^0 = \alpha_{ij} p_{j,t}^0 \prod_{i \setminus i} Q_{i'j}^0, \quad P_{ij}^1 = \alpha_{ij} p_{j,t}^1 \prod_{i \setminus i} Q_{i'j}^1 \quad (4)$$

$$p_{j,t+1}^0 = \alpha_j p_{j,t}^0 \prod_i Q_{i'j}^0, \quad p_{j,t+1}^1 = \alpha_j p_{j,t}^1 \prod_i Q_{i'j}^1 \quad (5)$$

上式(1~5)中的 ij 分別代表 LDPC 矩陣內的列與行之編號， t 代表疊代(iteration)的次數。 p 是先前機率(priori probability)。在初始化步驟中，要把先前機率寫入 P_{ij} 中。而在水平步驟中，主要是把同一列的 P_{ij} 累乘起來，再寫入 Q_{ij} 之中。在垂直步驟中，主要是把同一列的 Q_{ij} 累乘起來，更新 P_{ij} 與 p 的數值，以便從水平步驟繼續進行下一次疊代。

對數域解碼演算法介紹[2]

本域的演算法分成 4 個步驟，敘述如下：

◇ 計算先前對數可能性比值 (priori log likelihood ratio, priori L.L.R)

$$LLR_{j,t=0} = -2 \times y_j \times \frac{|G|^2}{\sigma^2} \quad (6)$$

◇ 初始化(Initialization)

$$P_{ij,t=0} = \phi(LLR_{j,t=0}) \quad (7)$$

$$P_{ij,t=0} - sign = \text{sgn}(LLR_{j,t=0}) \quad (8)$$

◇ 水平步驟(Horizontal Step)

$$Q_{ij,t} = \prod_{j \setminus j} P_{ij',t} - sign \times \phi\left(\sum_{j \setminus j} P_{ij',t}\right) \quad (9)$$

◇ 垂直步驟(Vertical Step)

$$P_{ij,t+1} = \phi(LLR_{j,t} + \sum_{i \setminus i} Q_{i'j,t}) \quad (10)$$

$$P_{ij,t+1} - sign = \text{sgn}(LLR_{j,t} + \sum_{i \setminus i} Q_{i'j,t}) \quad (11)$$

$$LLR_{j,t+1} = LLR_{j,t} + \sum_i Q_{i,j,t} \quad (12)$$

上式(6)中的 y_j 代表接收機收到的訊號， G 與 σ^2 分別是通道增益與高斯雜訊的變異數。這是為了實現軟性解碼(Soft Decoding)必需的資訊。事實上，我們也可以應用軟性解碼於機率域解碼演算法中。於(B)小節中有兩者的效能比較。而上式(7),(9),(10)的函數，定義如下式(13)：

$$\phi(x) = \log \frac{e^{abs(x)} + 1}{e^{abs(x)} - 1} \quad (13)$$

其餘的變數與各步驟的目的均與**機率域解碼演算法**類似。

演算法效能模擬結果與比較

本小節我們介紹**機率域解碼演算法**、對數域解碼演算法與 Viterbi 解碼演算法的效能模擬結果與比較。圖一與圖二是位元錯誤率與封包錯誤率的曲線圖。模擬環境均是在載波頻率為 60GHz 的多路徑通道模型下，調變方式為 QPSK。圖一中的兩條紅色曲線分別代表**機率域**與**對數域**演算法，藍色曲線則是 Viterbi 演算法。可以發現**機率域**演算法在高 SNR 下(大於 11dB)會有最佳的表現，但是**對數域**演算法則是在低 SNR 下比較佔優勢。但是兩者均可以在 SNR 大於 10dB 以上的環境中，具有比 Viterbi 更佳的效能。從圖二的封包錯誤率也可以得到類似的結論，我們設定封包大小為 9000 位元。而由於**對數域**演算法只需要加法器，而不需如**機率域**演算法般需要乘法器，所以考量硬體複雜度與效能的取捨以後，我們最後決定選擇**對數域解碼演算法**作為實做目標。

(C) 系統架構

簡介

我們為了減低如參考文獻[3]中，佔據相

當大比例之繞線面積，我們決定採取分散式、平行式架構，亦即利用多套運算單元與記憶體同時多工處理，並且搭配管線式暫存器。這樣可以減少許多繞線面積。圖三是整個晶片的方塊圖。裡面包含了 16x32 共 512 個副區塊(Sub-block)，LUT 是為了實現式(13)的功能，列/行處理器(Row/Column Processor)則分別負責進行水平步驟與垂直步驟，他們會送出行與列的位址，分別是式(6-12)的 i_j 。L.L.R. SRAM 則是負責儲存式(6)與(12)中的 L.L.R.。

各區塊之介紹

圖四是副區塊的架構圖。裡面包含處理器(Processor)、記憶體區塊(Memory Block)與管線式暫存器(Pipeline Register)。處理器負責進行加法動作，而記憶體區塊負責儲存 P_{ij} 與 Q_{ij} 的數值，其硬體方塊圖如圖五所示。其內的電路將於(E)小節中描述。除了副區塊以外，晶片內還會有上述提及過的列/行處理器，其架構圖如圖六所示，它們主要是由 SRAM 所組成。負責儲存所管轄的列/行群組裡的列、行位址。而 L.L.R. SRAM 的架構與列/行處理器類似，只是儲存的不是位址，而是 L.L.R.。而 LUT 是用數位查表電路來實現，我們使用線性逼近法(Linear Approximation)取代傳統的查表電路，模擬結果如圖七所示，可以發現線性逼近法可以成功的逼近理論曲線。

(D) 矩陣之列與行的交換動作

動機

為了使我們的可重配置解碼器，可以適用於多種不同的 LDPC 奇偶檢查碼矩陣(Parity-check Matrix)，同時把硬體複雜度減到最低。我們會先對矩陣的列與行做交換動作，目的是使得矩陣內的“1”可以分佈的比較

均勻，因為我們必需配置記憶體來儲存所有“1”的位置處的 P_{ij} 與 Q_{ij} 。如果 1 的分佈越均勻，則可以減少記憶體區塊內的 Words 數目，同時可以增加系統的吞吐量(Throughput)。

模擬結果

圖八是我們的列與行交換之程式模擬結果，我們的程式中利用了模擬降溫退火(Simulated Annealing)的程式技巧[4]。我們一共對 802.16d 與 TGn Sync 及 WWise 聯盟提出的 802.11n 之標準內的三種 LDPC 矩陣做列行交換。最後可以使每個記憶體區塊只需 18 個 Words，同時於每個副區塊只需停留 1 個時脈週期。表一是比較是否做列與行交換，所需的硬體與吞吐量的差異。因此可以發現，若是沒有我們的程式，預先對使用者輸入的矩陣做列行交換，則至少會增加 250%以上的硬體，同時吞吐量也會減低一半以上。

(E) 電路設計

本章節主要介紹各區塊的電路設計。

記憶體區塊(Memory Block)

本區塊主要是以 Full-custom 方式設計。本區塊包含了 Content Addressable Memory(CAM) [5]與 SRAM [6]。CAM 是為了可以即時的把欲取出的資料之位址，與記憶體內所有的位址做比對，並把比對成功的資料取出給處理器做累加。因為我們需要同時對 P_{ij} 與 Q_{ij} 記憶體做讀寫動作，所以我們特別設計了雙埠的 CAM Cell，可同時支援兩個位址比對動作，以分別讀寫 P_{ij} 與 Q_{ij} 。其電路如圖九所示，圖十則是佈局結果。而佈局結果並沒有包含圖九中所示的預先充電/放電的 PMOS/NMOS 對。

我們也對 SRAM 做了電路與佈局設計，如圖十一與圖十二所示。

此外，為了提高記憶體讀取速度，我們設計了雙級之感測放大器(Two-stage Sense

Amplifier)做為記憶體之輸出級，其電路圖如圖十三所示。

處理器(Processor)

下圖十四是處理器的架構圖。處理器負責進行累加動作，並且給予記憶體區塊各個控制訊號。處理器的運作模式共有以下幾種：

- 模式 0: CAM 內之位址配置
- 模式 1: 初始化 P_{ij}
- 模式 2: 水平步驟
 - 列位址比對符合：累加 P_{ij}
 - 寫入 Q_{ij}
- 模式 3: 垂直步驟
 - 行位址比對符合：累加 Q_{ij}
 - 寫入 P_{ij}

這個部分的電路已經用 RTL 的 Verilog 程式撰寫完成並做合成(Synthesis)，而且驗證無誤。

列/行處理器(Row/Column Processor)

由於列與行處理器，基本上十分類似，所以我們以列處理器為例，說明其架構。圖十五是列處理器之硬體方塊圖，為了避免位元線(Bit Line)的負載太大，而影響讀取速度，我們把 576 個 Words 分成 32 個 Bank，每個 Bank 正好對應到一個記憶體區塊內的所有位址。再加上一些控制邏輯，即可構成一個完整的列處理器。圖十六為單一 Bank 之硬體方塊圖，包含了 SRAM 與感測放大器。而為了選擇其中一個 Bank 作為輸出或輸入，我們必須設計輸出電路(多工器)與輸入電路(解多工器)，如圖十七與圖十八所示。為了節省功率，我們加上了閘式的功能。亦即只把需要動作的 Bank 所屬的閘式反相器打開，其餘反相器會關閉，如此一來可以節省不必要的消耗功率。

(II) 耙式接收機

本部分的設計構想是為了整合處理經射頻電路降頻後的類比信號以及基頻的數位信號之系統以對抗無線通道的多路徑效應。

耙式接收機是展頻系統裡用來達到時間多樣性的一種常用技巧[1]。通道的多路徑效應會造成傳送機所傳送的同一信號在時間上被散開而以不同的時間及相位抵達接收機。耙式接收機的基本想法就是消除這些不同路徑抵達接收機信號相對的相位差而達成建設性將其加成的效果；另一方面在加成各路徑點的信號時，一般會先將各路徑信號乘上正比於其相對強度之權重再加成，這種加成方式稱為 Maximal Ratio Combining，可以最大化接收信號的訊雜比[1]。一個耙式接收機的基本示意圖如圖十九所示；圖中的耙式接收機分為三個分支(Branch)個別處理三個不同路徑抵達的信號，此架構之形狀即為耙式接收機名稱由來。然而一般用數位方式實現的耙式接收機由於要作乘法及相關性等運算，故其複雜度及消耗的功率皆相當大；目前文獻中最新的耙式接收機晶片出現在 2004 年 Journal of Solid State Circuit [7]。為了更進一步降低耙式接收機的功率消耗，我們提出的系統將以類比的方式來實現圖十九所示的耙式接收機示意圖並整合圖二十所示之數位基頻硬體來實現低功率的混合信號接收機。

耙式接收機架構改進

根據圖十九，我們將耙式接收機的輸出以數學式表示如下：

$$W1 \times (\sum X[t1] \bullet PN) + W2 \times (\sum X[t2] \bullet PN) + W3 \times (\sum X[t3] \bullet PN) \quad (1)$$

其中 $X[t1]$ ， $X[t2]$ ， $X[t3]$ 分別代表耙式接收

機三個分支在不同時間點取樣得到的信號， PN 則是系統所使用的虛擬隨機碼而 $W1$ ， $W2$ ， $W3$ 則是三條時間路徑所對應的通道增益之共軛複數，用來消除三條路徑之間所收到信號之相位差。由於內積(\bullet)和乘法(\times)運算先後可交換，故(1)式又可整理如下；

$$\sum PN \bullet (X[t1] \times W1) + \sum PN \bullet (X[t2] \times W2) + \sum PN \bullet (X[t3] \times W3) = \sum PN \bullet \{X[t1] \times W1 + X[t2] \times W2 + X[t3] \times W3\} \quad (2)$$

觀察(2)，可知其所對應的硬體示意圖如圖二十一所示。可以發現，在圖十九中本來需要三個相關器，經過簡化之後只需要一個相關器。同時，根據[8]的分析，我們將耙式接收機設計成三個分支。

基於上述的討論，我們提出的類比耙式接收機架構如圖二十二所示。在三條分支前端的三套取樣電路[9]用來實現在不同時間點取樣輸入信號之功能，取得之信號送進以 MDAC[10]實現之類比乘法器，最後信號在以電流方式相加並經由電阻轉成電壓送進類比的相關器[9]並透過外接的 ADC 將信號送進數位基頻之電路。

系統規格

系統預計的規格如表二所述。同時由於系統所受的載波頻率誤差效應嚴重，因此相關器採用每八個展頻碼算一次相關值之部分相關性運算(Partial Correlation)而非一般的相關性運算。

接收機封包設計及運作流程

接收機的運作流程如圖二十三所示。系統首先進行初始化及產生耙式接收機所需要的控制時脈(Initialization)。其次，系統開始進行初步的同步動作包括初始的載波頻率飄移估測及 PN 碼相位對準(同步 Synchronization)，此部分工作進行只需要圖二十中的 Pre

Carrier Recovery 電路以及圖二十二的 Correlator 電路。之後圖二十中的 Carrier Recovery 電路開始動作而 Pre Carrier Recovery 停止動作。此時系統利用 PN 碼的相關性開始搜尋信號強度較強的多路徑通道時間點，系統會取信號強度最大的前三條路徑並根據所決定的時間點，在相對應的路徑進行通道估測(Channel Estimation)，而通道估測的結果可提供耙式接收機各個分支所需要用來進行相位對齊之資訊。在通道估測完成後，圖二十二中的類比耙式接收機開始完整運作(Rake Start)。

為了達成以上的運作流程，系統的封包格式如圖二十四所示。一個封包的最前頭包含 120 個前置符元(Preamble)，用來幫助系統進行同步及通道估測。在前置碼後的四個符元則是通知接收機真正傳送的資料即將抵達。一旦接收機正確收到此四個符元後，系統即開始回復接下來所收到之 1024 個符元。

通道模型及模擬結果

在模擬時，系統所採用的是 802.11a 之 TDL 通道模型。模擬的環境包括平均延遲時間(delay spread)為 10ns, 20ns, 40ns, 60ns 等四種多路徑通道情形。同時，為了要能夠模擬類比的效應，通道模型的取樣頻率設在 256MHz，遠高於系統展頻碼之頻率 16MHz。圖二十五為在通道路徑延遲各為 10, 20, 40, 60ns 的情況下符元錯誤率對不同訊雜比之模擬結果。比較前一年計畫在同樣的情況下沒有耙式接收機的模擬結果，可以發現耙式接收機使系統在較大的通道延遲環境下之符元錯誤率表現遠比沒有耙式接收機時為佳。

四、 結論

本計劃正在進行適用於不規則低密度奇偶檢查碼之可重配置解碼器晶片及混合信號

耙式接收機之研究。在不規則低密度奇偶檢查碼之可重配置解碼器晶片部分，演算法與硬體架構已經確定了，現在正在進行半客戶式(Semi-custom)的硬體設計與實現流程，亦即數位電路部分採用 RTL Verilog 硬體語言進行設計，而記憶體與類比電路部分，則是採用全客戶式方式設計。混合信號耙式接收機部分，目前則在進行系統符元錯誤率模擬以及類比電路部分設計。

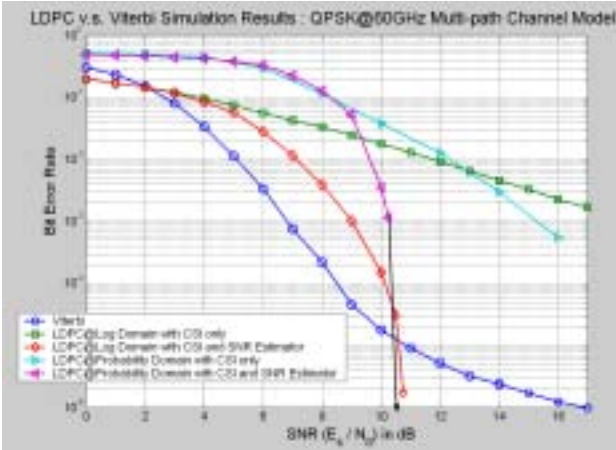
五、 參考文獻

- [1] Simon Haykin, *Communication Systems*, 4th Edition, pp. 689-691, John Wiley & Sons Inc., 2001.
- [2] William E. Ryan, "An Introduction to LDPC Codes," August 2003.
- [3] Andrew J. Blanksby, "A 690-mW 1-Gb/s 1024-b Rate-1/2 Low-Density Parity-Check Code Decoder," *JSSC*, March 2002.
- [4] Sabih H. Gerez, *Algorithms for VLSI Design Automation*, John Wiley & Sons Inc., 1999.
- [5] Mohan, N.; Sachdev, M., "Low power dual matchline ternary content addressable memory" *Circuits and Systems*, 2004. *ISCAS '04. Proceedings of the 2004 International Symposium on*, Volume 2, 23-26 May 2004 Page(s):II - 633-6 Vol.2
- [6] Weil H. E. Weste Kamran Eshraghian, *Principles of CMOS VLSI Design*, pp567-573
- [7] Eltawil et. al., "Low Power DS-CDMA Rake Receiver Utilizing Resource Allocation Techniques", *IEEE JSSC*, Aug., 2004.
- [8] Chi-Min Li et. al., "A Novel Rake Receiver Finger Number Decision Rule", *IEEE Antennas and Wireless Propagation Letters*, 2003.
- [9] Keith K. Onodera et al., "A 75-mW 128-MHz DS-CDMA Baseband Demodulator for High-Speed Wireless Applications", *IEEE JSSC*, May., 1998.
- [10] Xiaodong Wang et. al., "A Low Power 170MHz Discrete Time Analog FIR Filter", *IEEE CICC*, 1997.

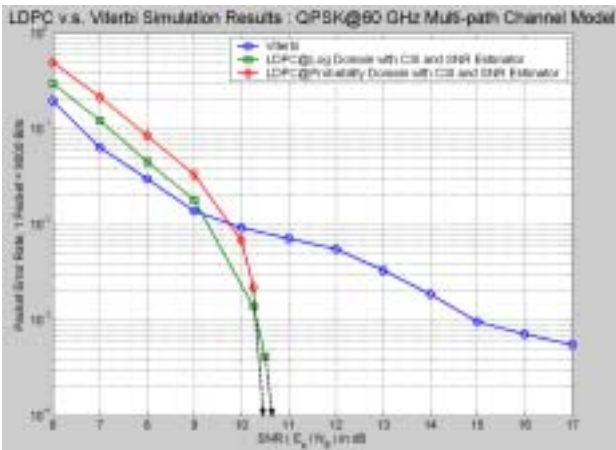
六、 圖表

表一 是否做列行交換之硬體/吞吐量差異表

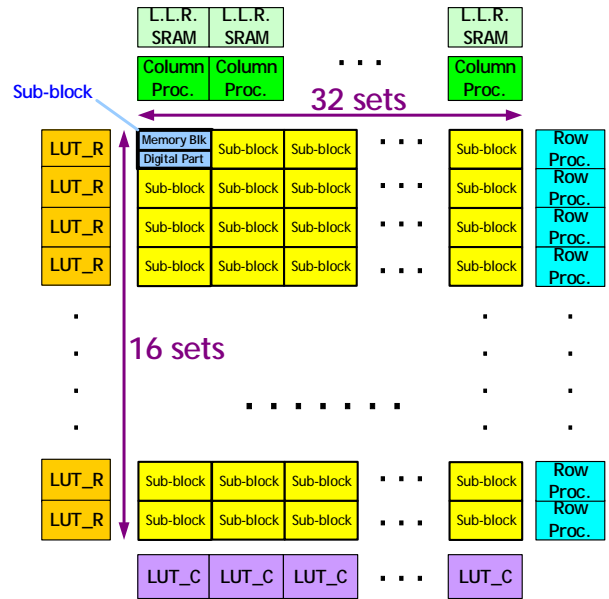
Do permutation or not	802.15d		802.11n(WiMax)		802.11n(TGen Sync)	
	No	Yes	No	Yes	No	Yes
Clock periods needed by each sub-block	2	1	3	1	2	1
Maximum number of "1" in all sub-blocks	54	19	111	19	54	19
Total number of word in all sub-blocks	30768	9216	52932	9216	30768	9216
Without permutation + throughput will...	-56%		-67.7%		-50%	
Without permutation + Memory hardware will...	+255%		+518%		+255%	



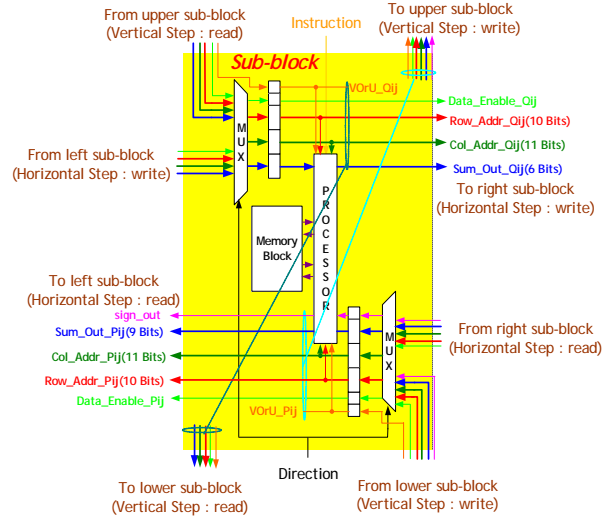
圖一 LDPC 與 Viterbi 位元錯誤率模擬結果



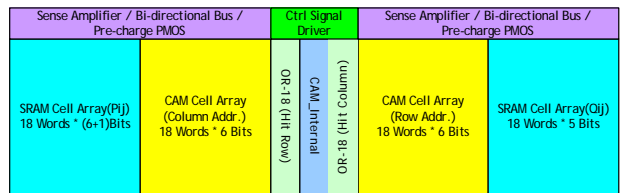
圖二 LDPC 與 Viterbi 封包錯誤率模擬結果



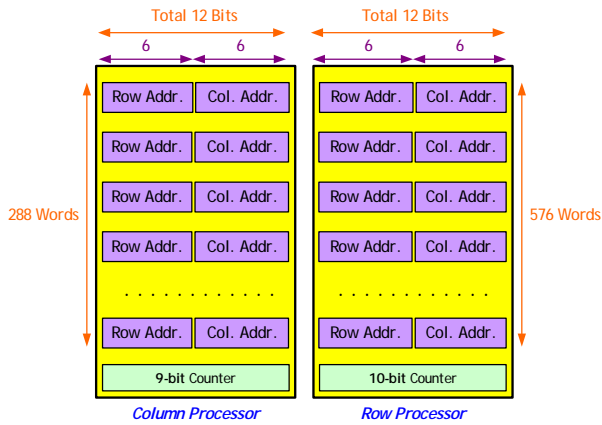
圖三 解碼器晶片之平面方塊圖



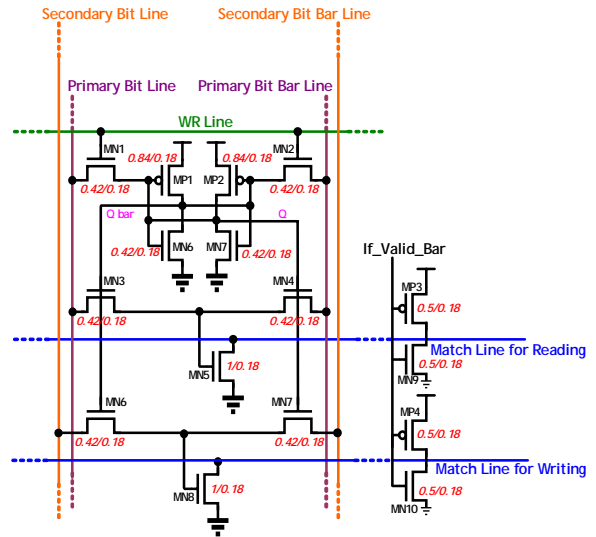
圖四 各個副區塊之架構圖



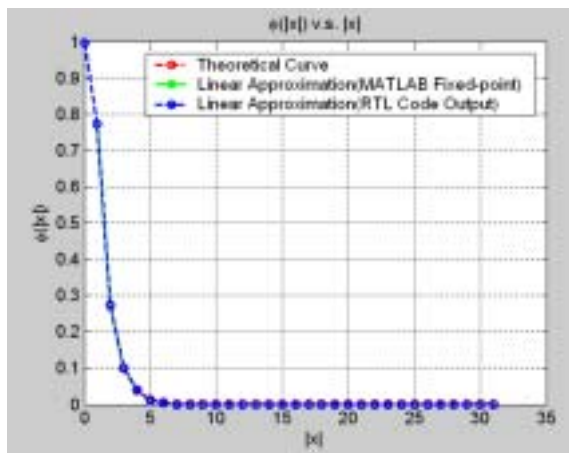
圖五 記憶體區塊之方塊圖



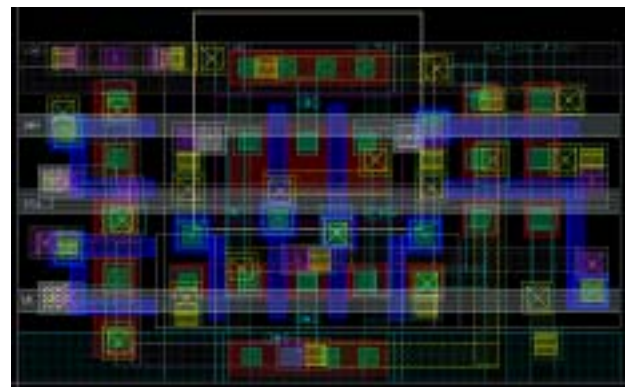
圖六 行列處理器之欄位圖



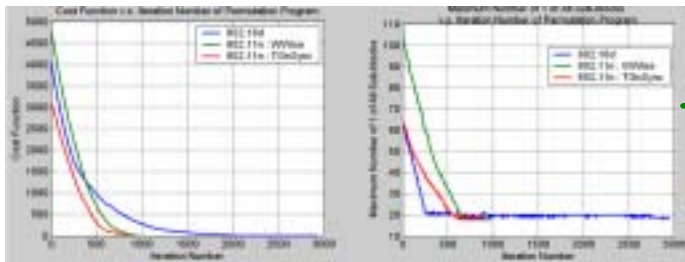
圖九 CAM Cell 之電路圖



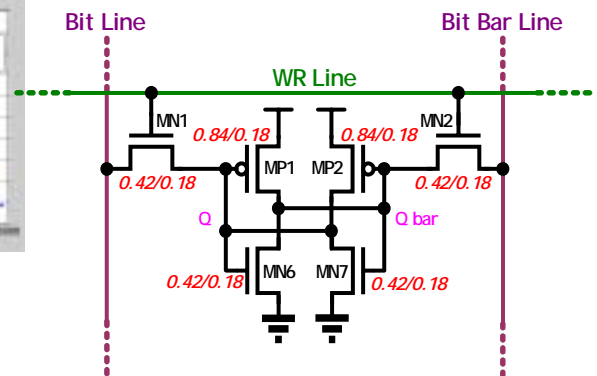
圖七 線性逼近法模擬結果



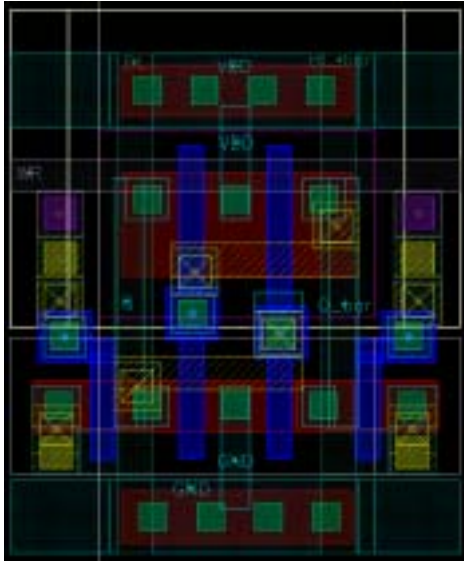
圖十 CAM Cell 之佈局圖



圖八 列與行交換之模擬結果

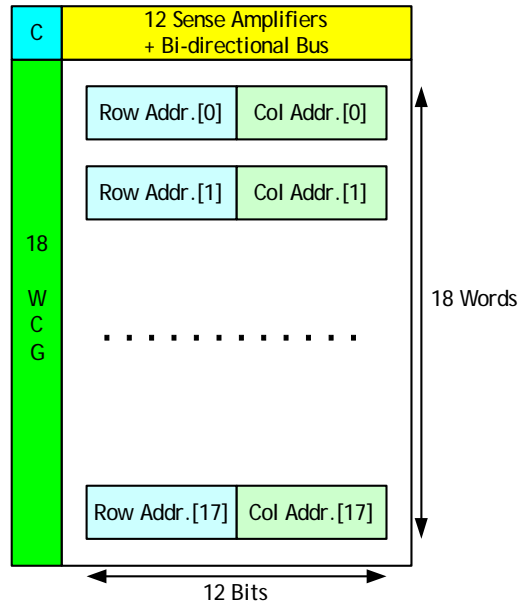


圖十一 SRAM Cell 之電路圖

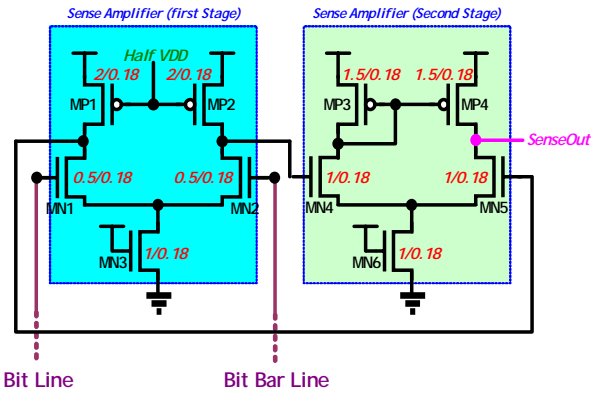


圖十二 SRAM Cell 之佈局圖

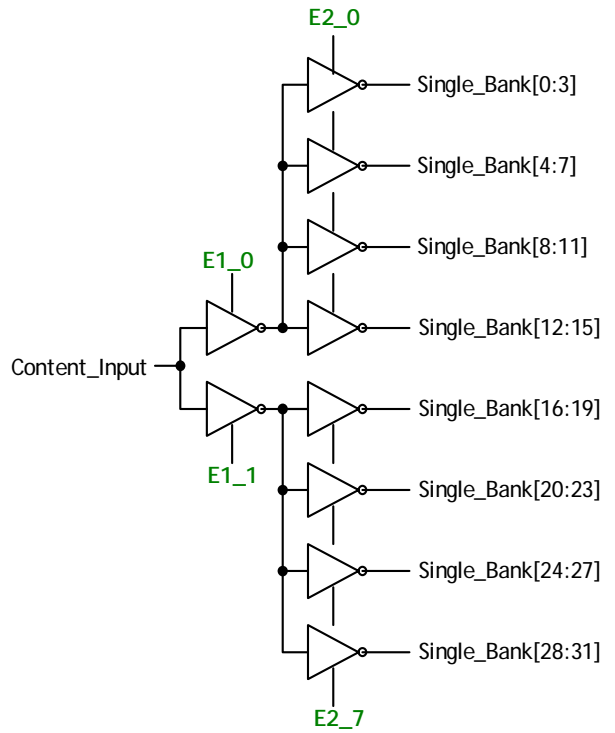
圖十五 列處理器之硬體方塊圖



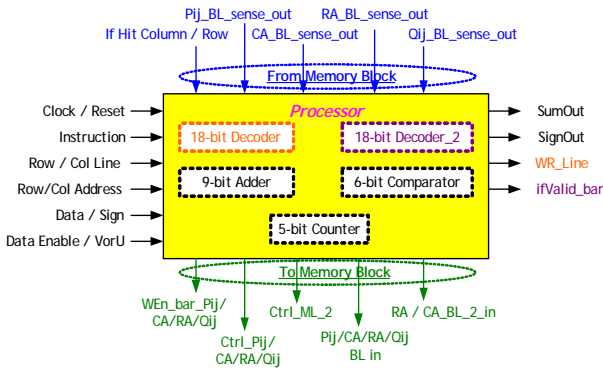
圖十六 單一 Bank 之硬體方塊圖



圖十三 雙級感測放大器之電路圖

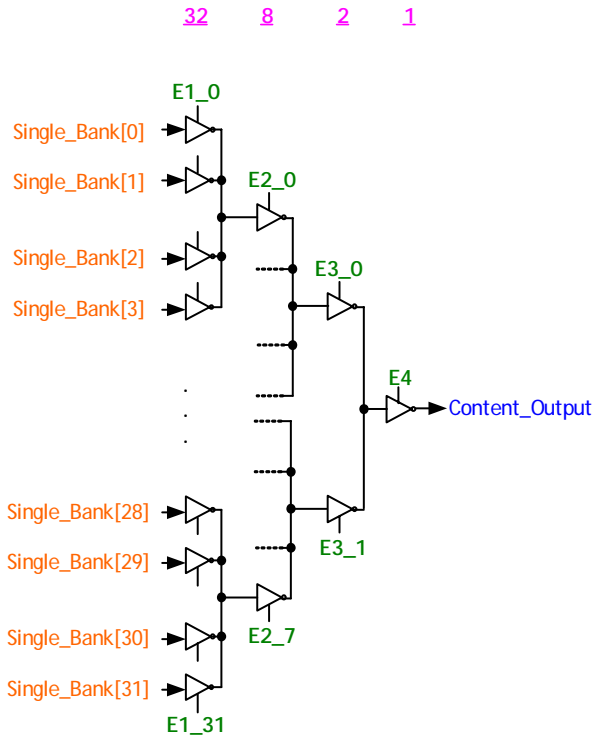


圖十七 開式輸入(解多工器)電路圖

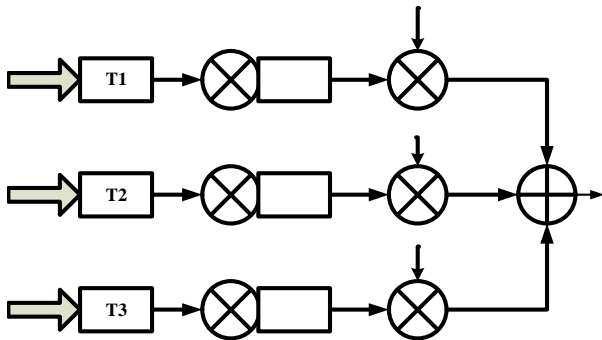


圖十四 處理器之架構圖

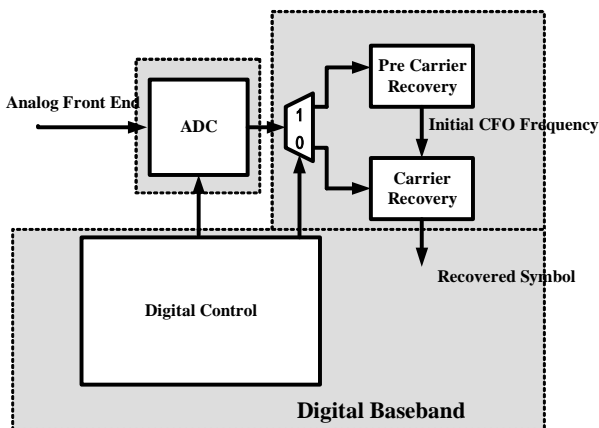
Input DeMUX + Output MUX + CTRL Logic						
C	SRAM Cell Array #0	C	SRAM Cell Array #1		C	SRAM Cell Array #31
T	(Single Bank)	T	(Single Bank)		T	(Single Bank)
R		R			R	
L	18 Words * 12 Bits	L	18 Words * 12 Bits	...	L	18 Words * 12 Bits
O		O			O	
G		G			G	
I		I			I	
C		C			C	



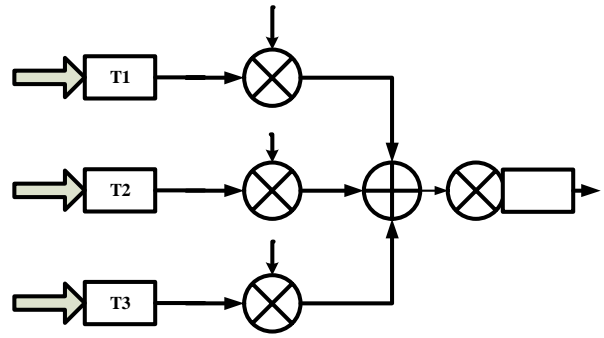
圖十八 閘式輸出(多工器)電路圖



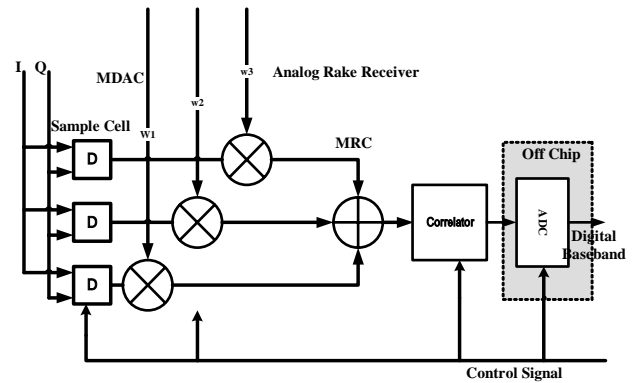
圖十九 耙式接收機架構



圖二十 系統數位基頻架構



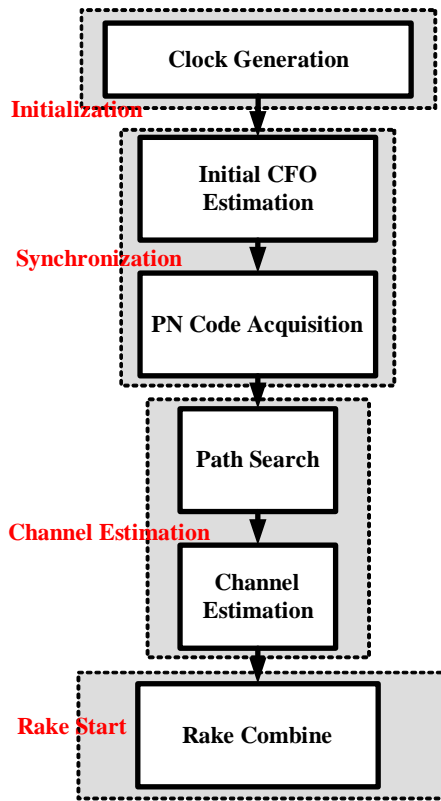
圖二十一 所提出耙式接收機架構



圖二十二 類比耙式接收機架構

Chip rate	16MHz
Data rate	1MHz
PN sequence length	32
Modulation	QPSK
System Clock	16MHz
RF frequency	5GHz
CFO	+/- 20ppm
Rake finger number	3
Target power consumption	3mW

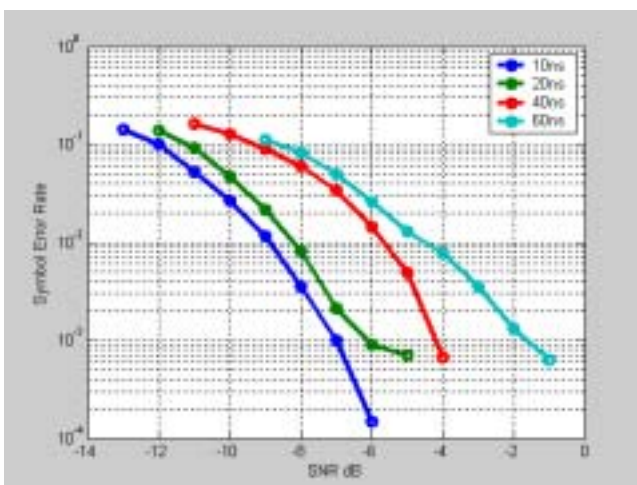
表二



圖二十三 接收機運作流程

Preamble 120 Symbol	Start Pattern 4 Symbol	Transmitted Data 1024 Symbol
------------------------	---------------------------	---------------------------------

圖二十四 封包格式



圖二十五 系統符元錯誤率模擬結果