

行政院國家科學委員會專題研究計畫 成果報告

適用於 xDSL 之信號驅動器

計畫類別：個別型計畫

計畫編號：NSC92-2622-E-002-036-CC3

執行期間：92年12月01日至93年11月30日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：李泰成

計畫參與人員：黃彥筌 李韋良 蕭耕然

報告類型：精簡報告

處理方式：本計畫為提升產業技術及人才培育研究計畫，不提供公開查詢

中 華 民 國 94 年 2 月 25 日

# 行政院國家科學委員會專題研究計畫成果報告

## 計畫名稱：適用於 xDSL 之信號驅動器

計畫編號：NSC 92-2622-E-002-036

執行期間： 92 年 12 月 1 日至 93 年 11 月 30 日

計畫主持人：李泰成教授 國立台灣大學電子工程研究所

計畫參與人員：黃彥筌 李韋良 王維德 國立台灣大學電子工程研究所

**中文摘要** — 本報告總結本計畫的實驗結果，包括了適用於 xDSL 系統信號特性的信號驅動器之系統架構探討及電路設計。此信號驅動器的基本架構包含了一比較器，迴路濾波器以及數位輸出緩衝器。此架構本身為非線性不穩定系統，會有一固定頻率震盪信號存在於系統之中。利用此震盪信號，在輸入信號為弦波的情況下，輸出端可獲得類似經脈衝寬度調變(pulse-width modulation；PWM)後的信號。將此信號通過低通濾波，便可將弦波訊號濾出。電路設計方面，比較器以及數位輸出緩衝器有較傳統 AB 級功率放大器容易設計的優點。此信號驅動器的電路設計、模擬已完成，並利用 0.35-um CMOS 製程，完成晶片實作，驗證此信號驅動器的工作原理。

**Abstract** — This report summarizes all experimental results of the project, including the system architecture and circuit design of the line driver for xDSL applications. The proposed architecture contains one comparator, one loop filter and a digital output buffer. The system is nonlinear and unstable, and a self-oscillating signal with a pre-designed frequency circulates around the loop. With a sine wave input, the self-oscillating signal becomes pulse-width modulated and therefore carries the input frequency information. By passing the signal through a low-pass filter,

the input signal can be reconstructed. The circuit components, the comparator and output buffer, both have the feature of easy design with compared to the traditional class AB power amplifier. The full circuit design and simulation are done, and the chip is fabricated in a 0.35-um CMOS process to verify the line driver working principle.

**關鍵詞** — xDSL 信號驅動器(xDSL line driver)、自我震盪功率放大器(self-oscillating power amplifier；SOPA)。

### 一、計畫概述

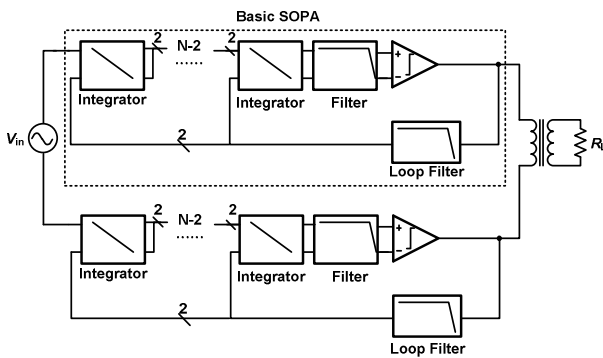
數位用戶迴路系統(digital subscriber loop；DSL)技術可以利用已架設完善的電話銅線網路，達成高速的資料傳輸。為了達成此高傳輸速率，所採用的離散式多重信號(discrete multi-tone；DMT)調變技術，卻增加了設計信號驅動器的複雜度。經由離散式多重信號調變過後之信號，具有很高的波峰因數(crest factor；波峰因數定義為信號的最大值除以信號的方均根值)，而理想的 B 級(class B)功率放大器其功率效益與波峰因數呈線性下降。具有更好線性度的 AB 級(class AB)功率放大器，在高波峰因數信號的情況下，其功率效益表現甚至較 B 級功率放大器為差。因此若使用傳統的 AB 級功率放大器，將會有過高之功率消耗，不易與其他系

統整合。功率效益對中央機房(central-office)的數據機設計，是重要的設計指標。因為在固定的散熱系統下，功率消耗直接影響的就是服務客戶數目之多寡。因此，對於高功率效益的 xDSL 信號驅動器之研究有其重要性。此計畫的目的就在於實現可適用於 xDSL 信號特性的功率放大器。

## 二、計畫成果簡述

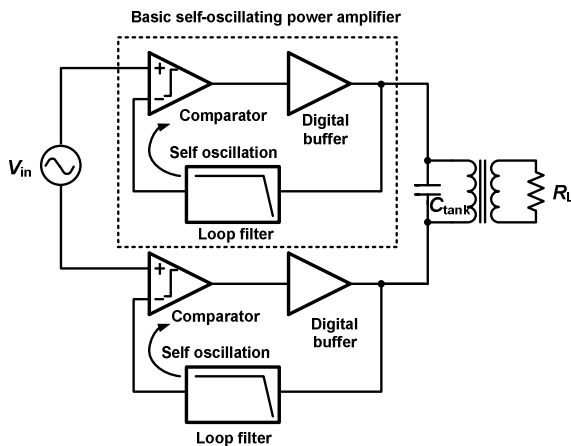
### I. 自我震盪功率放大器

本計畫所設計的信號驅動器為自我震盪功率放大器 (self-oscillating power amplifier; SOPA)，屬於切換式 (switching type)，本身就可具有相當高之功率效益。N 階的自我震盪功率放大器包含一比較器，低通濾波器、數位緩衝器及 N 個積分器，如圖一所示。



圖一、N 階自我震盪功率放大器架構圖。

如不使用積分器則為零階自我震盪功率放大器，是最簡單的型式，如圖二所示。在此將藉由零階自我震盪功率放大器說明基本的設計概念。



圖二、零階自我震盪功率放大器架構圖。

圖二中的負載電阻  $R_L$  代表信號驅動器所要驅動的線路。此电路主要核心僅由比較器和一數位輸出級組成。系統架構簡單，不需特別的控制電路，且除了比較器之外，其餘電路皆為數位電路或是被動元件，因此設計的複雜度可大幅降低。

圖二電路為不穩定的電路，會有一震盪信號存在於迴圈之中。因比較器為極度非線性的電路，因此一般用於線性電路的頻域分析方法並不適用於此電路架構，必須採用 describing function 的分析方式。僅分析圖二虛線框起來之部分，比較器若在沒有輸入信號情況下之 describing function  $N(A)$  為，

$$N(A) = \frac{2V_{DD}}{\pi A} \frac{p_1}{s + p_1},$$

其中之  $V_{DD}$  為電路之供應電源電壓， $A$  為存在於比較器輸入端的震盪弦波之振幅大小， $p_1$  則是假設此比較器具有一低頻率的極點 (pole)，掌控頻率響應。則我們可以藉由下列式子，求得此震盪弦波的頻率及振幅，

$$N(A)L(j\omega_{LC}) = -1 \Rightarrow \begin{cases} |N(A)L(j\omega_{LC})| = 1 \\ \angle L(j\omega_{LC}) = -180^\circ \end{cases},$$

$L$  為迴路濾波器的轉移函數 (transfer function)。因此只要改變迴路濾波器的參數，我們就可以自由設計此震盪弦波的頻率及振幅。

但在外加信號之後，比較器的 describing function 形式便不再如此簡單，而是與比較器輸入端所看到的差動信號振幅  $e$  有關，

$$N_2(A, e) = \frac{2D}{\pi e} \left( \frac{e}{A} \right)_2 F_1 \left( \frac{1}{2}, \frac{1}{2}; 2; \left( \frac{e}{A} \right)^2 \right) \\ \approx \frac{N(A)}{2} \quad \text{when } 0 < e \ll A$$

因此圖二虛線部份的轉移函數為，

$$T(s) = \frac{N_2(A, e)}{1 + N_2(A, e)L(s)}.$$

經由上面兩個式子，可以發現，只要比較器

輸入兩端所看到的差動信號電壓值  $e$ ，遠小於無外加信號時的自我震盪弦波的振幅  $A$  時，虛線部份的電路的轉移函數就與  $e$  無關，也就是與輸入信號的振幅大小無關，這是一個線性系統的特徵。因此由非線性的比較器所組成的迴圈，藉由存在於此迴圈的震盪信號，可將整個系統線性化。

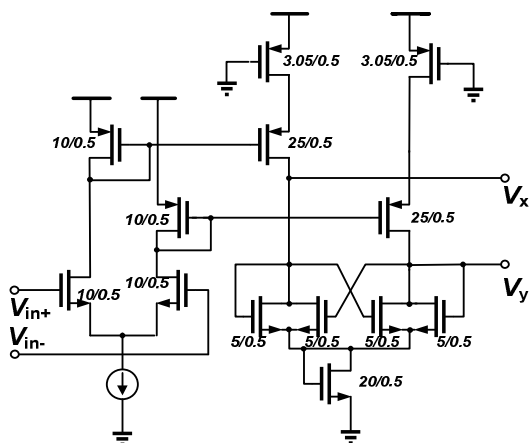
## II. 電路設計

以下是對本計畫實現的零階自我震盪功率放大器所採用的電路做說明，並附上模擬結果。

### (1) 比較器 (Comparator)

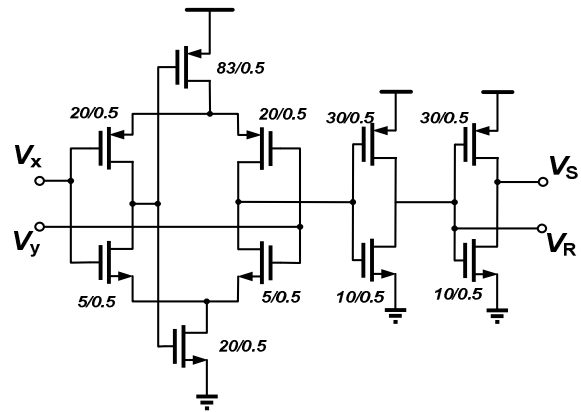
圖三的電路即為本次使用之比較器的前兩級。輸入端為一般之差動放大器，並藉由 diode-connected 的負載，利用電流鏡的方式將電流放大。第二級電路利用兩交互連結的電晶體產生一等效負電阻，與負載並聯，如此可產生一正回授的迴圈，使前兩級電路總合的電壓增益理論上可提高至無限大。實際上則由於電晶體不可能完全匹配，且當信號振幅變大時，小信號的分析便不再準確，所以電壓增益不可能到無限大。此兩級的電路的主要目的在於可以將振幅很小的輸入信號放大，使後面的電路可以正確的判別現在的兩輸入端，究竟何端為高電位，提高整個比較器的解析度。

至於第二級電路裡，接至地的兩顆 PMOS 與最下方的 NMOS 是為了調整比較器的輸出共模 (common-mode) 電壓恰好為  $V_{DD}/2$ 。



圖三、比較器前兩級的電路架構。

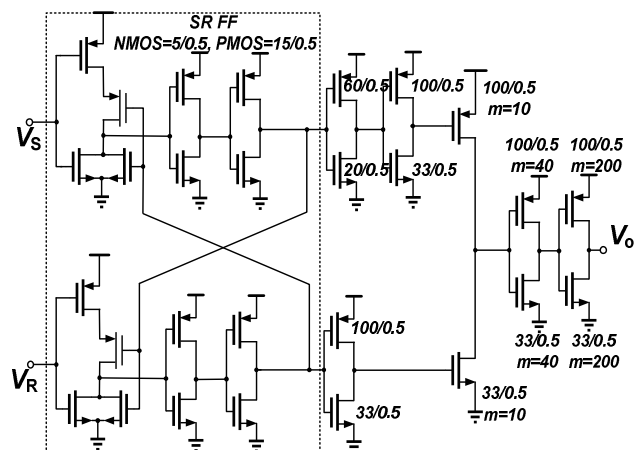
圖四為比較器的第三、第四級電路。第三級的電路為一可自我偏壓的差動放大器 (complementary self-biased differential amplifier; CSDA)，目的除了提供  $G_m$ ，進一步將信號放大之外，還可將差動信號轉換為單端信號。第四級則為單純的反向器，是為了使輸出的波形能更接近方波。



圖四、比較器第三、四級的電路架構。

### (2) 數位緩衝器 (Digital buffer)

在此使用緩衝器是為了將比較器輸出的低功率信號轉換為高功率信號，以信號的觀點來看，只是造成輸出的時間延遲，本身則對電路的工作原理沒有影響。圖五就是所使用的數位緩衝器。前端為一基本的 SR 型正反器 (SR flip-flop)，可將比較器輸出之信號鎖住，而其後所接的三個反向器則是慢慢的將信號推出去，逐漸的提高信號輸出功率。



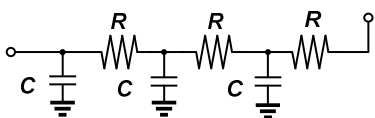
圖五、數位緩衝器

### (3) 迴路濾波器 (Loop filter)

這裡所使用的濾波器為三階之 RC 濾波器。其轉移函數為，

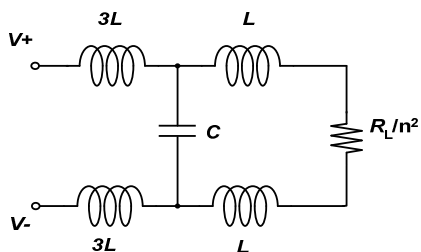
$$L(s) = \frac{1}{A^3 + 2A^2 - A - 1} \text{ where } A = 1 + RCs。$$

經由上方推導之公式，可求出所需的電容值及電阻值。但由於數位緩衝器使用了大尺寸的電晶體，考慮寄生電容效應，因此實際的震盪頻率會比設計之值來的小。在此採用電阻 5k 歐姆，電容 3p 法拉的設計，模擬之自我震盪頻率約為 14MHz。



圖六、迴路濾波器

### (4) 外接低通濾波器

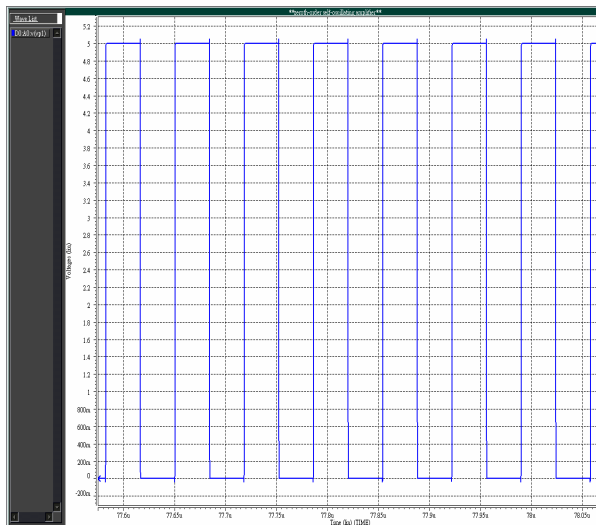


圖七、外接低通濾波器與負載電阻

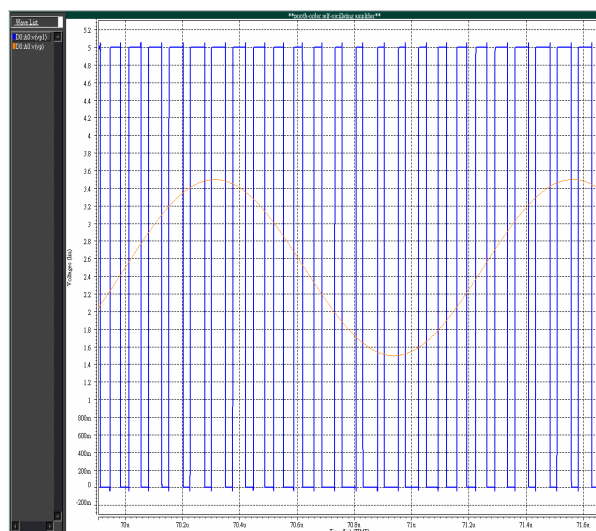
圖二的電容  $C_{\text{tank}}$  是為了提供一低通濾波的功能，我們則將它改變為三階的 Butterworth 濾波器，可提供較佳的濾波功效。假設圖二的變壓器為理想變壓器，不消耗能量也不儲存能量，則在變壓器的 primary side 所看到的負載電阻，將會是實際的電阻值除以變壓器匝數比的平方。因此外接低通濾波器與負載電阻合成之等效電路就如圖七所示。因 ADSL 的信號頻寬約為 1 MHz，因此設計此濾波器的截止頻率為 1.1 MHz ( $L=0.36 \mu\text{H}$ ,  $C=19.3 \text{ nF}$ )，以濾除自我震盪的頻率成分及諧波。

### (5) 模擬結果

首先只看圖二虛線框起來之部分。若在沒有外加信號的情況下，會有一固定頻率的方波存在於數位緩衝器的輸出，如圖八(a)之波形。



(a)



(b)

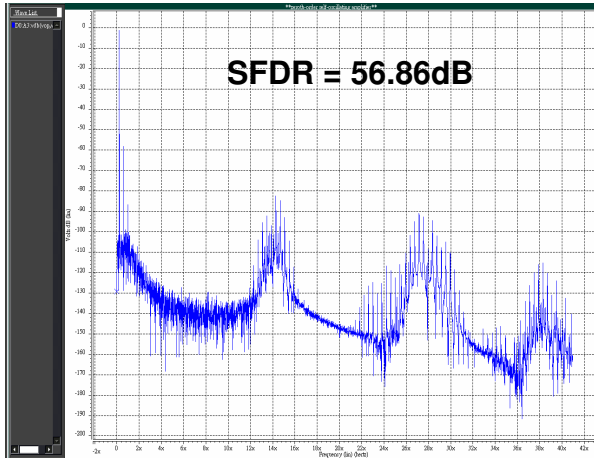
圖八、(a) 自我震盪之信號波形，(b) 在輸入信號的情況下，自我震盪信號的波形。

若是輸入一頻率 800 kHz 的弦波，則此方波便不再是 50% duty cycle，而是會隨著輸入信號之電壓改變，當輸入信號電位高時，方波為高電位的時間就比較長，相反的，輸入信號為低電位時，方波為低電位的時間就較長。因此這個方波除了具有自我震盪的頻率成分外，也同時具有了信號的頻率成分，如圖八(b)。

接著將所有電路接起，包括外接的低

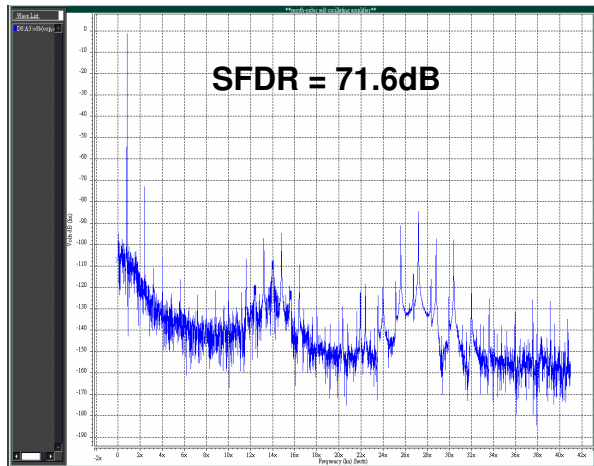
通濾波器及負載電組(假設為 10 歐姆),完成如圖二的差動架構。輸入頻率各為 200 kHz、800 kHz 的弦波,觀察跨於負載電阻兩端差動信號的頻譜圖。

**(i) 輸入信號頻率為 200 kHz**



圖九、負載電阻兩端差動信號之頻譜分析(i)。

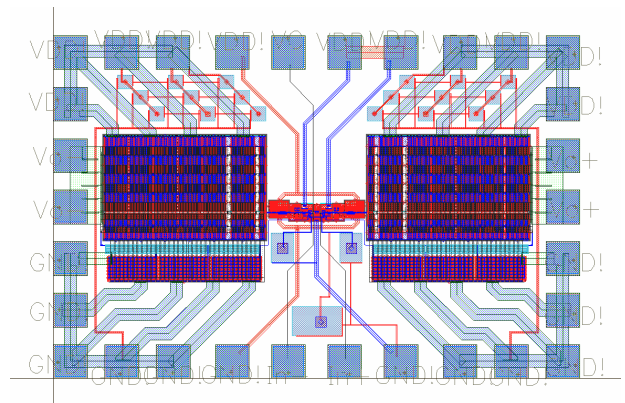
**(ii) 輸入信號頻率為 800 kHz**



圖十、負載電阻兩端差動信號之頻譜分析(ii)。

由圖九及圖十可知, SFDR 在兩不同情況下有顯著差別, 這是因為外加的低通濾波器頻寬設計在 1.1 MHz, 200 kHz 信號的三次諧波為 600 kHz, 仍位於濾波器之頻寬內, 難以濾除。而 800 kHz 信號之三次諧波位在 1.8 MHz, 因此可藉由低通濾波器, 加強線性度的表現。雖然 200 kHz 信號的線性度表現較不好, 但 SFDR 也可維持 50 dB 以上。

**(6) 晶片佈局圖及預計規格**



圖十三、晶片佈局圖。

預計規格列表

表一、預計規格列表。

Technology	TSMC 0.35um 2P4M CMOS
Supply voltage	3.3V
Chip area	1.5*1 mm <sup>2</sup>
Bandwidth	970 kHz
Mean switching freq.	14 MHz
SFDR	50 dB
Power (w/o input)	84 mW

**III. 實驗結果**

**1. 測試方法與測試儀器**

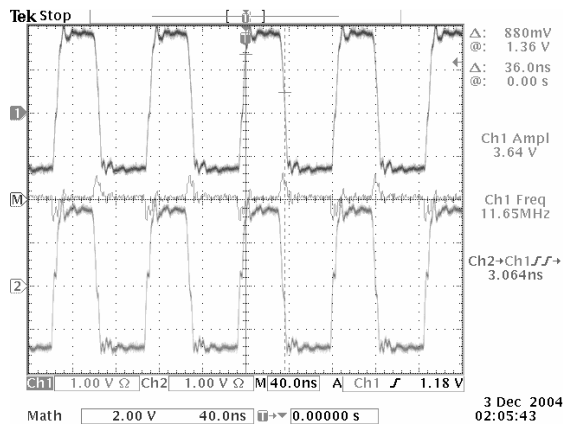
測試儀器：訊號產生器(Agilent 33250A), 示波器(Tektronix TDS 3032B)。

測試方法：首先將輸入端接至一固定直流電壓, 利用示波器觀看時域的波形, 看看此電路的自我震盪信號是否為所設計之頻率。接著分別輸入頻率為 800 kHz 及 200 kHz 的弦波作為輸入信號, 也是利用示波器觀看波形, 並同時使用示波器的儲存功能, 將資料點存下。接著使用 MATLAB 軟體繪圖, 以方便比較輸出波型與輸入波型的差別。最後使用 MATLAB 做 FFT, 觀察輸出信號的三次諧波以及自我震盪頻率信號的成分。



## 2. 測試結果

### (1) 無輸入訊號：



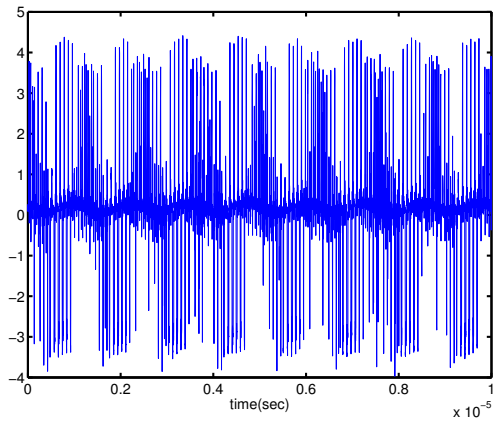
圖十一、未加信號時的自我震盪訊號

圖十一是未加信號時，在輸出端看到的波形。上方為輸出的正端，下方為輸出的負端，兩者皆為震盪頻率約 11 MHz 的同相方波，與最初模擬所設計的 14 MHz 有些差距。但經由模擬可知，自我震盪頻率由 14 MHz 變為 11 MHz 對電路的表現影響不大。

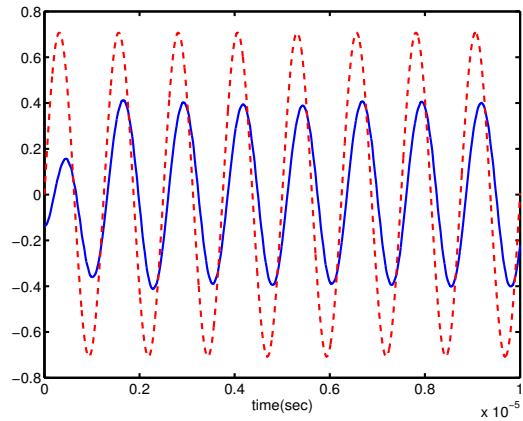
### (2) 輸入信號為 800 kHz 的弦波：

圖十二(a)是接上一 800 kHz 的弦波信號後，在輸出端看到的差動信號(即  $V_{out}^+ - V_{out}^-$ )，並利用示波器的儲存功能，將資料點存下，再使用 MATLAB 將其畫出。因為此時信號尚未經過低通濾波器，所以自我震盪的頻率成分依然存在。圖十二(b)的藍色訊號則是將(a)之訊號通過一頻寬約 2MHz 的低通濾波器，並加上一負載電阻 10 歐姆。紅色虛線則是此時輸入之弦波信號。由(b)圖可看出，經過低通濾波器之後，可以將自我震盪的信號頻率成分濾除，並將信號輸出至 10 歐姆的負載上，最後的電壓增益約為 0.7。

圖十三則是將圖十二(b)的藍色信號利用 MATLAB 做 FFT 所獲得的頻譜圖。由頻譜圖可以看出，此輸出信號的三次諧波以及自我震盪頻率的成分比主要的信號成份低達 40dB 以上。

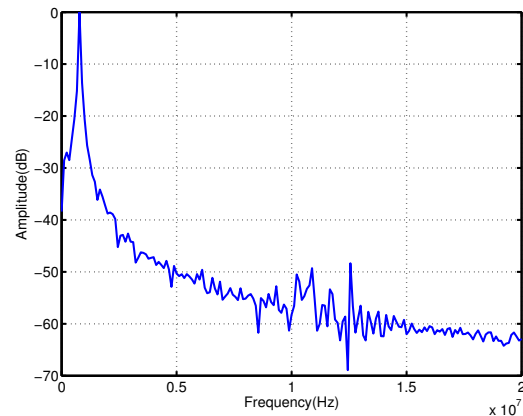


(a)



(b)

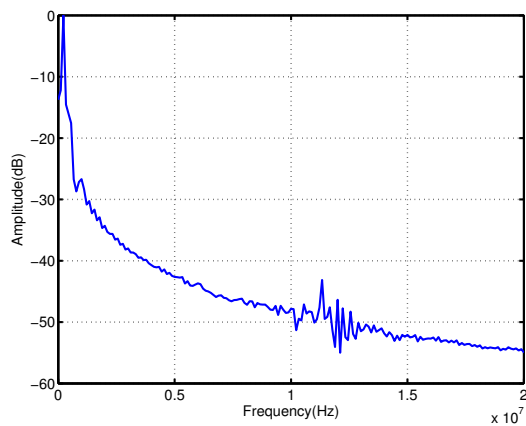
圖十二、(a)輸入信號為 800kHz 時，輸出之差動訊號。(b)將(a)之信號通過一低通濾波器，所獲得之信號。



圖十三、輸入信號 800 kHz 時之輸出信號頻譜。

### (3) 輸入信號為 200 kHz 的弦波：

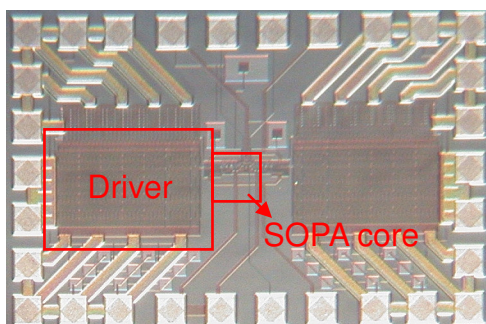
同之前的量測方式，將信號改為 200kHz 的弦波。因時域的波形與之前的結果相似，故在此只放輸出信號的頻譜圖。同樣的，三次諧波及自我震盪的頻率成分也比主要的信號成份低約 40dB。



圖十六、輸入信號 200 kHz 時之輸出信號頻譜。

表二、信號驅動器效能摘要

Technology	0.35um 2P4M CMOS
Supply voltage	3.3V
Power consumption (w/o input signal)	93 mW
Mean switching freq.	11.65 MHz
SFDR	~ 40 dB



圖十七、晶片顯微圖。

### 3. 討論與結論：

圖十七是晶片顯微圖而表二則是實驗結果的摘要整理。與表一的模擬結果比較起來，SFDR 低了 10dB，可能的原因為 bonding wire 及其他的寄生效應導致正與負的信號路徑不是完全對稱，自我震盪的頻率信號並不能完全的濾除。同時因為製程的 mismatch 也會使比較器的輸入產端生 offset，這也是自我震盪頻率無法濾除乾淨的原因之一。

### 三、計畫成果自評與結論

在本計畫裡，我們首先探討 xDSL 系統之信號驅動器與一般功率放大器的差異。接著進行電路的設計，設計適合於 xDSL 系統信號特性的功率放大器。最後完成此信號驅動器的晶片實作，驗證其線性度的表現以及工作原理的確適合於具有高波峰因數的 xDSL 信號。若將此系統推廣至更高階的架構，將可直接應用於 ADSL 系統甚至於頻寬更高、規格更嚴苛的 VDSL 系統。

### 四、參考文獻

- [1] T. Piessens and M. Steyaert, "Highly Efficient xDSL Line Drivers in 0.35- $\mu$ m CMOS Using a Self-Oscillating Power Amplifier," *IEEE Journal of Solid-State Circuits*, Jan 2003.
- [2] D. Vecchi and C. Morandi, "A 750mW Class G ADSL Line Driver with Offset-Controlled Amplifier Hand-Over," *Southwest Symposium on Mixed-Signal Design*, Feb 23-25, 2003.
- [3] M.S. Kappes, "A 3-V CMOS Low-Distortion Class AB Line Driver Suitable for HDSL Application," *IEEE Journal of Solid-State Circuits*, Mar. 2000.
- [4] D.M. Monticelli, "Class AB Output Circuit with Large Swing," *U.S. Patent*, Pat. Number 4,570,128, Feb. 1986.
- [5] J.C. Candy and G.G. Temes, "Oversampling Methods for Data Conversion" *IEEE Pacific Rim Conference on Communications, Computers and Signal Processing*, May 9-10, 1991.
- [6] S. Sen and B. Leung, "A Class-AB High-Speed Low-Power Operational Amplifier in BiCMOS Technology," *IEEE Journal of Solid-State Circuits*, Sep. 1996.



## 可供推廣之研發成果資料表

 可申請專利 可技術移轉

日期：94年2月25日

<b>國科會補助計畫</b>	計畫名稱：適用於 xDSL 之信號驅動器 計畫主持人：李泰成 教授 國立台灣大學電子工程研究所 計畫編號：NSC 92-2622-E-002-036
<b>技術/創作名稱</b>	自我震盪功率放大器
<b>作者</b>	李泰成 黃彥筌 李韋良 王維德
<b>技術說明</b>	中文： 自我震盪功率放大器的基本架構包含了一比較器，迴路濾波器以及數位輸出緩衝器。此架構本身為非線性不穩定系統，會有一固定頻率震盪信號存在於系統之中。利用此震盪信號，在輸入信號為弦波的情況下，輸出端可獲得類似經脈衝寬度調變 (pulse-width modulation; PWM) 後的信號。將此信號通過低通濾波，便可將弦波訊號濾出。 英文： The self-oscillating power amplifier contains one comparator, one loop filter and a digital output buffer. The system is nonlinear and unstable, and a self-oscillating signal with a pre-designed frequency circulates around the loop. With a sine wave input, the self-oscillating signal becomes pulse-width modulated and therefore carries the input frequency information. By passing the signal through a low-pass filter, the input signal can be reconstructed.
<b>可利用之產業 及 可開發之產品</b>	可開發目前寬頻網路 ADSL 系統下的信號驅動器設計。
<b>技術特點</b>	利用設計較為容易的非線性電路(比較器以及數位的緩衝器)，可以達成和傳統的 AB 級功率放大器相似的線性度，卻有更佳的功率效益表現。
<b>推廣及運用的價值</b>	目前 ADSL 為主要的寬頻網路技術，使用高功率效益的信號驅動器直接反應出的優點即是降低成本，所以此計畫的研究成果可直接應用。而其電路的工作原理則可適用於其它 xDSL 系統，亦有多方運用的價值。