

行政院國家科學委員會專題研究計畫 期中進度報告

多媒體影音高階處理、傳輸及設計--子計畫二:可調式視訊 壓縮系統之設計與實現(2/3) 期中進度報告(精簡版)

計畫類別：整合型
計畫編號：NSC 95-2221-E-002-195-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 96 年 12 月 05 日

多媒體影音高階處理、傳輸及設計—子計劃二
可調式視訊壓縮系統之設計與實現(2/3)
Design and Implementation of Scalable Video Coding Systems

計劃編號：95-2221-E-002-195-

執行期限：95/08/01~96/07/31

子計劃主持人：陳良基 教授 Email: lgchen@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電子工程學研究所

關鍵字：可調式視訊壓縮系統、移動補償式時間濾波器

Key words: Scalable Video Coding System、MCTF

一、中文摘要

隨著近十年來的研究發展，視訊壓縮編碼技術在壓縮率上獲得相當大的成功，此進展也推動了多媒體通訊相關產業的蓬勃發展，然而隨著多媒體應用高度多樣化的需求，使得除了壓縮率以外，視訊壓縮技術的其它功能性也越來越受重視，其中以可調式視訊編碼尤為重要，其相關視訊壓縮標準：Scalable Video Coding (SVC)正由MPEG組織制訂中。本計畫以研發全新可調式視訊編碼系統之晶片為目標，本年度研究重點著重在可用於編碼器之可調式移動補償時間濾波器。

ABSTRACT

In the last decade, video coding techniques have been highly optimized for compression efficiency, which brings the rapid development of the multimedia communication industry. However, due to a variety of multimedia applications, many other functionalities are required. Among them, the most important one is scalable video coding. This project targets to develop the brand-new scalable video coding system, the main research target in this year focuses on the scalable rate-distortion-computation MCTF/ME hardware architecture

二、緣由與目的

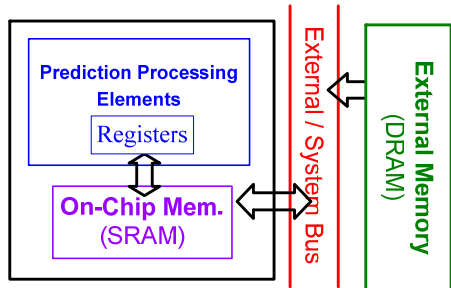
視訊壓縮編碼技術在壓縮率上獲得相當大的成功，此進展也推動了多媒體通訊相關產業的蓬勃發展，然而隨著多媒體應用高度多樣化的需求，使得除了壓縮率之外，視訊壓縮技術的其它功能性也越來越受重視，其中又以抗傳輸錯誤以及可調式視訊編碼尤為重要。從2004年開始，MPEG已著手制定未來下一代的視訊壓縮標準：Scalable Video Coding(SVC)，希冀能滿足工業界對多媒體功能性多樣化的需求。SVC於演算法上除了傳統的封閉式預測結構，也可配合全新的開放式預測結構，使得單一壓縮位元串流能在不同畫面大小、畫面速度以及畫質下都提供最佳傳輸效能。同時為了能配合消費者對於高解析度影像的需求，本計畫除了以研發全新可調式視訊編碼系統之晶片為目標，也期望能帶出下一代高解析度影像編解碼器的設計架構。

三、研究方法與成果

本研究計畫針對未來動態視訊壓縮編碼系統的核心技術—可調式視訊編碼—研發全新且整體性的VLSI硬體架構設計與實現法則。本年度計畫執行目標為可調式移動補償時間濾波器(Scalable R-D-C MCTF/ME hardware)的演算法整合與硬體實現，以下將分別對各項技術詳細說明研究方法及進行成果。

目前被提出的 SVC 編碼器演算法以

開放式迴圈架構為特點，同時也是整個 SVC 編解碼器的核心。圖一為一個移動補償式時間濾波器以及移動估計/移動補償處理引擎設在一個視訊編碼系統中的情況，一般來說，由於整張畫面的容量過大，通常會儲存在外部記憶體(DRAM)，而需要被移動估計使用到的搜尋範圍內的影像資料則會被預先儲存到模組內部的內部記憶體(On-chip Memory)以滿足移動估計處理器的頻繁讀取，儘管如此可大幅減少移動估計/移動補償處理引擎(Prediction Processing Elements)直接對外部記憶體的讀取次數，剩下需要的外部記憶體頻寬仍舊十分巨大。



圖一、移動補償式時間濾波及移動估計/移動補償處理引擎、內部記憶體

在前一年度的計畫，我們已提出了兩種畫面層級資料重覆使用架構來解決預測階段的外部記憶體頻寬，另外也在更新階段方面，針對外部記憶體頻寬進行最小化而提出 Prediction/Update 管線化排程、ME-based Level C+ Motion Compensation 和相對應的硬體架構。但是，在現今系統晶片的實際應用中，因為多個模組同時運作使整個系統可使用的運算資源經常是不固定的，連帶的會讓各個模組的運算效率受到影響。因此我們設計一個針對可調式影像的編解碼的硬體加速器時，不僅能夠讓產生的影像在時間(畫面速率)、空間(畫面大小)和畫面品質(SNR, Signal-to-Noise-Ratio)上都具有可調性外，更能利用可調式影像的特性來設計硬體架構及運算流程，使其能同時支援運算量(Computation)上的可調性，讓原本編碼器只能在 Rate(bit-rate, 位元速率)-Distortion(畫面品質下降程度)這兩個緯度上尋覓擁有最佳

編碼效果的限制被打破，變成能夠在 Rate-Distortion-Computation 這三個緯度中找到最適合的編碼方式，能夠在符合可運用的系統運算量下提供最好的 Rate-Distortion 的結果給使用者。從系統整合的角度來看，這樣一個編碼器可以隨時根據可用資源的狀態來調整使用的編碼方式，讓使用者可以一直享受到最好的編碼品質，而且不會影響到其他模組的運作。

在達成硬體運算量的可調性方面，我們主要從編解碼標準的架構流程來著手。這是因為各種編碼標準的運算架構流程不同，產生了不同的壓縮效率、壓縮畫面品質和編碼運算量，這些編碼運算量包含了運算複雜度、系統記憶體頻寬、功率消耗和運算時脈數等不同方面的硬體需求。從圖七和表一來觀察，我們可以發現在相同運算核心(雙向式移動估計/補償)下，配合不同類型的編碼架構，如 JSVM (5/3 MCTF, 1/3 MCTF, HB)和 H.264/AVC，便可產生完全不同的壓縮效率、核心運算量以及系統記憶體頻寬。從表一的運算方式比較後可發現，移動補償式時間濾波中的預測階段和目前 H.264/AVC 中所使用的移動估計/補償在運算核心的功能性上是相同的，都是可以使用雙向式移動估計/補償來構成這些編碼方式的，只是因為運算架構流程不同，而出現了不同的編碼運算量

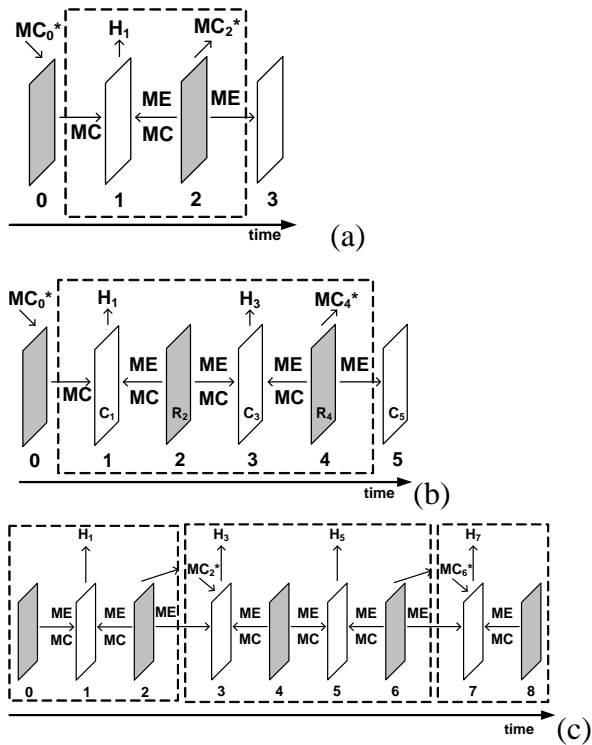
表一、針對 JSVM2.0 以及 H.264/AVC main profile 中各種編碼選擇所需要的運算量和外部記憶體頻寬比較表。(SMB : System Memory Bandwidth)

Coding Scheme	Required Operation			ME	SMB	Mobile
	ME	MC	Update	times/sec.	MB/s	dB at 350Kbps
4-Level 5/3 MCTF	Y	Y	Y	58.5	71.62	30.6
4-Level 1/3 MCTF (HB)	Y	Y	N	58.5	40.90	30.1
IBBP with 2-ref	Y	Y	N	60.0	42.02	28.2
IBPBP with 2-ref	Y	Y	N	60.0	42.02	27.9
IPPP with 2-ref	Y	Y	N	60.0	42.02	26.9
IPPP with 1-ref	Y	Y	N	30.0	24.05	26.5

Assume CIF Format, 30 fps, SR: [-32,32]

在預測階段方面，我們以之前提出的畫面層級資料重覆使用架構(Frame-level Data Reuse)， Double Reference Frames Scheme (DRF)和 Extended Double Current Frames Scheme (EDCF)為基礎，配合 MCTF 或 Hierarchical B-frame 架構中不同

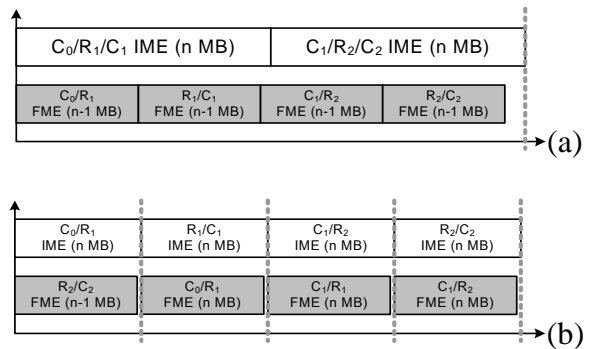
的 GOP 大小，可組合出如下圖二(c)中的 Data Reuse 組合示意圖。



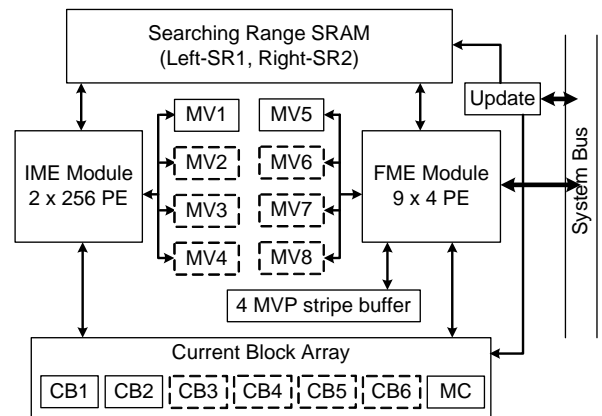
圖二、(a)DCF，(b)Extend-DCF 及(c)當 GOP=8 時使用 frame-level data reuse 的示意圖。

在移動補償式時間濾波和移動估計/補償的核心架構上，由於要支援 H.264/AVC 的 Variable Block Size Motion Estimation(VBSME) 和 Lagrangian Mode Decision，我們將移動估計的運算分成兩個管線化階段(Pipeline Stage)，分別是整數點移動估計(Integer Motion Estimation，IME)和浮點數移動估計(Fractional Motion Estimation，FME)。圖三為中提出的巨集區塊管線化的運算排程圖套用圖二(b)中的排程圖，浮點數移動估計只能在全部目前畫面的第 n 個巨集區塊結束整數點移動估計運算之後才能開始運算，因此我們需要將此管線化階段產生的結果和以讀取志晶片內部的資料暫存在晶片內部。圖三(a)則為按照這種排程方式所對應的架構圖，這樣將需要暫存多達六個巨集目前區塊的資料及八組對應的移動向量集合。因此我們提出圖三(b)中的交錯畫面的巨集區塊管線化(Frame-interleaved MB Pipe-

lining)運算排程來套用到圖二的架構中，採用此種排程，將可以大幅縮短目前區塊資料及對應的移動向量的生命週期(Data life time)，共可減少約 12000 bits 的內部暫存記憶體，大幅減少了晶片的花費。整個移動補償式時間濾波和移動估計/補償的核心架構的示意圖可由圖四來表示。運算單元可大致分為三部份，整數點移動估計(IME)、浮點數移動估計(FME)以及更新階段處理器(Update)



圖三、(a)巨集區塊管線化(MB Pipelining) (b) 交錯畫面巨集區塊管線化(Frame-interleaved MB Pipelining)運算排程圖



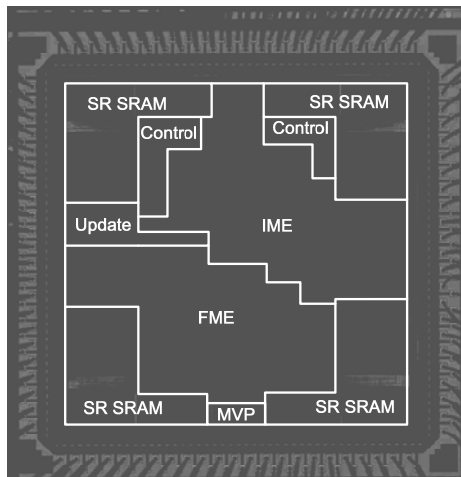
圖四、根據交錯畫面巨集區塊管線化 (Frame-interleaved MB Pipelining)運算排程圖所對應的移動補償式時間濾波和移動估計/補償的核心架構示意圖。

表二和圖五分別展示了本晶片實作結果的規格以及晶片布局圖。表三中我們詳列了本晶片在各種運算模式下所需要的系統頻寬以及運算時脈數。在減少外部記憶體頻寬方面，針對 5/3MCTF 來看，約有 13%

至 36% 的頻寬減少，此外我們提出的畫面層級資料重覆使用，不僅可以應用在開放式迴圈架構中的 MCTF，也可以套用在傳統的 MCP(Motion Compensated Prediction)

表二、晶片規格

Technology	TSMC 0.18um CMOS 1P6M
Die Size	4.940 mm x 4.911 mm
Core Size	3.824 mm x 3.568 mm
Gate Count	352,405
On-Chip Memory	4 88 x 16 single port SRAM 16 240 x 32 dual port SRAM
Working Frequency	60 MHz (maximum)
Processing Ability	CIF with 30 fps, SR: [-32,32],
Coding Structures	1-4 Level 5/3, 1/3 MCTF, HB IPPP, IBP, IBBP with 2-ref
Power Consumption	410mW @ 60 MHz, 1.8V
Pad Number	181
(Input/Output Pad)	(65/66)
(Core/Pad Power Pad)	(18/32)



圖五、晶片布局圖

上，讓有使用 B-frame 的架構都可有著不錯的頻寬減少量。表五中也列出了各種編碼架構需要的運算時脈數，從 29MHz 對應的 IPPP w 1-ref 到所需時脈數最高的 4 Level 5/3 MCTF 的 59.7MHz。同時各種架構的系統頻寬也從最低的 24.05MByte/sec 分布到最高的 50.09MByte/sec，這兩個數據提供了這顆晶片運算量上的可調性，下面將以一個簡單的例子來說明如何根據系統目前所擁有的資源，來調整最適合的編碼標準或編碼選項，讓整個編碼系統能在壓縮頻寬(bit-rate)、壓縮畫面品質(distortion)

和系統運算量(computation)中取得最佳的平衡點。

表三、本晶片在不同運作模式下所需要的頻寬以及運算時脈數的比較表。表中的 Original 是指直接實作的理論結果

Coding Scheme	Bandwidth (MB/s)			Frequency (MHz)
	Original	Proposed	Reduction	
5/3 MCTF				
4 Level	78.10	50.09	35.9%	59.70
3 Level	71.76	49.55	31.0%	57.79
2 Level	61.49	47.16	23.3%	53.52
1 Level	45.78	39.71	13.3%	44.05
1/3 MCTF (HB)				
4 Level	40.90	32.54	20.4%	54.21
3 Level	39.78	34.21	14.0%	52.94
2 Level	37.53	35.32	5.9%	49.70
1 Level	33.04	33.04	-	41.82
MCP scheme				
IBBP w 2-ref	42.02	30.04	28.5%	52.78
IBP w 2-ref	42.02	24.05	42.8%	52.80
IPPP w 2-ref	42.02	42.02	-	52.73
IPPP w 1-ref	24.05	24.05	-	29.09

IBP: Share the reference frames of P and B frames
IBBP: Share the reference frames of two B frames

四、結論

本子計劃已達成第二年之預定目標，在各方面都有相當不錯的收穫和成果。在接下來的年度中，將繼續完成完整的 SVC 編碼器的單晶片設計，並且配合高畫質影像的需求，達到 Full HD 1080p 的規格，進而完成第三年中相關整合、相關硬體設計、實作部分。

五、參考文獻

- [1] S. Choi and J. W. Woods, "Motion-Compensated 3-D subband coding of video," IEEE Trans. Image Processing, vol. 8, no. 2, pp. 155-167, Feb. 1999
- [2] ISO/IEC JTC1, "Call for proposals on scalable video coding technology," ISO/IEC JTC1/WG11 Doc. N5958, Oct. 2003.
- [3] ISO/IEC JTC 1, Joint Scalable Video Model (JSVM) 2.0 Reference Encoding Algorithm Description, ISO/IEC JTC 1/SC 29/WG 11 N7084, Apr. 2005
- [4] J.-C. Tuan, T.-S. Chang and C.-W. Jen, "On the data reuse and memory bandwidth analysis for full-search block-matching VLSI architecture," IEEE Transactions on Circuits and Systems for Video Technology, vol. 12, no. 1, pp. 61-72, Jan. 2002.
- [5] C.-Y. Chen, Y.-H. Chen, C.-C. Cheng and L.-G. Chen, "Frame-level data reuse schemes," in Proceedings of ISCAS 2006, Kos, Greece, May, 2006
- [6] C.-C. Cheng, C.-Y. Chen, Y.-H. Chen and L.-G. Chen, "Analysis and VLSI architecture of update step in motion-compensated filtering," in Proceedings of ISCAS 2006, Kos, Greece, May, 2006
- [7] T.-C. Chen, Y.-W. Huang and L.-G. Chen, "Analysis and design of macroblock pipelining for H.264/AVC VLSI architecture," in Proceedings of ISCAS, May, 2004

參加 VLSI Symposium 2007 會議報告

一、論文接受函

Mr. Yu-Han Chen
Graduate Institute of Electronics Engineering
National Taiwan University
106 Department of Electrical Engineering, EE2 - 332
National Taiwan University
Taipei
Taiwan

Dear Mr. Chen

It is our pleasure to inform you that 2007 Symposia on VLSI Technology and Circuits will be held at Rihga Royal Hotel Kyoto during the week of June 11-16. From June 12 to 14 for VLSI Technology and from June 14 to 16 for VLSI Circuits.

Many delegates from all over the world are expected, and it is a great honor for us to host this symposia. On behalf of the Symposium Committee of 2007 VLSI Symposia, you are cordially invited to attend the 2007 Symposium on VLSI Technology and Circuits to make a presentation as well as renew with your colleagues from worldwide.

Paper Title: 2.8 to 67.2mW Low-Power and Power-Aware H.264 Encoder for Mobile Application

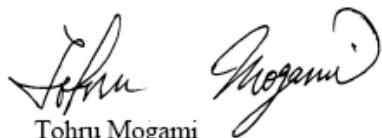
Date: June 16 (Sat.), 2007

Time: 9:45-10:10

As you know, any expenses associated with your travel including travel expenses between your country and Japan and living costs while you are in Japan would not be supported by the VLSI Symposia, but we will spare no effort to make your stay in Japan as pleasant as possible.

We are looking forward to seeing you in Kyoto this June. If you have further question, please contact the Secretariat of the Symposia.

Sincerely,



Tohru Mogami
Symposium Chair
2007 Symposium on VLIS Technology



Kazuo Yano
Symposium Chair
2007 Symposium on VLIS Circuits

二、參加會議經過及與會心得

這次會議是在京都的麗嘉皇家飯店舉行，日期是從 6 月 14 日到 6 月 16 日，共有三天的會期，而明年將會回到夏威夷舉辦。這次會議共有 103 被接受的論文，論文的接受率是 30%。在積體電路設計的領域中，算是個頂級的會議，每年都會有來自各地的專家學長到場討論電路設計未來的發展趨勢。這次會議共有 26 個 sessions，包含數位、類比、記憶體、無線及有線通訊相關的電路設計。

這次會議共有 4 個 keynote，由業界或學界的研究人員來分享研究的成果。我將在下面逐一介紹：

1. Mobile Terminals toward LTE and Requirements on Device Technologies

這個演講的講者來自 NTT DoCoMo，主要是介紹 Long Term Evolution (LTE) 這個通訊標準，LTE 是下一個世代的行動通訊傳輸技術，包含了 OFDM、MIMO、TTI 等技術。在發展上，他介於 3.5G 和 4G 之間，因此目前被定義為 3.9G。講者提到，在未來的手機系統中，baseband 的功率消耗需控制在 50mW 以下，需要 MRAM 和 RRAM 這些技術配合來減少 leakage power 的消耗，另外會以 fuel cells 來當作功率的提供者。最後，彈性是未來通訊系統中另一大挑戰，因為要同時支援 2G、3G 和 LTE 等系統，如何建立一個有彈性的系統架構將會是個大問題。

2. Limits of Power Consumption in Analog Circuits

這個講者來自 Massachusetts Institute of Technology，內容是推導出在類比電路中，理論上功率消耗的極小值，以做為未來電路最佳化的比較根據，並提出未來的設計，將會儘量避免 op-amp 的使用以節省功率。因為我本來是從事數位電路的研究，對類比電路的設計不是很了解，因此對此內容有興趣可參考 Proceedings 內的論文。

3. High Performance Processor Development for Consumer Electronics

此講者來自 IBM Corporation，內容是介紹 GPU 的發展趨勢。演講中有提到，game processor 的進展已經比 Intel processor 還快，在 2005 年時就已超越了，未來將會提供比 Intel processor 更強的運算能力。除此之外，他還提到，根據 IBM 和 Sony 共同研發之 PS2 的發展趨勢，隨著製程的演進，Game processor 從原本在 1999 年以 0.25um 製程設計時的二個 Chip (Emotion Engine + Graphics Synthesizer) 慢慢整合成了一顆在 90nm 製程下的 SoC 晶片，大小是原來的六分之一，可見製程演進在 Game processor 設計這塊研究領域有很重要的影響。另外，game processor 的設計面臨了幾個方面的困難，首先，是記憶體容量的需求愈來愈多，未來將會以 8T cell 的 memory 或是 embedded 的 DRAM 來解決。第二個是頻寬需求的大量提升，這部份未來可能會用 Silicon in Package (SiP) 或是 3-D package 及 embedded DRAM 等技術來克服。最後，隨著遊戲設計愈來愈複雜，產生了愈來愈高的運算需求，這個部份，需會以 multi-core 的設計方式來解決。在這個演講中，讓我們了解到了 IBM 和各個遊戲主機提供者的合作（如 Sony 的 PS3、任天堂的 wii、及微軟的 XBOX），及 game processor 的發展趨勢。在未來的電腦裡，CPU 和 GPU 的決戰到底誰會勝出呢？

4. Ambient Electronics with Organic Transistors

這個演講的講者是來自東京大學的教授，介紹的是他們在軟性電子這方面的研究方向和成果，核心是一種叫 Organic Thin Film Transistor 的技術，此種電晶體以富有彈性著稱，做出來的產品可以是軟的，而非一般電路那般像一片金屬板而沒有彈性。除此之外，這種製程比現今的 CMOS 技術成本低很多，是一

種可以利用噴墨的方式產生電路。主要的應用是在 RFID 及大面積的感應器和促動器及軟性的顯示器。這個研究團隊目前是將這項技術用在機器人的皮膚上，稱為 E-skin，產生出來的皮膚和以感測溫度和壓力，並且有 25% 的可伸縮空間，但目前的主要問題在反應速率過慢，和現在 CMOS 的技術比起來，約有 1000 倍以上的差距。另一方面，這技術還被使用在 wireless power sheet，講者認為這是達到未來電子和生活融合在一起的第一步。在這項 wireless power sheet 的技術中，結合了 MEMS 和 Organic FET 的技術，將這 power sheet 結合到地板或牆上，可以透過他無線的傳輸功率，而不需要用到電線。我想這個領域的研究，應該會蠻大的影響未來的生活。

除了這四篇 keynote，還有另外二篇讓我印象深刻，也將在下面介紹。

1. A 1.41W H.264/AVC Real-time Encoder SoC for HDTV 1080p

這篇論文是日本早稻田大學所發表的，因為和我本身一樣是研究影像和視訊壓縮相關的電路設計，所以算是比較熟悉的。這篇論文的一大特色，是使用了 System in Silicon 這項類似 3-D package 的技術，讓視訊或影像壓縮晶片所需要的大量記憶體都能放到晶片內部，因此能大幅度提升系統的效率及解決頻寬的問題。除此之外，本篇論文還針對 H.264 視訊壓縮系統中最複雜且消耗功率最多的移動估計模組提出資料重新使用的架構設計及快速演算法，在維持影像品質的情況下，大量減少運算量和資料讀取，並且以三級 pipeline 的系統架構，有效的實現 H.264 編碼器，此設計是目前唯一可支援到 HD1080 H.264 視訊編碼的晶片，不論是面積和功率消耗都很節省且有競爭力。

2. A 19-mode 8.29mm² 52-mW LDPC Decoder Chip for IEEE 802.16e System

這篇論文是台灣大學吳安宇教授之學生施信毓所提出的，是一顆能支援 LDPC decoding 的晶片，我對通訊晶片的設計不是很了解，因此這裡並沒有要說明這顆晶片在演算法或架構設計上的特點，這裡要特別提到的是這顆晶片在平面規劃上特色，相較以往的晶片多是將記憶放在晶片的四周，這顆晶片使用了大量的記憶體，並把這些記憶體以西洋棋盤式的平均分佈在晶片內部，我覺得這是一種突破，在未來的設計中，晶片中將會有大量的記憶體存在，新的平面規劃方式將會變得很重要。

三、建議或分享計畫

這是每年在積體電路設計領域最重要的會議之一，在會場中可以看到世界各地的研究者在這個領域的研究成果，會議內容非常集中，很多都蠻值得去聽一聽，因此參加一次，可說是獲益良多，最後，我也建議做電路設計方面研究的研究生能多去參加這樣的會議，以提升自己的能見度。

四、攜回資料名稱及內容

- VLSI Symposium Proceedings 論文光碟

五、其他

2007 VLSI Symposium 網頁

<http://www.vlsisymposium.org/index.html>

2007 VLSI Symposium 開會地點-京都