

行政院國家科學委員會專題研究計畫 期中進度報告

兆級晶片系統前瞻技術研究--總計畫(2/3) 期中進度報告(精簡版)

計畫類別：整合型
計畫編號：NSC 95-2221-E-002-362-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基
共同主持人：楊佳玲、簡韶逸、吳安宇、張耀文、黃鐘揚

處理方式：期中報告不提供公開查詢

中華民國 96年06月11日

行政院國家科學委員會專題研究計畫 期中進度報告

總計畫(2/3)

計畫類別：整合型計畫

計畫編號：NSC 94-2215-E-002-039

執行期間：95 年 08 月 01 日 至 96 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

共同主持人：簡韶逸，楊佳玲，黃鐘揚，張耀文，吳安宇

計畫參與人：連崇志、王欽彥、江哲維、李權祐、林昱呈、林書彥
：張育璋、洪緯軒、陳依蓉、陳東傑、黃群翔、葉護熹

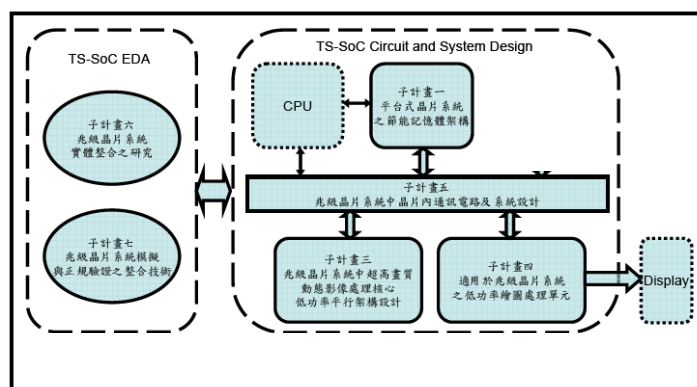
報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 96 年 5 月 31 日

一、總計畫簡介

本三年期(8/2005—7/2008)整合型技術發展研究計畫係針對未來兆級晶片系統 (Trillion-Transistor Scaled System-on-Chip, TS-SoC)研究領域之相關核心技術進行研究，並以多媒體應用作為系統整合平台的發展目標。本計畫之系統整合架構圖如圖一所示，本計畫研究兆級電晶體電路之系統層次設計問題(含節能記憶體及容錯架構)，再配合上電路及多媒體平台的發展以及晶片內傳輸系統的設計，共同建立一套完整性的 TS-SoC 系統架構之設計經驗。本計畫另一方面研發前瞻性的 EDA 相關軟硬體工具之技術(含系統驗證設計工具與實體設計工具等)，藉以簡化並縮短兆級電晶體電路及系統架構設計的研發時程。兆級電晶體電路及系統所研發之架構，皆會透過 CIC 完成晶片實現與測試，以實際驗證各新穎性的兆級電晶體電路及系統架構之可行性與實用性，同時將設計經驗轉換成設計法則，以協助並推動 EDA 相關軟硬體工具的實現。此整合型技術發展研究計畫，從學術研究的創新性角度來衡量，預估每年至少有十五篇以上的會議與期刊論文；而從科技應用的實用性角度來評估，所發展出來的新穎性系統、SoC/VLSI 架構與 EDA 相關軟硬體工具等，對於國內日漸蓬勃的積體電路設計和系統製造產業，均有相當程度的貢獻。更重要的，是使得台灣能夠引領世界級(World Class)積體電路設計的潮流，在世界積體電路設計界中佔有一席之地。



圖一 總計畫之系統整合架構圖

二、各子計畫本年度成果

1. 子計畫一：平台式晶片系統之節能記憶體架構

1.1 研究摘要

隨著製成技術的進步，漏電在單晶片系統上造成之能源消耗的問題也越來越重要。在處理器中，快取記憶體所需之資源佔相當大部份，因此，有許多減少快取記憶體漏電之機制被提出。然而，這些機制都會引起無法預期之效能衰退，因此並不適用於需要絕對遵守時間限制之硬性即時系統(hard real-time system)應用程式。在本計畫中，我們利用現有之快取記憶體漏電減少之電路設計，提出第一個適用於硬性即時系統之控制漏電機制。此考量時間限制之快取記憶體漏電控制機制，利用每個工作(task)之多餘時間(slack time)來決定是否要將每個工作相對應之快取記憶體區塊放入低漏電模式，並且保證每個工作可在其時間限制內完成。實驗數據顯示，我們所提出之漏電控制機制，與不管時間限制之漏電控制機制相比，可達到幾乎相同之漏電減少量。

1.2 研究方法

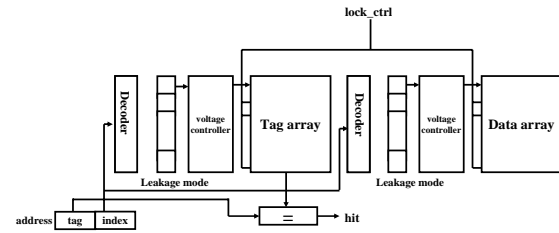
我們在本計畫中提出一考量時間限制之快取記憶體漏電減少機制 (Timing-aware Leakage Control Scheme, TALC)。TALC 機制乃針對有 n 個 periodic real time task 之 hard real-time 系統所設計，每個 task 都有自己的 deadline，且用 EDF (Earliest Deadline First) 排程演算法。圖二為 TALC 所使用之基礎 cache 架構，每個 cache line 可用 drowsy cache 或 state-destructive cache 兩種不同的低漏電模式，而 cache line 選用低漏電模式是經由 leakage mode bits 來選擇。

我們所提出之 TALC 機制，會根據每個 task 所有之 slack time 來決定 cache line 應運作在何種模式下，並保證因使用低漏電模式所造成之效能損耗不會多於 task 之 slack time，因而保證可以完全符合每個 task 之時間限制。圖三為設計概念。Drowsy window size 為將 cache line 放入 drowsy mode 之時間間隔，當 drowsy window size 愈大，所造成之效能損耗也愈多，我們根據 slack time 的多寡，來決定 drowsy window size 的大小，以將 slack time 分配給 drowsy cache 運作時所帶來的 timing overhead，並達到減少漏電量並保持時間限制。TALC 演算法分為 off-line 和 on-line 兩個主要步驟，詳細方法在子計畫報告有詳細解說。

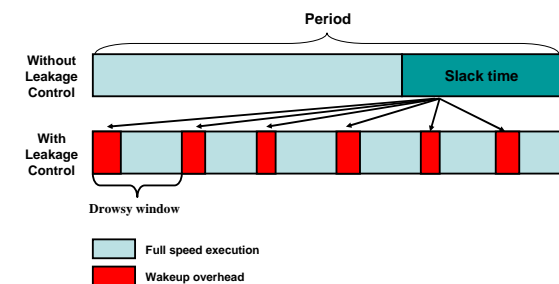
1.3 研究成果

圖四顯示我們所提出來的 TALC 演算法跟基本的 drowsy 機制比較分別在 1%、5%、10%、和 15% 的 slack 下比較。當 slack 為 1% 時，TALC 演算法可減少 78.4% 之快取記憶體漏電量，與基本之 Drowsy+Simple 機制相比，雖然減少的漏電量較少，但 TALC 可使所有的 task 都在 deadline 之前完成，而 Drowsy+Simple 卻會使部份 task 錯過 deadline。因為 TALC 演算法本身可動態調整 drowsy window size 的關係，其減之快取記憶體漏電量會隨 slack 愈大而

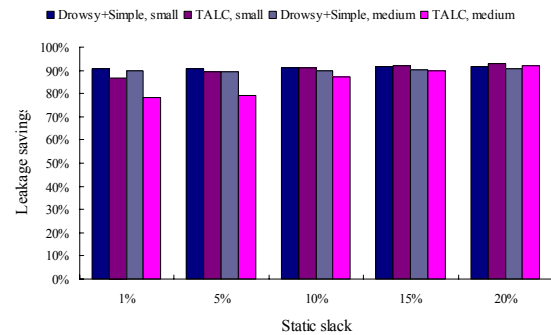
愈多。當 slack 為 20% 時，TALC 甚至可以減少比 Drowsy+Simple 更多之快取記憶體漏電量。



圖二 Baseline cache architecture of the proposed scheme.



圖三 Illustration of using wake-up overheads to consume task slack time



圖四 Evaluation of leakage reduction.

2. 子計畫三：兆級晶片系統中超高畫質動態影像處理核心低功率平行架構設計

2.1 研究摘要

本計畫進行兆級晶片系統中，動態影像編解碼器之前瞻架構設計研究。由於晶片中可以整合的電晶體數快速成長，晶片

可以提供越來越強大的運算能力，另一方面，可攜式設備卻要求這樣強大的運算引擎必須在功率消耗上更有效率。本研究兩大主軸：第一，未來大畫面動態影像的需求將更為普及，高度平行化架構與系統是一個趨勢。支援超高畫質與複雜運算的最佳化平行架構及其設計法則的提出，將是這個主軸的目的。第二個研究主軸則是進一步在高度平行架構之下，研究關於功率導向的設計，進行低功率與功率感知相關研究。本計畫以 Motion JPEG2000 與 H.264/AVC 為主要研究平台，進行以上所述之高平行且功率導向的架構設計與系統化研究。

2.2 研究方法與成果

在本年度的研究中，我們主要進一步研究 Motion JPEG 2000 的最佳化架構設計與開發功率感知式 H.264/AVC 編碼器。

• 擁有可延展性嵌入式區塊編碼架構的 JPEG 2000 編解碼器[1]

對於不同應用與產品規格，一個功能固定的硬體架構常需要大幅度的修改，我們的研究針對 JPEG 2000 最複雜的 EBCOT 模組，研究發展可以彈性應變的 scalable 架構，研究的方法是透過深入的運算特性分析，了解一個架構在不同運算需求之下，硬體使用率的情形，由架構中萃取出基本的 Bit-plane 運算單位，以此作為可以延展的基礎，讓硬體可以更有效率地用來運算資料，減少運算單元不足或是閒置的情形，如此的彈性架構可以快速達成最佳的 Cost/Performance ratio。

• 功率感知 H.264/AVC 編碼器[2]

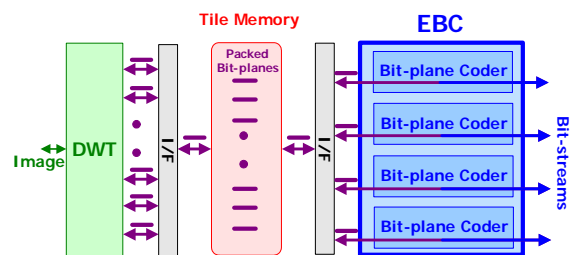
低功率已經是一個設計的必要條件，除了低功率之外，新的功率感知觀念也愈來愈普及。H.264/AVC 中移動估計模組是運算量最大，也最有演算法發揮空間的部分，當功率消耗非常關鍵時，可以調整移動估計的方法，減少部

分運算，反應在犧牲部分視訊品質，以換取較少的功率消耗。其他像是 H.264/AVC 中有相當多的模式與參數，不同的模式與參數有其特殊的應用考量，複雜度亦有所不同，這些可變的選擇形成一個 Power-Rate-Distortion 或 Complexity-Rate-Distortion 的最佳化問題。

2.3 結果與討論

Motion JPEG 2000 方面的研究提出一個以 Bit-Plane 編碼引擎為基礎的具可延展性的嵌入式區塊編碼架構，如圖五所示。當某些 bit-plane 因為量化或原先有效數值就不大，使得整個 bit-plane 不需要運算時，Bit-Plane 引擎可以彈性調整給不同的 code-block 來運用，達到硬體使用率的最佳化。表一是晶片實作的規格，圖六是這個測試晶片的照片。

H.264/AVC 方面已完成功率感知的編碼器設計，架構如圖七所示。其中的設計特色包括有低功率的 Integer ME 與 Fractional ME 設計，以及基於不同參數，工作模式，與 ME 演算法所設計出的可重組化架構，提供功率可調的機制。所設計出的晶片(圖八)成功展現出 2.8mW 到 67.2mW 的可調範圍(表)，可以因應不同使用情形下，使用者可以選擇不同功率模式，或是搭配自動的功率選擇軟體控制。



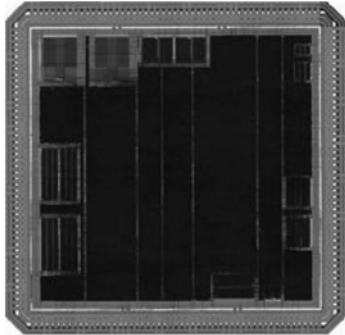
圖五、Motion JPEG 2000 以位元平面 (Bit-Plane) 為基礎的系統架構圖

表一 JPEG 2000 編解碼器晶片規格

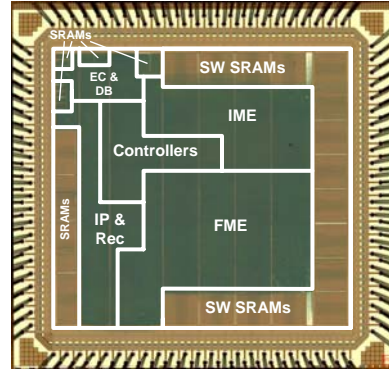
Technology	TSMC 0.18 μ m 1P6M CMOS
Tapeout	CIC T18-95C
Die Size	3.52 x 3.52 mm ²

Core Size	2.47 x 2.47 mm ²
Logic Gate Count	302,785 gate
On Chip SRAM	9.5 KB
Max Clock Rate	60 MHz
Power Consumption	180.3 mW

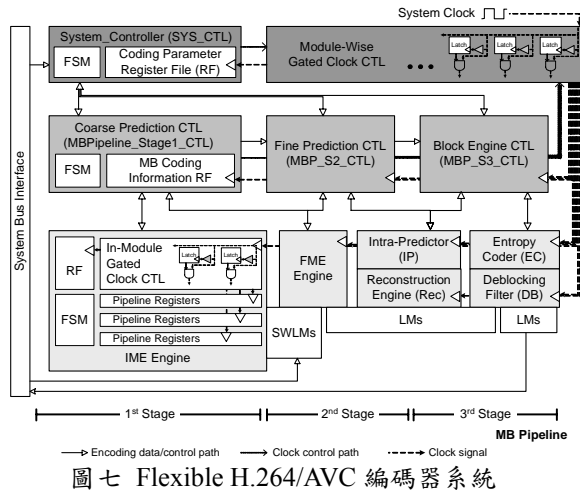
8.7 mW for QCIF, 2 ref @
6.25MHz, 1.3V
2.8-4.3 mW for QCIF, 1 ref @
3.125MHz, 1.3V



圖六 Motion JPEG 2000 編解碼器晶片



圖八 Power-Aware H.264/AVC 編碼器晶片照片



圖七 Flexible H.264/AVC 編碼器系統

表二 Power-Aware H.264/AVC 晶片規格

Technology	TSMC 0.18μm 1P6M CMOS
Pad/Core Voltage	3.3V (Core) / 1.8V (I/O)
Core Area	3.47 x 3.70 mm ²
Logic Gates	452.8 K (2-input NAND gate)
SRAM	16.95 KBytes
Search Range	H[-32,+31] V[-16,+15]
Power Consumption	33.5-67.2 mW for SDTV, 1 ref @ 54MHz, 1.8V
(Measured Results)	40.3 mW for CIF, 2 ref @ 27MHz, 1.8V 9.8-15.9 mW for CIF, 1 ref @ 13.5MHz, 1.3V

3. 子計畫四：適用於兆級晶片系統之低功率繪圖處理單元

3.1 計畫摘要

本計畫以開發適用於兆級晶片系統之低功率繪圖處理單元技術為研究的重點，本研究將以低功率、高彈性、以及高畫質為主要研究方向，在演算法層次以及電路架構層次同步進行。在第一年的計畫之中，我們進行了浮點運算單元及頂點運算器架構設計之研究。在第二年中，基於第一年的成果，我們實作在GPU中的重要元件—頂點運算器，並將一些適合視訊編碼的加速指令加入；另一方面，我們也對於三維運算中的後端運算，也就是著色的部分做記憶體的分析，並提出了一個可見度測試引擎的架構而能進一步減少記憶體頻寬。

3.2 研究方法與成果

我們在本年度中實作下線的晶片如圖九所示，晶片規格如表三所示，在50MHz的工作頻率下，此晶片可以達到12.5 Mvertices/sec，且僅需8.6mW的功耗，此外，此頂點處理器也可以處理視訊編碼之中運動偵測的運算，可達到每秒30張CIF畫面的處理能力。此處理器的功率方面的表現如圖十所示，在圖十

(a)中可以看到，在使用全部的技巧之後，和單純 VLIW SIMD 的頂點處理器相比，可以節省 86%的功率消耗到達 8.6mW；在圖十 (b) 中，我們以 (Mvertices/s)/mW 作為指標來比較幾個已提出的論文，可以看出，和 ISSCC2006 的論文比較，我們的效能可以達到 1.82 倍。我們的此項成果，也被 VLSI Symposium 2007 所接受 [3]。

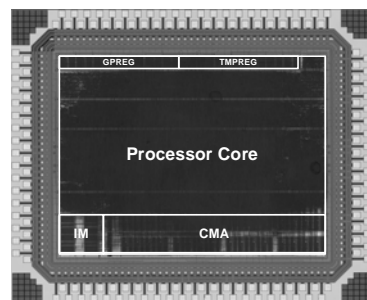
此外，在本年度中，我們也提出了一個可見度揀選(visibility testing)的演算法及其硬體架構設計。可見度揀選已有很多演算法，常常看到的都是由軟體演算法的角度去解可見度的問題，其中有不少是對於特定的一些場景，如走道、大遮蔽物，去做特殊的演算法。我們整理有考慮到硬體運作及非限定模型這類論文，有以下一些特性：在應用(application)部份，發展很多對三維空間中物體排序的演算法，如二元空間切割樹排序(binary space partition tree sorting)、潛在可見集合(potentially visibility set)等方法；而在架構或硬體部分，大致上可以分為兩派：階層深度緩衝區(hierarchical z buffer)及階層遮蔽圖像(hierarchical occlusion map)，經常是假設在應用軟體利用一些物體排序演算法作排序，硬體部份是屬輔助加速(accelerate)的角色，利用把深度或遮蔽情形的緩衝區做成階層的形式，使後面顯示對於一些三角形可以快速的判斷可見度進而達到節省頻寬的目的。雖然相關研究已不少，但關於硬體實現的部分研究相較之下少之又少。在一些手持裝置上並沒有提供許多的記憶體存放一些額外的模型資料，也可能沒有很好的軟體演算法實驗平台，所以如果能在硬體上能做相對的設計，發展適合硬體的演算法，如此便可以有

效地做著色的動作，也可以降低花費在遮蔽部分的運算及頻寬。

3.3 計畫成果自評

在今年度的計畫之中，我們將第一年所設計之可程式化的浮點數頂點著色處理器實現出來，其特色為低功率以及能夠支援加速移動估計的指令以間接加速視訊編碼的功能，這兩項特色在目前文獻中並未能發現類似的作品，此項作品在今年度已獲國際重量級的會議 VLSI Symposium 2007，我們也將會把我們的成果發表於國際期刊之中。此外，我們在今年中也對可見度測試的方向進行探討，也提出了其對應之演算法及硬體架構，預計此種方法在應用軟體的搭配之下，將可以大量的減少記憶體頻寬及運算量，達到降低功率損耗的目標。

在明年度的計畫之中，我們預計將把此可見度測試的引擎實現，並將會把重心放到像素著色處理器以及其他著色(rendering)的相關研究方向上。

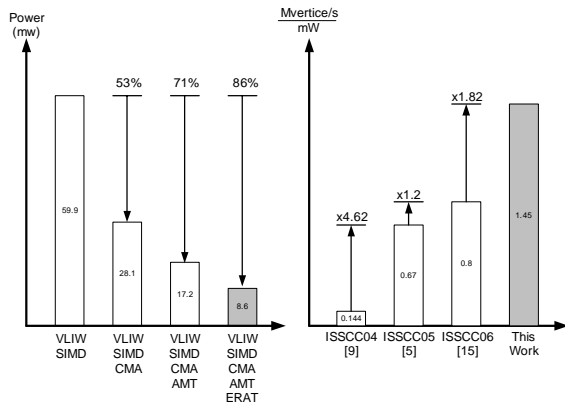


圖九、所提出之頂點運算器之晶片照。

表三、頂點著色器之晶片實作規格。

Process Technology	TSMC 0.18 μ m CMOS 1P6M
Chip Size	2.7mm x 3.3 mm
Supply Voltage	1.8V
Clock Frequency	50MHz
Performance	Graphics: 12.5Mvertices/s Video: CIF 30fps SR{H[-24,24] V[-16,16]} with FS algorithm and PDE
Power Consumption	(*)8.6 mw
On-chip Memory	CMA : 4KB IM : 768B TMPREG : 0.5KB
Features	OpenGL ES 2.0 Support Shader Model 3.0 Video encoding IME capability

(*)ShaderProgram: SpecularLight with 20 instructions



(*)ShaderProgram: SpecularLight with 20 instructions
(**)Total early reject case will perform transformation only

(a) (b)

圖十、和其他已提出處理器之比較。

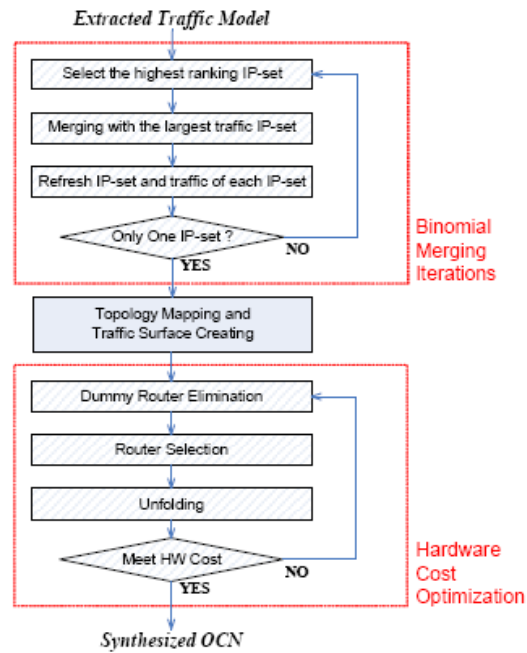
4. 子計畫五：兆級晶片系統中晶片內通訊電路及系統設計

4.1. 計畫摘要

本計畫負責兆級電晶體電路及系統的晶片內通訊設計。隨著製程科技的演進，晶片內所能容納的電晶體數目急遽增加，而其尺寸也相對減小。當晶片內IP之間需要互相傳遞訊號時，其間的傳輸通道會因此而日益惡化。如何提供晶片內IP間可靠的晶片內IP間訊號傳遞技術以及如何降低訊號傳輸間的連線複雜度將是未來兆級電晶體晶片系統(TS-SoC)設計中最急需克服的重要設計議題之一。在本計畫中，將研究如何利用晶片內通訊之技術解決上述問題。

4.2 研究成果

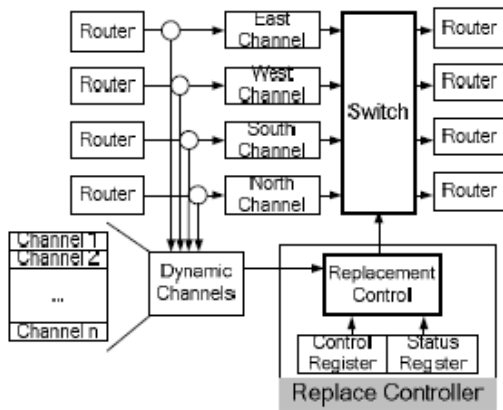
本年度本子計畫提出兩項重點突破：(1)在圖映(Mapping)部分提出之二項式收斂圖映法(binomial mapping algorithm, BMAP)並達到硬體成本最佳化，本技術已發表於NOCS2007 [4]。其演算法如圖十一所示，以實際之影像應用:VOPD 和MPEG-4 模擬，其效果在頻寬上可節省45%，硬體成本之節省從51%提升至85%，如圖十二所示。(2)提出動態調整通道之流量控制技術(dynamic channel flow control)，如圖十三所示。和傳統的虛擬通道流量控制(virtual channel flow control)相比，使用較少之緩衝器，即可降低至少52%的延遲時間，如圖十四所示。



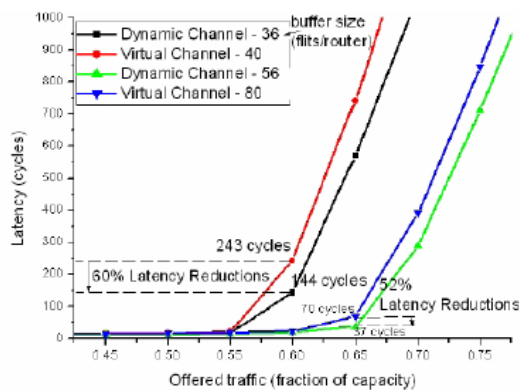
圖十一 二項式收斂圖映演算法

NMAP vs. BMAP		
Application	Traffic Ratio	HW Cost Ratio
VOPD	98%	51%
MPEG-4	80%	85%
Average	89%	68%

圖十二 VOPD 和 MPEG-4 模擬結果



圖十三 動態調整通道之流量控制技術



圖十四 通道的利用率之模擬結果

5. 子計畫六：兆級晶片系統實體整合之研究

5.1 計畫摘要

在此計畫中，我們提出了一個嶄新的 MP-tree 表示法來處理擁有大區塊 (macro block) 的混合尺寸設計。基於二元樹的特性，MP-tree 可以有效地並且有彈性地處理擁有許多不同限制的大區塊擺置問題。對一給定的全域擺置結果，我們所提出的大區塊擺置器將會最佳化大區塊的位置、降低最佳化所造成的大區塊位移、並保留晶片的中心區域給標準單元 (standard cell) 的擺置與繞線。由在 ISPD'06 placement contest benchmark 上所進行的實驗，我們所提出的大區塊擺置器與 Capo 10.2、NTUplace3、或 mPL6 的結合可以在穩固性 (robustness) 與品質 (quality) 上大幅度地勝過學術界頂尖的混合尺寸擺置器。例如，此一結合的方法可以修正兩組由 NTUplace3 所產生的非法擺置，

以及七組由 mPL6 所產生的非法擺置，同時分別減少 7% 與 4% 的平均半周長 (HPWL)。

5.2 研究方法

混合尺寸擺置器

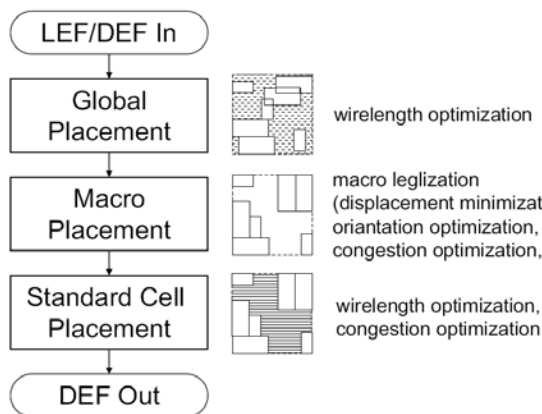
我們使用二階段的擺置流程，第一階段是 macro placement，第二階段是 standard-cell placement 流程如圖十五所示。

在 macro placement 中我們使用 packing-tree floorplan 的表示方式，如圖十六所示，packing tree 是一個二進位元樹，共有四種 packing tree，分別是 TL-packing、TR-packing、BL-packing 和 BR-packing 四種，利用 group macro 的方式做 macro position 的最佳化。

圖十七是 multi-packing tree (MP-tree) 的最佳化流程，在產生 MP-tree 後，主要是利用 simulated annealing 來調整 macro 的位置，並利用所提出的 evaluation 方法來決定是否接受 annealing 的結果。

5.3 實驗結果

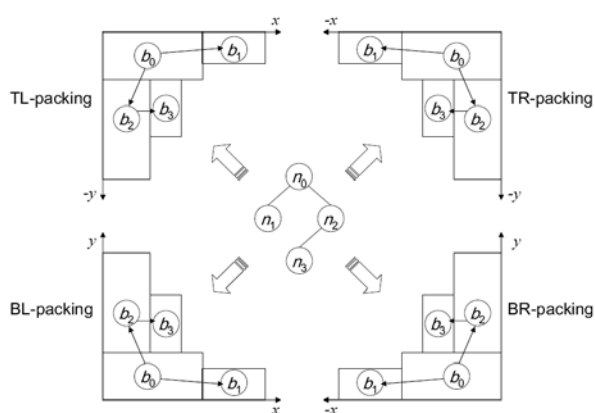
我們將所提出來的演算法以與 Capo 10.2、NTUplace3、或 mPL6 擺置器做整合，並以 ISPD'06 placement contest benchmark 來做實驗結果如表四所示，此一結合的方法可以修正兩組由 NTUplace3 所產生的非法擺置，以及七組由 mPL6 所產生的非法擺置，同時分別減少 7% 與 4% 的平均半周長 (HPWL)。



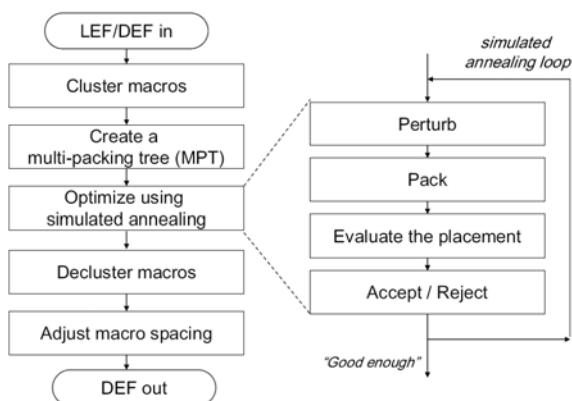
圖十五: Our mixed-size placement flow.

Circuit	NTUplace3 + MP-tree		NTUplace3 + Packing Trees	
	HPWL ($\times e7$)	CPU (min)	HPWL ($\times e7$)	CPU (min)
adapte5	30.48	76	32.17	89
newblue1	6.38	22	6.55	21
newblue2	19.29	35	NR	27
newblue3	29.64	98	31.52	103
newblue4	22.68	77	23.14	66
newblue5	47.97	315	61.13	290
newblue6	47.60	144	48.95	156
newblue7	120.15	729	134.06	1107
Comparison	1.00	1.00	1.08	1.09

Circuit	Capo 10.2				mPL6			
	HPWL ($\times e7$)		CPU (min)		HPWL ($\times e7$)		CPU (min)	
	w/o	MPT	w/o	MPT	w/o	MPT	w/o	MPT
adapte5	38.29	33.52	432	537	NR	28.72	NR	138
newblue1	9.56	6.71	155	109	6.45	6.18	47	47
newblue2	25.99	22.05	287	234	NR	18.18	NR	94
newblue3	33.27	34.00	263	432	NR	31.11	NR	116
newblue4	26.93	24.00	311	451	NR	21.04	NR	93
newblue5	47.07	42.96	775	894	NR	39.94	NR	239
newblue6	55.22	49.23	795	882	NR	45.33	NR	296
newblue7	119.48	107.99	1795	2752	NR	94.76	NR	588
Comparison	1.00	0.88	1.00	1.21	1.00	0.96	1.00	0.99



圖十六: A packing tree with its four types of packing.



圖十七 Our MP-tree macro placement flow.

表四 The resulting HPWL's and CPU times for different placers without ("w/o") and with MP-trees ("MPT") (utilization rate = 90%). NR: No legal results can be obtained.

6. 子計畫七：兆級晶片系統模擬與正規驗證之整合技術

6.1 計畫摘要

本子計畫今年持續去年的進度，繼續在正規驗證引擎以及RTL設計除錯之輔助工具上進行研究，主要完成的項目有二：(一) 針對複雜的電路結構所設計強健的限制條件滿足產生器，以及(二) 高階設計內涵自動萃取演算法以提高設計驗證與除錯的效能。其中項目一我們的限制條件滿足產生器之基本效能與現今世上最快的產生器並駕齊驅，但是我們再加上針對複雜電路所設計之專門演算法，我們的產生器之效能能夠在快上15到20倍。至於項目二我們開發出一套不限制於程式碼風格之高階設計內涵自動萃取演算法，能夠自動的從RTL電路描述檔中萃取出各式各樣複雜的有線狀態自動機以及計數器，這是連現今業界最先進的電子電路設計自動化工具都做不到的事，這些演算法將有助於本計畫在第三年實現智慧型的電路驗證與除錯工具。

6.2 研究成果

限制條件滿足產生器

我們提出了一個快速限制條件滿足產生器，演算法在子計畫報告中有詳細描述。表爆為跟跟目前以發表最快速的Conjunctive Normal Form (CNF) [5][6]的比較，在基本效能與現今世上最快的產

生器並駕齊驅，但是我們所提出針對複雜電路所設計之專門演算法，我們的產生器之效能能夠在快上 15 到 20 倍。

表五. Equivalence checking (EC) experiments

Time: secs	without circuit info			with circuit info		
	QuteSAT	zChaff [1]	miniSat [2]	QuteSAT -J	NIMO -u	NIMO
C2670	0.16	0.24	0.19	0.04	0.02	0.01
C3540	8.36	7.20	6.49	0.38	0.58	0.01
C5315	2.39	2.62	2.48	0.27	0.61	0.02
C7552	3.71	7.55	22.5	0.39	1.38	0.05
S13207	1.31	1.67	1.04	1.01	0.28	0.06
S35932	25.4	29.24	21.5	0.67	66.8	0.16
S38417	36.2	85.59	30.9	3.14	8.62	0.45
S38584	29.8	48.46	33.9	20.8	67.9	0.78
B12	0.69	1.43	0.69	0.2	0.24	0.03
B14	2529	>3600	793.4	16.7	3380	0.48
B15	116	168.8	83.0	15.9	158.5	2.37
B17	737	>3600	665.5	54.4	>3600	14.4
B20	>3600	>3600	3185	76.6	>3600	2.17
a-rank	1.69	2.69	1.39	N/R	N/R	N/R

高階設計內涵自動萃取演算法

我們提出了一個自動化演算法可以在不同 coding styles 的 RTL codes 中自動萃取 FSM 和 counter，演算法在子計畫報告中有詳細描述。表六是萃取後的結果，每個 design 都有不同的 coding style，以 USB[7] 為例，含有 533 行 codes，共有 33 “always” blocks，我們的演算法能成中萃取其中所有的 FSM 和 counter。

表六: Summary of result

	ex-FSM	imp-FSM	counter
AC97	0	0	9
USB[7]	6	0	16
AES	1	0	1
Router	1	0	1
OCRS	2	0	3
R CRS	3	0	4
Contest	2	2	0
PicoJava	3	18	1

7. 總結

在這期的研究計畫中，在 SoC 系統中的靜態動態影像壓縮系統如 JPEG 2000 和 H.264，以及在繪圖系統中提出了高效能和高效率及低耗能的系統架構，在系統 cache 記憶體方面利用 off-line 和 on-line 的 workload 分析能有效的降低系統記憶體的 leakage power。在系統方塊中的通訊電路中所提出之控制流量演算法和通訊架構能有效的降低硬體成本和提高系統方塊間的溝通效率。在系統模擬與正規驗證之整合方面，所提出來的高速限制條件滿足產生器和高階設計內涵自動萃取演算法可以快速對 TS-SoC 系統作正規驗證，在實體整合方面，所提出的 placement 演算法，能有效減小平均繞線長度，使的 TS-SoC 系統實現化更為可行。

參考文獻

- [1] Y.-W. Chang, C.-C. Cheng, C.-C. Cheng, H.-C. Fang and L.-G. Chen, “Design and Implementation of JPEG 2000 Codec with Bit-Plane Scalable Architecture,” in *Proc. of IEEE Workshop on Signal Processing Systems (SiPS 2006)*, pp. 432~437, Oct. 2006.
- [2] T.-C. Chen, Y.-H. Chen, C.-Y. Tsai, S.-F. Tsai and L.-G. Chen, “2.8 to 67.2mW Low-Power and Power-Aware H.264 Encoder for Mobile Applications,” to appear, in *Proc. of IEEE International Symposium on VLSI Circuits*, June 2007.

- [3] Y.-M. Tsao, C.-H. Chang, Y.-C. Lin, S.-Y. Chien, and L.-G. Chen, "An 8.6mW 12.5Mvertices/s 800MOPS 8.91mm² stream processor core for mobile graphics and video applications," *VLSI Symposium 2007*, June 2007.
- [4] Wein-Tsung Shen, Chih-Hao Chao, Yu-Kuang Lien and An-Yeu (Andy) Wu "A New Binomial Mapping and Optimization Algorithm for Reduced-Complexity Mesh-Based On-Chip Network," First International Symposium on Networks-on-Chip, pp. 317-322, 2007.
- [5] M.W. Moskewicz, C.F. Madigan, Y. Zhao, L. Zhang, and S. Malik, "Chaff: engineering an efficient SAT solver", DAC 2001, pp. 530 – 535.
- [6] N. Eén and N. Sörensson, "MiniSat: A SAT solver with conflict clause minimization", SAT '05.
- [7] <http://www.opencores.org>, OpenCores.