

# 行政院國家科學委員會專題研究計畫 期中進度報告

多媒體系統無線傳輸介面之研發--子計畫一：用於高速信號辨識與分類之系統晶片(1/3)  
期中進度報告(完整版)

計畫類別：整合型  
計畫編號：NSC 96-2220-E-002-027-  
執行期間：96年08月01日至97年07月31日  
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：盧奕璋  
共同主持人：胡學穎

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 97年06月01日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

多媒體系統無線傳輸介面之研發-子計畫一：用於高速信號辨  
識與分類之系統晶片(1/3)

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 96-2220-E-002-027-

執行期間： 96年 8月 1日至 97年 7月 31日

計畫主持人：盧奕璋

共同主持人：胡學穎

計畫參與人員：郭仲宇、陳晉凱、謝為丞、謝易穎、李政鴻

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、  
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立台灣大學電子工程學研究所

中 華 民 國 97年 5月 31日

## 中文摘要

要將多條導線上的信號彙集後以數位無線系統傳輸，由於頻寬的限制，經常需要將資料壓縮。不同的數位信號，不見得適用同一種壓縮演算法。如果是類比信號，則還得先轉為數位信號再進行處理。因此，如果能夠快速自動地判別信號的種類，並把週期、頻寬等參數提供給晶片上其他區塊使用，系統將可依讀入信號的特性重組所需硬體，使整個晶片系統的應用更具彈性及效率。

截至目前為止，一個操作在 10.5GHz 的鎖相迴路系統已完成設計。此一系統將進一步發展為多速率之時脈資料回復電路。時脈資料回復電路與數位運算單元將可計算出可能之信號速率，所得資料將可用於辨識輸入之信號類型，提供總計畫與其他子計畫使用。

## 英文摘要

To transmit signals over a wireless system, in most cases, it is necessary to compress data before transmission because of bandwidth limits. Different data compression algorithms are suitable for different data contents. Besides, if the incoming signals are in analog formats, analog-to-digital conversion has to be incorporated before compression. Therefore, it would be very useful if the system can automatically determine the types of input signals, and provide the parameters of the signals, such as periods and bandwidths, for system optimization. Based on the information, the whole system can reconfigure hardware accordingly, and make the system-on-chip design more flexible and efficient.

In the first year, we have designed a 10.5 GHz phase locked loop system, which will be further developed into a multi-rate clock data recovery (CDR) circuit. The multi-rate CDR circuit and a digital computing block can automatically calculate possible data rates of incoming signals, which will provide necessary information for signal identification purposes.

## 關鍵詞

鎖相迴路、時脈資料回復、信號辨識、信號分類

Phase Locked Loop, Clock Data Recovery, Signal Identification, Signal Classification

## 前言

若要將導線上的信號彙集後以無線系統傳輸，由於頻寬的限制，經常需要將資料壓縮。在本整合型計畫中，輸入信號可能是視頻信號，音頻信號，或是資料流。各種不同的數位信號，工作頻率未必會相同，也不見得適用同一種演算法進行壓縮。輸入信號的形式，如果事先加以指定，雖可降低系統的複雜度，卻同時也失去了彈性。因此，如果能夠自動的即時判別分析信號的種類與特性，並把這些有關定時、數位化及壓縮、服務品質分析所需的參數資訊提供給其他區塊，依輸入信號的形式，動態的改變硬體的配置以及演算法的選擇，將會是十分有用的設計。

## 研究目的

本子計畫，最重要的部份即為研發一個高速的信號分析電路。此電路可用來處理信號辨識及分類的問題。從研究的角度上來說，信號分析電路的實現將有助於晶片系統動態地監測資料的特性。經過一年的研究，發現要實現信號分析電路較為可行的方法，除了含有統計分析功能的數位信號處理電路外，還須由接收器、多速率時脈資料回復電路整合組成的多速率資料擷取系統達成。如果輸入信號為類比模式，則還要加上一個高速類比數位轉換器。研究團隊同時也對 HDMI 及 SATA 信號的特性，進行深入的研究。期中報告，將偏重於資料擷取系統設計的部份。

## 文獻探討

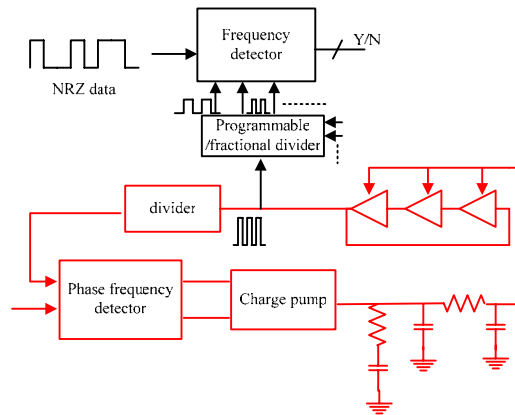
對高頻鎖相迴路系統與時脈資料回復電路，Koo[1]提出利用電荷平均技術達成的充電泵，可有效壓制突波，而改良的雙路徑回路濾波器，可增加片上濾波器的時間常數，電流回授偏壓與調節裝置，使壓控震盪器可保持穩定電壓與低增益。Chen[2]與 Pennisi[3]提出的電容乘增技術，可減小等效電容所需面積。Cao[4]與 Knapp[5]採用電流模式邏輯除頻器，可分別高速操作在 26GHz 與 25GHz。本計畫參考了以上的設計，並針對計畫所需的規格加以改良。雖然目前未直接採用 Lee[6]多相角震盪器的設計，文中的閉迴圈傳輸線架構，提供了高頻設計一個新的思考方向。Tyhach[7]詳盡地介紹了接收器介面的設計。而部分 HDMI 與 SATA 的資料，則可於[8][9]中找到。

## 研究方法

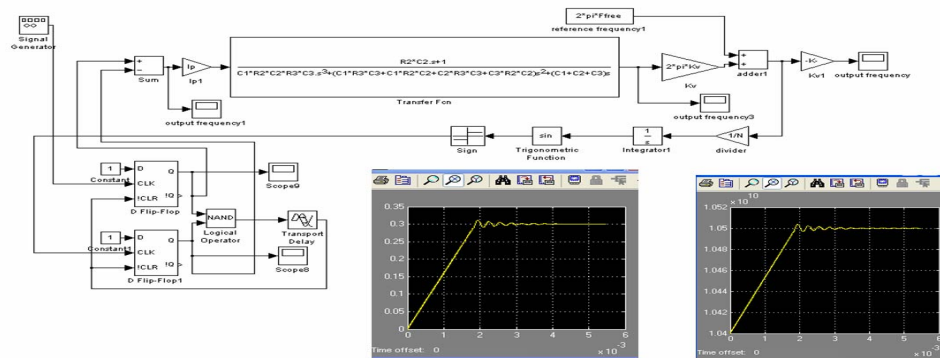
本計畫旨在偵測不同接收頻率的 NRZ(non return to zero)資料，跟預定的頻率(500MHz, 667MHz, 833MHz,... )作判斷比較，以決定信號的類型。如圖一所示，紅色部分為高頻鎖相迴路系統(10.5GHz)，將高頻的時脈依所設計的除頻器降頻至所需的頻帶與輸入做比較，輸出 Y or N 判別頻率是否為既定頻率。NRZ 信號，則來自前級的接收器介面。

接收器部分採用傳統架構，由兩級差動放大器組成，並有回授電路控制電流源大小。高速類比數位轉換器部份，暫時採用 6 位元 flash 架構，並加上數位校正單元。多速率之時脈資料回復電路所需之高頻鎖相迴路系統，其設計架構摘要如下：

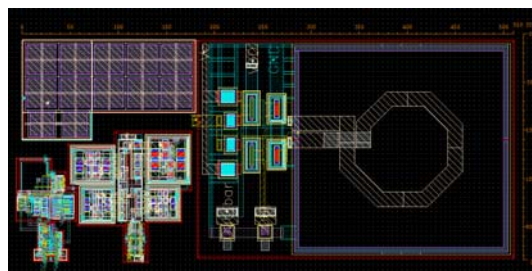
三階迴路濾波器架構，壓控震盪器(VCO)採用 LC tank，除 256 電流模式邏輯除頻器，將中心頻率 10.5GHz 降到 41MHz，採用石英震盪器為本地振盪源。相位頻率偵測器由兩個六個電晶體組成的半穿透暫存器組成的動態相位頻率偵測器。相較傳統的充電泵，因有開關寄生電容所造成的電荷分享效應，或電流源不匹配而造成的淨電流對壓控震盪器干擾，故採用疊接的架構，增加輸出阻抗，減少充電泵所造成的非理想效應。壓控震盪器利用操作在飽和區的電晶體當負電阻抵消電感的消耗而達到振盪條件，震盪頻率由 MOS VAR 控制，拿掉電流源以減少產生之雜訊和增加輸出擺幅。除頻器採用電流模式邏輯由電流源切換可達到較高速的操作，且採用差動架構，可抑制來自電源網路或基板的共模雜訊。圖二為利用 Matlab 進行之行為階層模擬設定與結果。晶片佈局圖與系統重要參數如圖三與表一所示。



圖一 次系統架構(不含接收器與高速類比數位轉換器的部分)



圖二 鎖相迴路系統行為階層模擬



圖三 鎖相迴路系統佈局圖

表一 鎖相迴路系統參數(模擬結果)

Technology	TSMC 0.18um 1P6M
Supply voltage	1.8v
PLL frequency	10.5GHz
Reference frequency	41MHz
Phase margin	55 degrees
Charge pump current	200uA
Loop bandwidth	80KHz
VCO tuning constant	~ 1GHz
Divide ratio	256
Low pass filter	Cs=11.67n Cp=1.186n CL=10.71p Rp=668 RL=2.05K
Power consumption	PFD : 0.4mW CP:1.9mW VCO:12mW Divider:23.8mW
Phase noise	-83.68dBc/Hz @100KHz -108dBc/Hz @ 1MHz
Lock time	< 20us
Chip area	0.73*0.62 um <sup>2</sup>

#### 結果與討論

Due to area constraints, the designed PLL test chip will use the off-chip loop filter option. The test chip is scheduled to be ready by October. The next step is to design a multi-rate CDR. Meanwhile, a 6-bit flash ADC and a DDR compatible high-speed receiver have been developed. However, the highest sampling rate of the ADC so far is only at around 1.2 GHz, and the highest data rate of the DDR typed receiver is only at around 1.6 Gbps. We expect to improve the sampling rate of the designed ADC to at least 2 Gbps, and the data rate of the DDR typed receiver to at least 3 Gbps. Once complete, we will have a complete path from a receiver to an ADC then to a CDR. Currently, tsmc 0.18  $\mu$ m technology is used.

#### 計畫成果自評

- (1) The characteristics of HDMI and SATA typed signals have been carefully studied as planned.
- (2) Circuit design is a bit behind the schedule, but the team should be able to catch it up.
- (3) So far not many papers have been submitted based on the results of this research.
- (4) Statistical analysis and ARM core development are very important to this research. They could be more emphasized in the coming year.

## 參考文獻

- [1] Y. Koo, and *et al.*, “A fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS- and cellular-CDMA wireless systems,” *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 536-542, May 2002.
- [2] C.-C. Chen, and *et al.*, “A spread-spectrum clock generator using a capacitor multiplication technique,” *Emerging Information Technology*, Aug 2005
- [3] S. Pennisi, “CMOS multiplier for grounded capacitors”, *Electronics Letters*, vol. 38, pp. 765-766, July 2002.
- [4] C. Cao, K. O. Kenneth, “A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS,” *IEEE Microwave and wireless components*, vol. 15, no. 11, Nov 2005.
- [5] H. Knapp, and *et al.*, H.-D. Wohlmuth, M. Wurzer, M. Rest, “25 GHz static frequency divider and 25 Gb/s multiplexer in 0.12 um CMOS,” *ISSCC 2002*.
- [6] J. Lee, B. Razavi, “A 40 GHz frequency divider in 0.18um CMOS technology,” *IEEE J. Solid-State Circuits*, vol.39, no. 4, pp.594-601, April 2004
- [7] J. Tyhach, and *et al.*, “A 90-nm FPGA I/O buffer design with 1.6-Gb/s data rate for source-synchronous system and 300-MHz clock rate for external memory interface,” *IEEE. JSSC*, vol. 40, pp 1829-1838, Sep. 2005.
- [8] <http://www.hdmi.org>
- [9] <http://www.serialata.org>

## 出席國際學術會議心得報告

計畫編號	NSC 96-2220-E-002-027-
計畫名稱	多媒體系統無線傳輸介面之研發-子計畫一：用於高速信號辨識與分類之系統晶片(1/3)
出國人員姓名 服務機關及職稱	國立台灣大學 電子工程學研究所 陳晉凱 碩二生
會議時間地點	March 17-18, 2008, Double Tree Hotel San Jose, CA, USA
會議名稱	2008 International Symposium on Quality Electronic Design
發表論文題目	An Asynchronous Circuit Design with Fast Forwarding Technique at Advanced Technology Node

### 一、參加會議經過

International Symposium on Quality Electronic Design (ISQED) 每年在 San Jose, CA, USA 舉辦，今年是第九屆。ISQED 主要強調製程技術與良率、電子設計自動化方法等對積體電路設計的影響。本實驗室有一篇論文發表。作者是陳晉凱、林俊彥、與指導教授盧奕璋老師。

### 二、與會心得

在 ISQED 中整個 Session 6A 是有關可靠的電路建模和設計技術的討論，共有五篇文章。包含 Arizona State University 和 Intel 的“Node Criticality Computation for Circuit Timing Analysis and Optimization under NBTI Effect”，我們實驗室的論文“An Asynchronous Circuit Design with Fast Forwarding Technique at Advanced Technology Node”，University of Texas at Austin 的“Modeling of NBTI-Induced PMOS Degradation under Arbitrary Dynamic Temperature Variation”，University of California at Los Angeles 的“Reliability-Aware Optimization for DVS-Enabled Real-Time Embedded Systems”，以及 University of Bremen 的“A Basis for Formal Robustness Checking”。其中 University of California at Los Angeles 的論文為 Prof. Majid Sarrafzadeh 所提出。它是有關於如何利用動態電壓安排來達到省電功能而同時降低 soft error。方法中有運用到非線性策劃來運算出有效率及安全的動態電壓時間 time slot。個人認為這一篇的內容相當不錯，值得作進一步的研究。

除了可靠的電路建模和設計技術的討論外，大會也邀請到 Prof. Sung-Mo Kang 來討論一些關於奈米電晶體所會面到的挑戰。參加這個會議，除了可以了解最新的研究趨勢外，也與來自美國、歐洲、日本及其他地區的學者與工程師進行交流，獲益很多。總結來說，參加 International Symposium on Quality Electronic Design 是一個很好的經驗，對日後的研究有非常正面的幫助。