

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 10GBase-T 乙太網路系統晶片設計--子計畫三：適用於 10GBase-T 乙太網路接收機之類比前端電路(1/2) 期中進度報告(完整版)

計畫類別：整合型  
計畫編號：NSC 95-2220-E-002-023-  
執行期間：95年08月01日至96年07月31日  
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：李泰成

處理方式：期中報告不提供公開查詢

中華民國 96年05月29日

# 行政院國家科學委員會專題研究計畫成果報告

## 子計畫三—適用於 10GBase-T 乙太網路接收機之類比前端路

計畫編號：NSC 94-2220-E-002-023-

執行期限：95 年 8 月 1 日至 96 年 7 月 31 日

主持人：劉深淵教授 台灣大學電子工程研究所

共同主持人：汪重光教授 台灣大學電子工程研究所

子計畫主持人：李泰成教授 台灣大學電子工程研究所

計畫參與人員：林士鈞 葉治億 台灣大學電子工程研究所

### 一、摘要

本報告總結子計畫三-適用於 10GBase-T 乙太網路接收機之類比前端電路，內容包括回音干擾消除線路及多相位時脈產生器的模擬結果。回音干擾消除線路的目的為減少本地端傳送訊號時對本地端接收機所造成的耦合干擾，以舒緩接收端電路設計的複雜度。多相位脈衝產生器產生至少 128 個相位脈衝以供其他子計畫電路使用。

**關鍵詞：**回音干擾消除線路、多相位時脈產生器

### 二、緣由與目的

目前資料傳輸速率需求日益增加，傳統 10/100/1000 乙太網路技術已不敷使用，10GBase-T 制定乙太網路規格標準，能提供在傳統的雙絞線上傳輸每秒十億位元的乙太網路。如何使銅軸電纜承載龐大的資料傳輸速率即為本計畫之主要目的。

### 三、子計畫成果簡述

#### 1. 回音干擾消除線路

10GBase-T 以對絞的銅配線實踐訊號的傳輸，由於是在同一條實體雙絞線上進行全雙工傳輸，本地端傳送的訊號無可避免的會有一部份耦合到本地接收機上，對接收訊號造成干擾，為了避免這一部分的耦合有可能會過大造成接收端線路設計的複雜化，接收機類比

前端無可避免的需要做耦合訊號的消除。根據系統的分析，在此我們採用一個可調增益範圍從 -4.5dB 到 4.5dB、步階增益 (Gain Step) 為 1.5dB 的可變增益放大器 (Programmable Gain Amplifier) 和一個加總電路 (Summing Circuit) 來達到消除傳送端耦合訊號的功能。

圖 1.1 是我們所使用傳送端耦合訊號消除架構圖，本地端所傳送的訊號會先過兩級的 PGA 後，再經由 Summing Circuit 與 cable 接收到的訊號做相減的動作，藉此達到消除傳送端耦合訊號功能，而 PGA 增益的大小則是藉由數位端的數位訊號來控制。

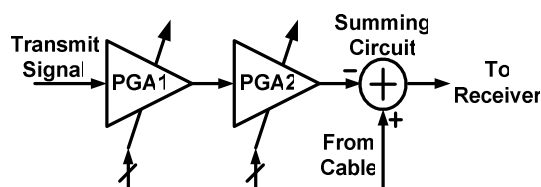


圖 1.1、System Architecture

圖 1.2 是我們所採用 Summing Circuit 的+線路圖，圖中左邊 differential pair 的輸入為本地接收端所接收到的訊號，至於右邊則為本地端傳送的訊號經由兩極 PGA 後所得到的訊號，由於現性的考量，我們利用 source degeneration 的技巧來增加線性度，其設計的公式為：

$$\text{THD} = \text{THD}_{R=0} \cdot \frac{1}{(1 + g_m \cdot R)^3}$$

$$\text{THD}_{R=0} = \frac{1}{32} \cdot \left( \frac{V_p}{V_{od}} \right)$$

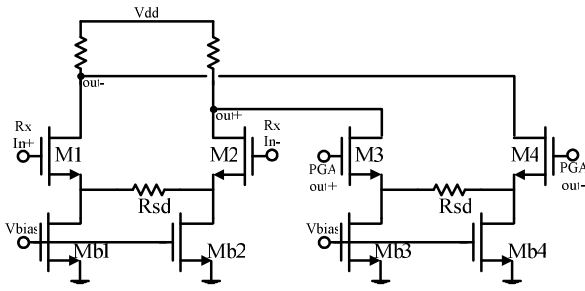


圖 1.2、Summing Circuit

至於在 PGA 的部份，在此是採用 *Pseudo-exponential function*，在小範圍的增益範圍內達到 dB 線性的結果，其公式表示法為：

$$e^{2n/a} = \frac{e^{n/a}}{e^{-n/a}} \approx \frac{1 + \frac{n}{a}}{1 - \frac{n}{a}} = \frac{a+n}{a-n}$$

圖 1.3 為 Matlab 數值模擬結果，X 軸為 n 值由 0 到 6 改變的情況，Y 軸則是取 dB (20\*log(y)) 之後的結果，正方形為理想線性 dB 的直線，菱形和三角形分別為指數函數與我們所採用的 *Pseudo-exponential function* 取 dB 後的結果，可以看出在我們所要的範圍之內相當趨近於 dB 線性。

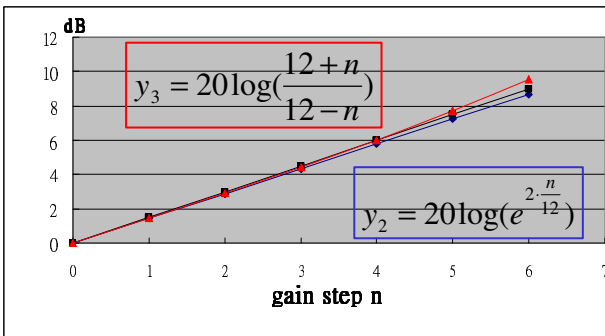


圖 1.3、Comparison between pseudo-exponential function and the ideal logarithmic function

圖 1.4 為 PGA 電路實現，在此我們利用圖 1.5 的開關切換方式（圖 1.4 中虛線方框的實作方式）來達到上述的功能，整個 PGA 的電壓增益為  $A_v = G_m \cdot \frac{12+n}{12-n} \cdot R_{out}$ ，在此 a 選取 12 的原因在於我們希望每階增益為 1.5dB。在此由於線性度的考量，我們同樣採用了 sourced degeneration 的技巧。

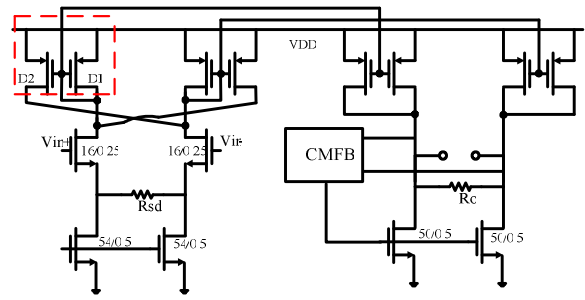


圖 1.4、1.5dB/step programmable gain amplifier

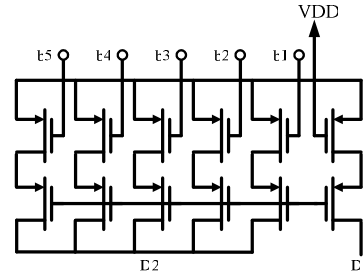


圖 1.5、Switches for size programming

圖 1.5 開關切換方式是利用 PMOS 作為開關，b1~b5 是從數位端傳送來的控制訊號，當控制訊號由 11111 一直變化到 00000 時，流過 D2 點的電流同樣一路跟著變大，藉此產生 n 從 0 到 5 的改變，再透過圖 1.4 中 D1、D2 點接法不同，最後產生我們所設計的  $\frac{12+n}{12-n}$  的功能。

圖 1.6 ~ 圖 1.8 為回音干擾消除線路的模擬結果，包含了 PGA Frequency Step Response、Total Group Delay、Total Harmonic Distortion... 等結果。

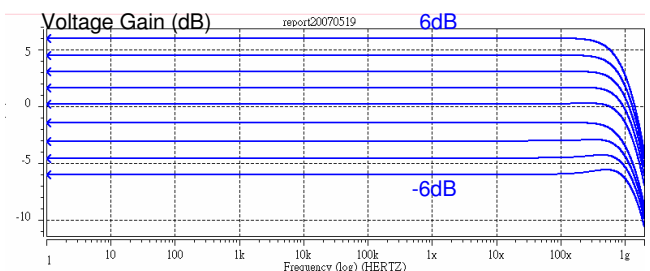


圖 1.6、Gain Step

圖 1.6 所顯示的是增益變化由 -6dB 到 6dB，Gain Step 為 1.5dB 情況下的頻率響應，模擬結果大致都符合設計，在 Gain Step 為 1.5dB 的情況下 Gain Error 都能小於 0.75dB，而 -3dB 的頻率也都能大於 800MHZ，對於輸

入信號不會有太大的影響，由於怕製程和溫度偏移的影響，所以上下各多留了一些範圍來克服此一問題。

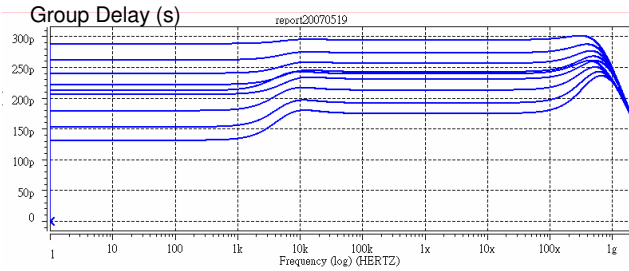
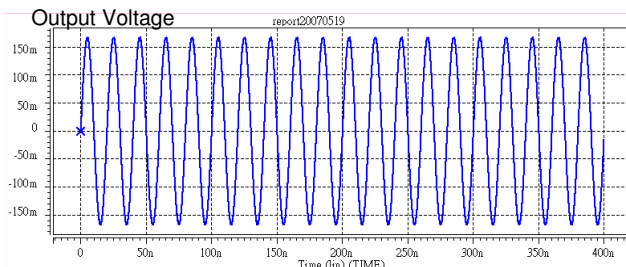
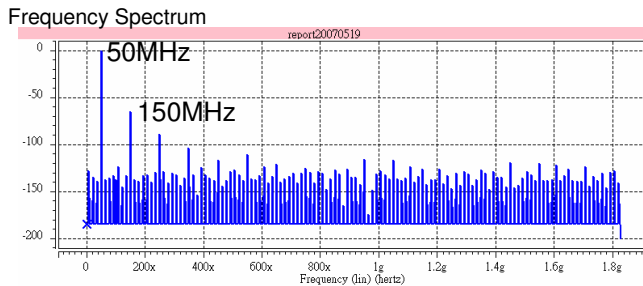


圖 1.7、Group Delay

圖 1.7 所顯示的則是增益變化由-6dB 到 6dB，Gain Step 為 1.5dB 情況下的 Group Delay，模擬結果同樣也能符合在頻率小於 800MHz 的情況之下，Group Delay Ripple 小於 +/-1.5ns 的系統要求。



(a) Transient



(b) HD3

圖 1.8

最後圖 1.8 所顯示的則是在 Total Harmonic Distortion 的部分，圖 1.8 (a) 是 Summing Circuit 輸出在 Time Domain 的輸出波形，圖 1.8 (b) 則是對這個 Time Domain 的輸出波形做 FFT 所得到的 Frequency Domain 的結果，我們觀察的是當 PGA 增益為最大 4.5dB 時，也就是有最大輸出時的線性度，模擬結果滿足 Signal Tone (50MHz) 和 HD3 (150MHz) 差距大於 60dB 的系統要求。

一個具有 Hybrid 功能的線路被實現，其模擬結果皆符合系統要求，整個電路的功率消耗為 5.76mW。

## 2. 多相位時脈產生器

如圖 2.1 所示，我們採用兩個延遲鎖定迴路組成一數位至相位轉換器的架構來取代傳統開迴路相位插入器的架構。雖然傳統的架構實現的方法簡單，但最主要的缺點是隨著製程的變異而改變插入相位的位置，無法確保插入的相位在相鄰的時脈的正中央。

而利用延遲鎖定迴路的架構，使用相位偵測器及充電泵來作閉迴路的控制，能準確的控制相位移。

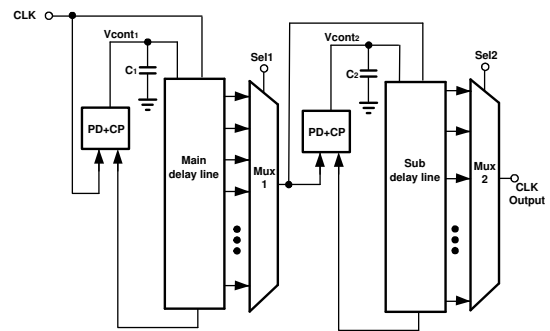


圖 2.1、多相位時脈產生器架構圖。

輸入時脈經由(1)第一個 m 階延遲鎖定迴路(m stage DLL)，(2)多工器從 m 個相位選擇某一個相位，(3)第二個 n 階的延遲鎖定迴路(n stage DLL)，(4)再經由第二個多工器選擇某一個相位輸出。所得到的總相位移為

$$\phi_{out} = \frac{2\pi}{m} x + \frac{2\pi}{n} y$$

$$x = 0, 1, 2, \dots, m$$

$$y = 0, 1, 2, \dots, n$$

$$0 < \phi < 4\pi$$

如果 m 和 n 有一公因數 a，則我們可以假設

$$x = k_1 = t_1 + \frac{m}{a}p$$

$$y = k_2 = t_2 + \frac{n}{a}(a-p)$$

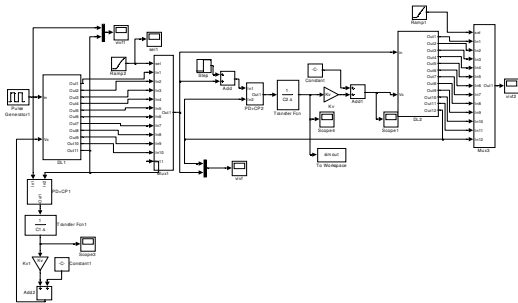
$$0 < p < a$$

因此

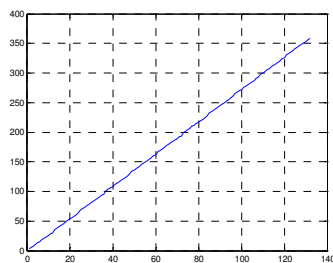
$$\begin{aligned} \varphi_{out}(k_1, k_2) &= 2\pi\left(\frac{t_1}{m} + \frac{t_2}{m} + \frac{p+a-p}{a}\right) \\ &= \varphi_{out}(t_1, t_2) + 2\pi \\ &= \varphi_{out}(t_1, t_2) \end{aligned}$$

由此可知，要是  $m$  與  $n$  為互質，則我們可以以最好的效率得到  $m \times n$  個相位移，而要是  $m$  與  $n$  不是互質，則最多可以得到  $\frac{m \times n}{\text{g.c.d}(m, n)}$  個相位移。

圖 2.2(a)及 2.2(b)分別為利用 simulink 做行為模擬(behavior simulation)的架構圖及結果。



(a)simulink 行為模擬。



(b)數位至相角轉換曲線。

圖 2.2

圖 2.3 為兩個延遲鎖定電路之控制電壓的鎖定圖，因為兩個迴圈為獨立的，因為不會造成鎖定上的問題。

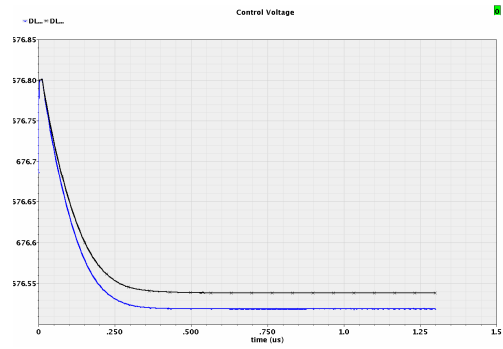


圖 2.3、控制電壓。

圖 2.4 為相位轉換的暫態模擬，圖中在 1.2 微秒進行相位的轉換，而且轉換後，第二個迴圈也會很快的鎖定，不會有鎖定錯誤的情況。

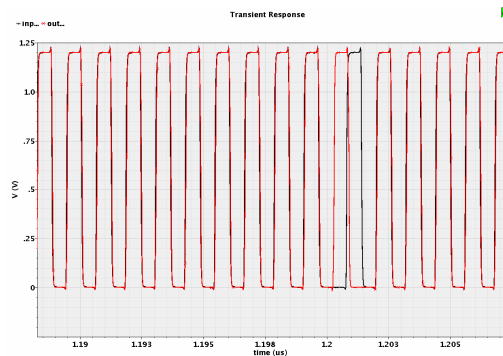


圖 2.4、暫態模擬。

利用延遲鎖相迴路來產生多個相位，所遇到的誤差主要來自於每一個延遲單位的延遲不匹配。為了達到在 833MHz 的時脈產生 132 個相位的情況下，必須加以校正以達到此效能。

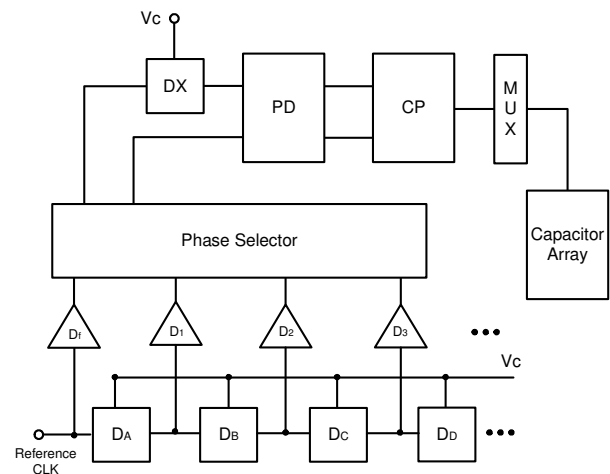


圖 2.5、校正電路架構圖。

為了達到高準確的校正，我們使用了類比的方法來執行。在圖 2.5 中，方形的方塊為主要延遲鎖定迴路的延遲單元，三角形的方塊為用來校正輸出延遲不匹配的壓控延遲緩衝單元。DA、DB、DC 代表延遲單元的延遲，而 D1、D2、D3 代表的是壓控延遲緩衝單元所產生的延遲。其中，DX 為與 DA、DB、DC 等相同的延遲單元，並同樣以 Vc 控制其延遲時間。校正的方法為，首先由相位選擇器(Phase Selector)選擇兩相臨的相位，領先的相位會經由 DX 延遲單元到達相位偵測器(PD)，而較落後的相位直接連到相位偵測器，經過相位偵測器的比較，充電泵(CP)輸出電流控制不同壓控延遲緩衝單元的延遲，使相位偵測器輸入的兩個相位會相同，依序執行比較後：

$$D_f + D_X = D_A + D_1$$

$$D_1 = D_X - D_A + D_f$$

$$D_A + D_1 + D_X = D_A + D_B + D_2$$

$$D_2 = 2D_X - D_A - D_B + D_f$$

同理

$$D_3 = 3D_X - D_A - D_B - D_C + D_f$$

.....

因此，我們可以由每一個壓控延遲緩衝單元的輸出得到相差皆為 DX 的相位。

由於每一個相位都是通過相同的相位選擇器、相位偵測器及充電泵，所以產生的相位誤差都是相同大小及相同方向的，因此不會受到不匹配的影響。

表 2.1 為校正電路的模擬結果，在此模擬中，校正電路對主要的延遲線作校正並輸出 12 個相位。在校正之前的相位誤差為±20 微微秒，而校正之後可以將誤差減少到 1 微微秒左右。

	校正前	前正後
相位 0	0	0
相位 1	84.31	100.2
相位 2	183.9	200.9
相位 3	298.4	302
相位 4	404.5	402.6
相位 5	489.3	501.3
相位 6	596.6	601.5
相位 7	688.7	701.4
相位 8	794.9	801.7
相位 9	896.9	901.9
相位 10	991	1002
相位 11	1103	1102
相位 12	1209	1202

表 2.1、校正結果。

表 2.2 為此多相位時脈產生器的性能摘要。

規格	
參考頻率	833-MHz
操作電壓	1.2 V
消耗功率	48mW
相位數	132
使用製程	TSMC 0.13μm RF 1P8M CMOS

表 2.2、性能摘要。

### 三、參考資料

- [1] Everitt J., Parker J.F., Hurst P., Nack D., Rao Konda K., "A CMOS transceiver for 10-Mb/s and 100-Mb/s Ethernet," JSSC, 1998
- [2] Babanezhad, J.N., "A 100-MHz, 50-Ω, -45-dB distortion, 3.3-V CMOS line driver for Ethernet and fast Ethernet networking applications," JSSC, 1999
- [3] Schrodinger K., Stimma J., Mauthe M., "A fully integrated CMOS receiver front-end for optic Gigabit Ethernet," JSSC, 2002
- [4] K.M. Abdelfattah and A.M. Soliman, "Variable Gain Amplifier Based on a NEW Approximation Method to Realize the Exponential Function", IEEE Trans. Circuits Syst., vol. 49, No.9,

Sep. 2002

- [5 ] Taesung Kim and Beomsup Kim, "Phase interpolator using delay locked loop ," IEEE Southwest Symposium on Mixed-Signal Design 2003.
- [6 ] Ju-Ming Chou, Yu-Tang Hsieh and Jieh-Tsorng Wu , "A 125MHz 8b Digital-to-Phase Converter," ISSCC 2003.
- [7 ] J. Christiansen, "An integrated high resolution CMOS timing generator based on an array of delay locked loops " IEEE J. Solide-state Circuits, vol. 31, no.7, pp. 952-957, July 1996.
- [8 ] Chih-Kong Ken Yang and Mark A. Horowitz, "A 0.8um CMOS 2.5Gb/s Oversampled Reciever for Serial Links ," IEEE Solid-State Conference 1996
- [9 ] Hsiang-Hui Chang, Jung-Yu Chang, Chun-Yi Kuo, and Shen-Iuan Liu, "A 0.7-2-GHz Self-Calibrated Multiphase Delay-Locked Loop," *IEEE J. Solid -State Circuits*, May 2006.

