

行政院國家科學委員會專題研究計畫 期中進度報告

兆級晶片系統前瞻技術研究--子計畫三：兆級晶片系統中
超高畫質動態影像處理核心低功率平行架構設計(2/3)
期中進度報告(精簡版)

計畫類別：整合型
計畫編號：NSC 95-2221-E-002-373-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

處理方式：期中報告不提供公開查詢

中華民國 96年05月24日

兆級晶片系統前瞻技術研究—子計劃三
兆級晶片系統中超高畫質動態影像處理核心低功率平行架構設計(2/3)
Ultra-High-Resolution, Low-Power, Parallel Architecture Design for Motion
Picture Processing on a TS-SoC

計劃編號：95-2221-E-002-373

執行期限：2006/08/01 ~ 2007/07/31

子計劃主持人：陳良基 教授 Email: lgchen@cc.ee.ntu.edu.tw

執行機構：國立臺灣大學電子工程學研究所

計畫參與人員：連崇志，陳東杰，張育璋，陳昱翰，蔡雋永，蔡松芳，陳俊嘉，程之奇

中文摘要

本計畫進行兆級晶片系統中，動態影像編解碼器之前瞻架構設計研究。研究的兩大主軸：第一，針對大畫面動態影像，高度平行化架構與系統設計的趨勢，提出支援超高畫質與高運算量的最佳化平行架構及設計法則。第二，針對功率導向的設計，進行低功率與功率感知相關研究。本計畫以 Motion JPEG 2000 與 H.264/AVC 為主要研究平台，進行以上所述之高平行及功率導向的架構設計與系統化研究。第二年的進度主要完成具低功率與功率感知之 Baseline Profile H.264/AVC 編碼器架構，以及具有可延展性嵌入式區塊編碼架構的 JPEG2000 編解碼器。

關鍵詞：系統晶片，視訊，壓縮，編解碼器，平行架構，低功率，JPEG 2000，H.264，MPEG，AVC。

Abstract

This project is an advanced architecture design research of motion picture codec in a trillion-scale System-on-a-Chip (TS-SoC). There are two main directions of this research. The first one is to explore the parallel codec architecture for high definition motion pictures. The second one is to study the low-power and power-aware architecture design. This project will focus on the highly parallel and power-oriented architecture design of Motion JPEG 2000 and H.264/AVC. The main progress of the second year of this project is: low-power and power-aware Baseline Profile H.264/AVC encoder, and high processing efficiency JPEG 2000 codec with scalable architecture for embedded block coding.

Keywords: System-on-a-Chip (SoC), Video, Compression, Codec, Parallel architecture, Low Power, JPEG 2000, H.264, MPEG, AVC.

一、前言

本研究是著眼於多媒體應用的兩大發展趨勢：第一，半導體製程技術依循著 Moore's Law 不斷的進步，單一系統晶片上可以容納的電晶體數快速增加，tera-scale integration 是一個趨勢，也是一個挑戰。在此同時，數位視訊不斷追求高畫質高畫素，各種顯示器、電視不斷追求更大尺寸，對於這樣大畫面的視訊信號處理與壓縮，需要極為強大的處理器，方能即時(每秒 30 張，甚至每秒 60 張畫面)處理這些資料。第二個研究趨勢則是設計所日益注重的功率消耗議題，尤其在大量可攜式多媒體產品中，電池所能提供的電量有限，卻要提供視訊編解碼這樣高耗能的運算，低功率與功率感知設計因而將是設計決勝關鍵。

新一代的動態影像壓縮技術如 Motion JPEG 2000 與 H.264/AVC 提供相當好的壓縮效能，然而，複雜度相對的也提高非常多，一般處理器無法達到即時支援高畫素與低功率的設計。特定用途式的硬體架構是必要的，而且，面對 High Definition (HD) 視訊，乃至於已有人提出每秒 60 張 7,680×4,320 畫素的 Ultra High Definition Video (UHDV)，或 Super Hi-Vision 這樣的高規格，在硬體設計上是相當大的挑戰。另一方面，功率感知式的電子设计理念已逐漸被引入設計之中，執行壓縮運算時，可以針對所處理的視訊資料與壓縮演算法的特性，動態調整所需消耗的功率，這樣才能在電量有限的情形下，最為經濟有效地使用每一分能量。

二、研究目的

兆級晶片系統設計中，多媒體動態影像處理因為其高複雜度與大量資料的特性，是相當關鍵且重要的一部分。本研究計畫之目的，係針對多媒體訊號處理中最核心的技術—影像與視訊的壓縮編碼—研發整體性的高功能、低功率之多媒體運算系統架構。基於以往在數位影像與視訊技術之演算法及硬體架構設計的研究基礎

上，發展兆級晶片系統設計中最佳化的高度平行架構，以及從功率導向重新出發，針對各種現存的、新興的及未來的影像與視訊編碼系統，進行功率感知式多媒體運算引擎的各項核心技術之研究。

• 主軸一：最佳化平行架構設計

目的是研究未來電晶體數“用之不竭”的環境下，提出最佳化視訊編解碼器平行架構的設計，並從而歸納出新的設計方法論。在高效能架構設計上，以各類影像視訊編解碼系統之最佳平行架構設計為研究重點，針對即時的超高畫質影像視訊編解碼，提出有效的架構。

• 主軸二：最佳化功率導向設計

目的是探討未來以功率考量為主的最佳化架構設計方法論。在低功率設計上，除了傳統低功率技術的設計與密集運用，憑藉領域知識(domain knowledge)的內容相關(content dependent)低功率設計則是一項重要的研究技術，藉以達到功率感知的設計目的。

如圖一所示。本計畫深入探討在系統層次與模組層次的運算特性，以充分利用運算系統所具有的架構本體之創新性，達到系統中各項重要設計參數的完善折衷，特別是在功率和效能兩項參數上做考慮。這些運算特性將被運用以研發高效能低功率系統平台，藉由晶片實現來驗證所研發架構之可行性。在建立低功率設計經驗，可運用至未來的高畫質動態壓縮系統上，以因應未來所需。

三、文獻探討

• Motion JPEG 2000 的發展

基本的 JPEG 2000 架構已有許多的加速架構提出，趨勢是將架構推向極致效能以支援 High Definition 規格，例如 HDTV、UHDV、D-Cinema[1]等級的即時編解碼系統，這樣的系統需要非常大量的平行度，否則，工作頻率需求將會高到非常不合理的程度。

根據 JPEG 2000 編碼系統的運算複雜度分析[2][3]，編碼系統中運算量最大的功能方塊為 EBCOT 的嵌入式方塊編碼

(Embedded Block Coding, EBC), 其次是離散小波轉換, 兩者一共佔了超過 80% 的整體運算量。在文獻上, 嵌入式方塊編碼的演算法與架構設計之代表性研究有 [3]–[9], 這個模組會是平行化編解碼設計上最大的挑戰之處。在完整的系統架構方面, 目前已有幾個 JPEG 2000 的系統架構被提出 [10]–[14], 我們在前一年的研究成果, 也已經提出一個基於 pixel-pipeline 的高效能的編解碼器平行架構設計 [16]。

• H.264/AVC 的發展

論文 [15] 首先提出了一個可支援 HDTV 的 H.264/AVC 編碼器, 主要實現 Baseline Profile 這個規格。在更高規格的高 Profile H.264/AVC, 移動估計 (Motion Estimation, ME) 必須加入 B-Frame ME 的設計, 另外, 在 entropy 編碼部分也需要加入 Context-Based Adaptive Binary Arithmetic Coding (CABAC) [17] 這個更為複雜的模組。除了強調高效能之外, 更有許多設計開始強調低功耗的設計, 以因應移動式多媒體 (mobile multimedia) 的應用。

四、研究方法

在本年度的研究中, 我們主要進一步研究 Motion JPEG 2000 的最佳化架構設計與開發功率感知式 H.264/AVC 編碼器。

• 擁有可延展性嵌入式區塊編碼架構的 JPEG 2000 編解碼器 [18]

對於不同應用與產品規格, 一個功能固定的硬體架構常需要大幅度的修改, 我們的研究針對 JPEG 2000 最複雜的 EBCOT 模組, 研究發展可以彈性應變的 scalable 架構, 研究的方法是透過深入的運算特性分析, 了解一個架構在不同運算需求之下, 硬體使用率的情形, 由架構中萃取出基本的 Bit-plane 運算單位, 以此作為可以延展的基礎, 讓硬體可以更有效率地用來運算資料, 減少運算單元不足或是閒置的情形, 如此的彈性架構可以快速達成最佳的 Cost/Performance ratio。

• 功率感知 H.264/AVC 編碼器 [19]

低功耗已經是一個設計的必要條件, 除了低功耗之外, 新的功率感知觀念 [20] 也愈來愈普及。H.264/AVC 中移動估計模組是運算量最大, 也最有演算法發揮空間的部分, 當功率消耗非常關鍵時, 可以調整移動估計的方法, 減少部分運算, 反應在犧牲部分視訊品質, 以換取較少的功率消耗。其他像是 H.264/AVC 中有相當多的模式與參數, 不同的模式與參數有其特殊的應用考量, 複雜度亦有所不同, 這些可變的選擇形成一個 Power-Rate-Distortion 或 Complexity-Rate-Distortion 的最佳化問題。

五、結果與討論

Motion JPEG 2000 方面的研究提出一個以 Bit-Plane 編碼引擎為基礎的具可延展性的嵌入式區塊編碼架構, 如圖二所示。當某些 bit-plane 因為量化或原先有效數值就不大, 使得整個 bit-plane 不需要運算時, Bit-Plane 引擎可以彈性調整給不同的 code-block 來運用, 達到硬體使用率的最佳化, 觀念如圖三的例子。表一是晶片實作的規格, 圖四是這個測試晶片的照片。

H.264/AVC 方面已完成功率感知的編碼器設計, 架構如圖五所示。其中的設計特色包括有低功耗的 Integer ME 與 Fractional ME 設計, 以及基於不同參數, 工作模式, 與 ME 演算法所設計出的可重組化架構, 提供功率可調的機制。所設計出的晶片 (圖六) 成功展現出 2.8mW 到 67.2mW 的可調範圍 (表二), 可以因應不同使用情形下, 使用者可以選擇不同功率模式, 或是搭配自動的功率選擇軟體控制。

參考文獻

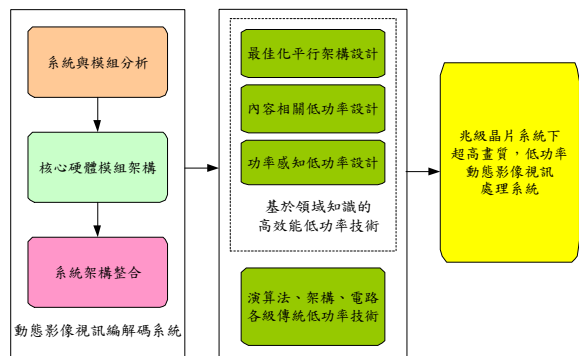
- [1] F. Tatsuya, *et al.*, “Digital Cinema System Using JPEG2000 Movie of 8-Million Pixel Resolution,” in *Proceedings of the SPIE: Image and Video Communications and Processing 2003*, vol. 5022, pp.50-57
- [2] M. D. Adams and F. Kossentini, “JasPer: A

software-based JPEG-2000 codec implementation,” in *Proc. of IEEE International Conference on Image Processing*, 2000, vol. 2, pp. 53–56.

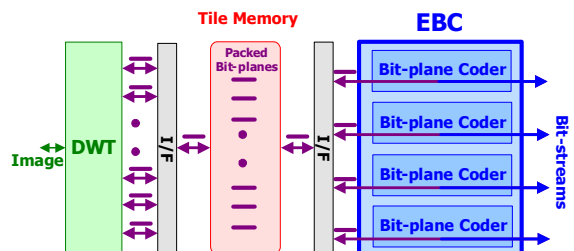
- [3] C.-J. Lian, K.-F. Chen, H.-H. Chen and L.-G. Chen, “Analysis and architecture design of block-coding engine for EBCOT in JPEG 2000,” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 13, no. 3, pp. 219–230, Mar. 2003.
- [4] H.-H. Chen, C.-J. Lian, T.-H. Chang and L.-G. Chen, “Analysis of EBCOT decoding algorithm and its VLSI implementation for JPEG 2000,” in *Proc. of IEEE International Symposium on Circuits and Systems*, 2002, vol. 4, pp. 329–332.
- [5] Y.-T. Hsiao, H.-D. Lin, K.-B. Lee and C.-W. Jen, “High-speed memory saving architecture for the embedded block coding in JPEG2000,” in *Proc. of IEEE International Symposium on Circuits and Systems*, 2002, vol. 5, pp. 133–136.
- [6] J.-S. Chiang, Y.-S. Lin, and C.-Y. Hsieh, “Efficient pass-parallel architecture for EBCOT in JPEG2000,” in *Proc. of IEEE International Symposium on Circuits and Systems*, 2002, vol. 1, pp. 773–776.
- [7] H. Yamauchi, *et al.*, “Image processor capable of block-noise-free JPEG2000 compression with 30frames/s for digital camera applications,” in *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*, 2003, pp. 46–47.
- [8] H.-C. Fang, *et al.*, “Novel word-level algorithm of embedded block coding in JPEG 2000,” in *Proc. of IEEE International Conference on Multimedia and Expo*, 2003, vol. 1, pp. 137–140.
- [9] H.-C. Fang, T.-C. Wang, C.-J. Lian, T.-H. Chang and L.-G. Chen, “High speed memory efficient EBCOT architecture for JPEG2000,” in *Proc. of IEEE International Symposium on Circuits and Systems*, 2003, vol. 2, pp. 736–739.
- [10] K. Andra, C. Chakrabarti, and T. Acharya, “A high-performance JPEG2000 architecture,” *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 13, no. 3, pp. 209–218, Mar. 2003.
- [11] H.-C. Fang, *et al.*, “81 MS/s JPEG 2000 single-chip encoder with rate-distortion optimization,” in *Digest of Technical Papers of IEEE International Solid-State Circuits Conference*, 2004.
- [12] AMPHION CS6590, available [online] <http://www.amphion.com/>
- [13] ALMA Technologies JPEG2KE, available [online] <http://www.alma-tech.com/>
- [14] A. Descampe, F. Devaux, “A Flexible, Line-Based JPEG 2000 Decoder for Digital Cinema,” *IEEE MELECON 2004*, pp. 1165–1170, May 2004.
- [15] Y.-W. Huang, *et al.*, “A 1.3TOPS H.264/ AVC single-chip encoder for HDTV applications,” in *Proceedings of 2005 IEEE International*

Solid-State Circuits Conference (ISSCC 2005), San Francisco, United States, February 2005.

- [16] Y.-W. Chang, H.-C. Fang, C.-C. Cheng, C.-C. Chen, C.-J. Lian, S.-Y. Chien, and L.-G. Chen, “124 MSamples/s Pixel-Pipelined Motion-JPEG 2000 Codec without Tile Memory”, *2006 Internal Solid-State Circuits Conference (ISSCC 2006)*
- [17] C.-H. Tsai, Y.-J. Chen and L.-G. Chen. “Analysis and architecture design for multi- symbol arithmetic encoder in H.264/AVC,” in *Proceedings of 2005 SOC Design Conference*, Seoul, Korea, October 2005.
- [18] Y.-W. Chang, C.-C. Cheng, C.-C. Cheng, H.-C. Fang and L.-G. Chen, “Design and Implementation of JPEG 2000 Codec with Bit-Plane Scalable Architecture,” in *Proc. of IEEE Workshop on Signal Processing Systems (SiPS 2006)*, pp. 432–437, Oct. 2006.
- [19] T.-C. Chen, Y.-H. Chen, C.-Y. Tsai, S.-F. Tsai and L.-G. Chen, “2.8 to 67.2mW Low-Power and Power-Aware H.264 Encoder for Mobile Applications,” to appear, in *Proc. of IEEE International Symposium on VLSI Circuits*, June 2007.
- [20] C.-J. Lian, P.-C. Tseng and L.-G. Chen, “Low-Power and Power-Aware Video Codec Design: An Overview,” *China Communications*, vol. 3, no. 5, pp. 45-51, Oct. 2006.
- [21] Chun-Chia Chen, High Processing Efficiency JPEG 2000 Codec with Scalable Architecture for Embedded Block Coding, Master Thesis, National Taiwan University, June 2006.



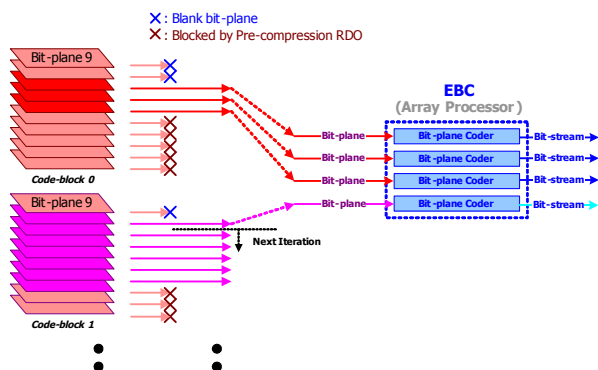
圖一、本子計畫之研究觀念、方向與目的



圖二、Motion JPEG 2000 以位元平面 (Bit-Plane) 為基礎的系統架構圖

表二、Power-Aware H.264/AVC 晶片規格

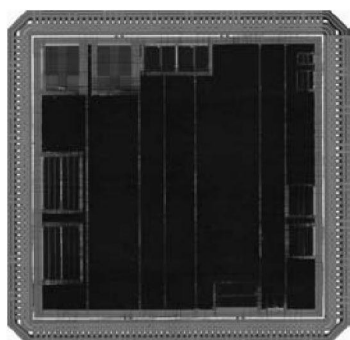
Technology	TSMC 0.18 μ m 1P6M CMOS
Pad/Core Voltage	3.3V (Core) / 1.8V (I/O)
Core Area	3.47 x 3.70 mm ²
Logic Gates	452.8 K (2-input NAND gate)
SRAM	16.95 KBytes
Max. # of Reference Frame	2
Max. Horizontal/Vertical Search Range	[-32,+31] / [-16,+15]
Power Consumption (Measured Results)	33.5-67.2 mW for SDTV, 1 ref @ 54MHz, 1.8V 40.3 mW for CIF, 2 ref @ 27MHz, 1.8V 9.8-15.9 mW for CIF, 1 ref @ 13.5MHz, 1.3V 8.7 mW for QCIF, 2 ref @ 6.25MHz, 1.3V 2.8-4.3 mW for QCIF, 1 ref @ 3.125MHz, 1.3V
Power Consumption (Simulated Results with TSMC 0.13 μ m process)	9.1-16.3 mW for SDTV, 1 ref @ 54MHz, 1.3V 12.9 mW for CIF, 2 ref @ 27MHz, 1.3V 5.1-8.2 mW for CIF, 1 ref @ 13.5MHz, 1.3V 4.5 mW for QCIF, 2 ref @ 6.25MHz, 1.3V 1.5-2.2 mW for QCIF, 1 ref @ 3.125MHz, 1.3V



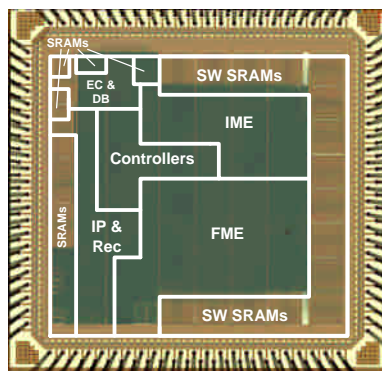
圖三、Bit-Plane based System 處理的理念

表一、JPEG 2000 編解碼器晶片規格

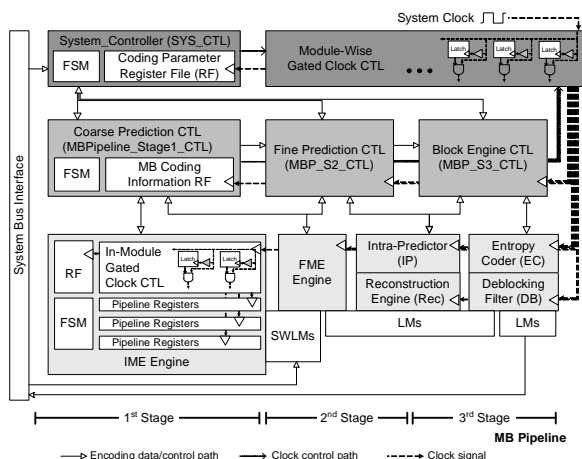
Technology	TSMC 0.18 μ m 1P6M CMOS
Tapeout	CIC T18-95C
Die Size	3.52 x 3.52 mm ²
Core Size	2.47 x 2.47 mm ²
Logic Gate Count	302,785 gate
On Chip SRAM	9.5 KB
Max Clock Rate	60 MHz
Power Consumption	180.3 mW



圖四、Motion JPEG 2000 編解碼器晶片



圖六、Power-Aware H.264/AVC 編碼器晶片照片



圖五、Flexible H.264/AVC 編碼器系統

計畫成果自評

本計畫第二年研發設計出具低功率與功率感知之 Baseline Profile H.264/AVC 架構，此為對於功率消耗極為敏感的手持式多媒體設備的關鍵技術。在 JPEG 2000 方面，完成擁有可延展性嵌入式區塊編碼架構的 JPEG 2000 編解碼器，達成晶片效能與硬體資源的最佳化彈性架構設計。相關成果已有部分發表於國際學術會議與期刊 [18][19][20]，另有部份陸續整理投稿。