

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 先進 CMOS 元件及製程研究--總計畫(2/3) 期中進度報告(精簡版)

計畫類別：整合型  
計畫編號：NSC 95-2221-E-002-367-  
執行期間：95年08月01日至96年07月31日  
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：胡振國  
共同主持人：張書通、劉致為

處理方式：期中報告不提供公開查詢

中華民國 96年06月06日

----- Original Message -----

**From:** [patrick\\_huang@agilent.com](mailto:patrick_huang@agilent.com)

**To:** [f91943102@ntu.edu.tw](mailto:f91943102@ntu.edu.tw)

**Cc:** [betty\\_kuo@agilent.com](mailto:betty_kuo@agilent.com) ; [ken\\_li@agilent.com](mailto:ken_li@agilent.com)

**Sent:** Thursday, May 31, 2007 5:37 PM

**Subject:** 安捷倫 B1500A 升級資訊

楊同學您好,

關於您電話中提到 B1500A 升級部份 (1)增加 CV 量側能力 (2) IV/CV 切換的 switch (3)&(4)是其對應的 cables.

1. B1520A Multi Frequency Capacitance Measurement Unit Module for B1500 :NTD 516,780
2. N1301A-100 SMU CMU Unify Unit (SCUU): NTD 172,590
3. N1300A N1300A-002 CMU Cable for B1500 (3m): NTD 34,881
4. N1301A-102 SMU CMU Unify Unit Cable (3 m): NTD 69,168

全部大約台幣八十萬左右, 供您預算申請使用.Thanks!

Best regards,

Patrick Huang **黃室森**

台灣安捷倫科技股份有限公司

Agilent Technologies Taiwan Ltd.

Tel: +886-2-2734-5553

Mobile: +886-917586766

Fax: +886-2-2778-6541

客戶服務中心: 0800-047-866



廣集股份有限公司

Great Science Industrial Co., Ltd.

TO: 國立臺灣大學電子工程研究所  
 ATTN: 劉政為 教授  
 TEL: 02-3366-3700 ext.515  
 FAX: 02-2364-0076

台北縣新店市寶橋路235巷6弄3號2樓  
 2F, No. 3, Alley 6, Lane 235, Paochiao Rd.,  
 Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.  
 TEL: +886-2-2917-2787 FAX: +886-2-8665-0316  
 OREF: GSE12-960540-1  
 DATE: 96.05.30.  
 FM: 魯世芳 / ext.36  
 PAGES: 1/1

報 價 單

| Item | Description  | Q'ty     | Unit price<br>(VAT excluded) | Amount                     |
|------|--|----------|------------------------------|----------------------------|
| 1    | <b>Spectra-Nova CTA-XS130-1</b><br>Spectral Response/External Quantum Efficiency Measurement System<br>- Spectral range: 350 - 2000 nm<br>- Quartz-Tungsten-Halogen Lamp for spectral response & bias light<br>- Maximum Accomodated Cell Test Area: 6 inch x 6 inch<br>- Monochromater/Chopper/Order sorting filter<br>- Two lock-in amplifiers for irradiation monitor & cell SR measurement<br>- Controller electronic system with software | SET<br>1 | <u>USD</u><br>\$110,000.00   | <u>USD</u><br>\$110,000.00 |

備註:

- 1.報價有效日期: 96.06.30.
- 2.付款方式: 依貴所之規定辦理。
- 3.交貨日期: 訂單確認後20週。
- 4.以上報價未含5%營業稅
- 5.買方於貨款未付清或票據未兌現償付之前, 貨物之所有權仍歸本公司所有, 本公司無須經法律程序可隨時取回貨物, 或代物清償。
- 6.若同意此報價單, 請簽名回傳並視為正式訂單.

GSI 廣集股份有限公司  
 Great Science Industrial Co., Ltd.



買方確認簽回欄

# 行政院國家科學委員會補助專題研究計畫成果報告

先進 CMOS 元件及製程研究 – 總計畫(2/3)

計畫類別：個別型計畫    整合型計畫

計畫編號：NSC95-2221-E-002-367

執行期間： 95 年 8 月 1 日至 96 年 7 月 31 日

計畫主持人：胡振國    台大電子工程學研究所教授

共同主持人：劉致為    台大電子工程學研究所教授

張書通    中原大學電子工程學系助理教授

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告    完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查

執行單位：台大電子工程學研究所

中 華 民 國    96 年 5 月 25 日

# 行政院國家科學委員會補助專題研究計畫期中成果報告

## 先進 CMOS 元件及製程研究 – 總計畫 (2/3)

第二年(95/8~96/7)期中進度報告

計畫編號: NSC95-2221-E-002-367

主持人: 胡振國 台大電機工程學系/電子工程學研究所教授

共同主持人: 劉致為 台大電子工程學研究所教授

張書通 中原大學電子工程學系助理教授

### 一、摘要：

本整合計畫共含三個子計畫，分別為子計畫一：適用於低溫基板製程之高品質絕緣膜形成技術、子計畫二：CMOS 元件的驅動電流增強之理論分析與設計、及子計畫三：遷移率增強技術，在第二年度之主要研究成果可分為：

[子計畫一]以傾斜晶圓濺鍍 Hf 金屬並以硝酸氧化再純水補償備製低溫 HfO<sub>2</sub> 高介電常數絕緣層技術、以純水應力陽極氧化生長法備製高品質超薄閘極氧化層技術、及以傾斜遮罩蒸鍍 Al 金屬並以硝酸氧化備製低溫 Al<sub>2</sub>O<sub>3</sub> 高介電常數絕緣層技術三大部份。

[子計畫二]研究以矽碳合金來當源極與汲極應力源(stressor)的絕緣層上矽(SOI)之 N 型金氧半場效電晶體通道內應力場的分佈及利用彈道飽和汲極電流的解析模型來評估應變銻 N 型金氧半場效電晶體二大部份。

[子計畫三]研究利用蕭特基二極體的蕭特基位障(Schottky barrier)以及內建電位(build-in voltage)，還有金氧半電容元件的平帶電壓(flat-band voltage)，在外加機械的單軸應變(uniaxial strain)以及雙軸應變(biaxial strain)之下的變化情形、研究鎳銻(Ni-Ge)化合物系統的固態反應情況、及研究使用汽相分子束磊晶(MBE)成長的多晶銻化鎵(InAs)當做金氧半電容元件的多晶閘極，觀察其電子與材料特性三大部份。

關鍵詞：高介電常數絕緣層、應力陽極氧化、應變矽、矽碳、應力層、彈道飽和電流、蕭特基二極體、鎳銻化合物、多晶銻化砷

### Abstract:

In the integrated project of advanced CMOS devices and process development, there are three subprojects included. The first one is the development of high quality insulating films on low temperature substrate, the second one is the theoretical analysis and design of the enhancement of drive current for CMOS devices, and the third one is the development of the enhancement of mobility. In the second year of this integrated project, the achievements are listed as follows:

In the first subproject, there are three main subjects studied. The first is the low temperature HfO<sub>2</sub> prepared by tilted sputtering of Hf metal and then followed by nitric acid oxidation compensated with anodization in D.I. water. The second is the preparation of high quality ultra-thin gate oxides by strain-oxidation technique carried out in D.I. water with bent wafer. The third is the preparation of Al<sub>2</sub>O<sub>3</sub> high-k dielectrics by shadow evaporation of Al film on a wafer and then oxidized by nitric acid.

In the second subproject, there are two main subjects studied. **Part 1**: The stress field in the channel of a silicon-on-insulator (SOI) N-type metal-oxide-semiconductor field-effect transistor (NMOSFET) with silicon-carbon alloy source and drain stressors was evaluated. **Part 2**: The ballistic saturation drain current in strained germanium NMOSFET is assessed using an analytical model. The angular dependence of ballistic saturation drain current in Ge NMOSFET for all substrate orientation under different strain conditions is investigated.

In the third subproject, there are three main subjects studied. **Part 1**: The reduction of the Schottky barrier height and build-in voltage of the

Schottky diode and the flat-band voltage shift of the metal-oxide-silicon capacitors are investigated under the external biaxial and uniaxial tensile strain. **Part 2** : The solid-state reaction of the Ni-Ge system is studied. **Part 3** : The electrical and material properties of the poly-InAs electrodes fabricated by gas-source molecular beam epitaxy are studied for the first time for complementary metal - oxide - semiconductor (CMOS) device applications.

Keywords: High-*k* dielectrics, strain-anodization, Strained Si, SiC, Stressor, Ballistic saturation current, Schottky diode, Ni-Germanide, Poly-InAs

## 二、緣由與目的：

在顯示器或軟性基板上，有許多製程是需要低溫下進行的，由於溫度低，所以絕緣層之品質改善倍受注意，如何有效改善漏電流或提高可靠度，相關技術是值得注意的。本整合計畫提出要得到低溫絕緣層，可將薄金屬層予以液體酸中氧化，但必需金屬很薄；因此將晶圓於濺鍍設備中傾斜一角度，利用不同之視角因素調整，可得連續厚度分布之金屬膜層，再於之後的氧化步驟可得連續厚度分布之不同氧化層，這對元件特性分析是相當有用的。另外，發現若在  $\text{SiO}_2$  與 Si 界面間給予適當之應力，則在氧化層生長時會有較完整之晶格結構，所得之氧化層特性獲改善。

將應變工程運用在金氧半場效電晶體通道上，以提升元件驅動電流，是目前極熱門的技術之一。近年來，已有使用矽碳合金來當源極/汲極區域的絕緣層上矽(SOI)之N型金氧半場效電晶體的相關研究發表；但相對地，對於元件上應力效果與如何分佈的知識是比較缺乏的。我們在考慮有橫向晶格不匹配的矽碳合金填充之源極/汲極應力源的絕緣層上矽之N型通道場效電晶體，完成其通道內應力場模擬估算。對奈米級 CMOS 而言，銻可以提供大的汲極電流。對於元件結構而言，在不同應變條件、通道方向、材料和基板方位的條件下，了解彈道飽和電流的理論極限是很重要的。我們研究在不同的基板方位下，其最理想的應變和通道之組合。

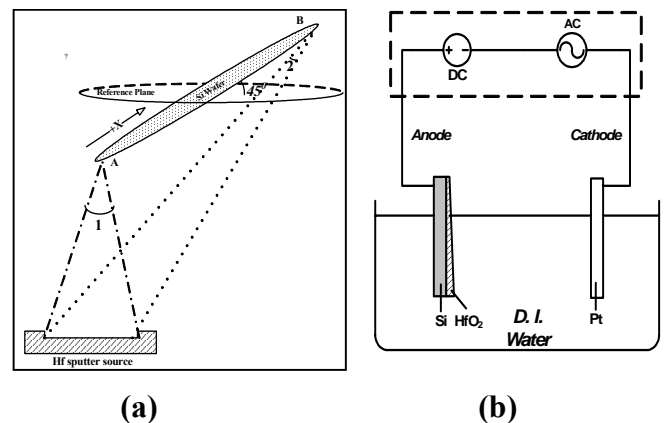
基板應變(substrate strain)以及製程應變

(process strain)皆是能造成通道應變的方式。應變(strain)能提升通道載子(carrier)的遷移率(mobility),進而提升了金氧半電晶體(CMOS)的效能,也延續了工業界對於元件微縮(scaling)的需求。應變造成的金氧半電晶體效能提升(如:遷移率增加)以及基本特性的改變(如:臨界電壓漂移)皆是研究上面重要的議題。我們使用外加的機械應變來模擬實際元件裡的應變。同時,運用金氧半電容以及蕭特基二極體,觀察外加應變對於其基本特性的影響。在現今半導體製程中,金屬矽化物(silicide)的電阻值不僅較低,也可相容於所謂的 self-aligned 製程。同時,在選擇合適良好的金屬矽化物時,必須考慮到金屬矽化物能有符合電阻值低以及對溫度的穩定性的條件。因此,我們研究 Ni-Ge 化合物的物理及電阻特性,期望能有前瞻與突破性的研究。在現今的互補式金氧半電晶體(CMOS)製程的研究中,採用高介電常數的閘極氧化層來減低閘極漏電流以及尋找功函數(work function)相匹配的閘極金屬來調整到合適的臨界電壓(threshold voltage)是一個重要的議題。我們利用多晶三五族材料作為閘極金屬,以利用其不同於多晶矽之功函數,進而達到控制金氧半場效電晶體之臨界電壓的效果。

## 三、研究方法與成果：

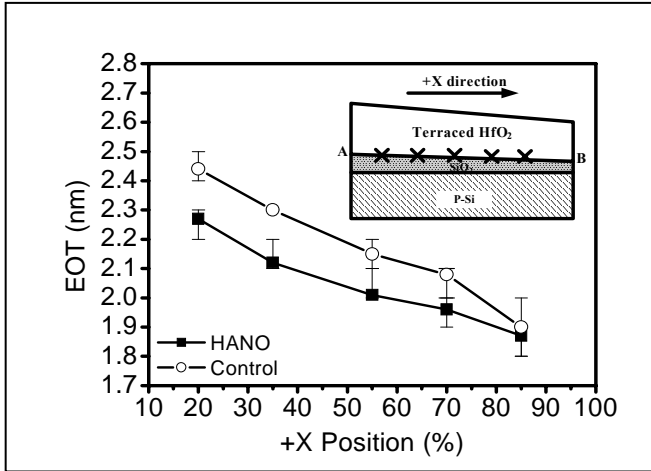
### [子計畫一]

圖一(a)為一傾斜晶圓於濺鍍時之不同濺鍍視角示意圖，由於濺鍍源非點狀源，而是有一空間之分布，因此在晶圓上會形成不同之厚度。圖一(b)為陽極氧化槽示意圖，用來將氧化後之  $\text{HfO}_2$  予以純水中修補漏電路徑。在陽極氧化補償後，元件會在  $380^\circ\text{C}$  下於  $\text{N}_2$  環境中進行退火，期使元件特性改善。



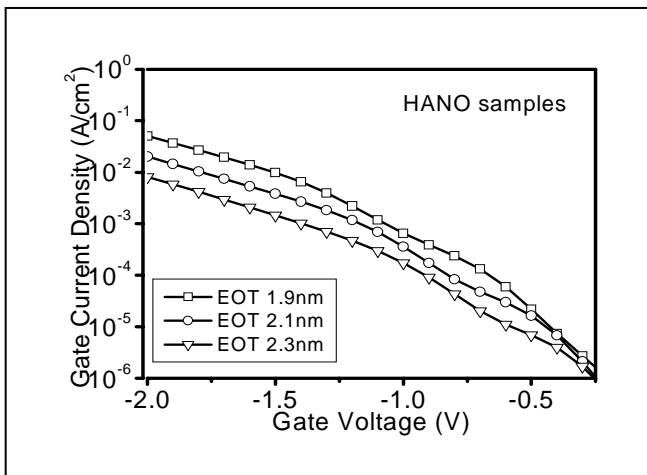
圖一

圖二為在同一晶圓上所量得之 HANO 與 Control 之 EOT 對位置分布圖，可看出 EOT 確實隨位置而漸變，表示傾斜濺鍍確實發揮效果；同時可得知 HANO 較 Control 之 EOT 為小，表示 HANO 所得之  $\text{HfO}_2$  較為理想，其介電常數值較大，因此 EOT 較小。



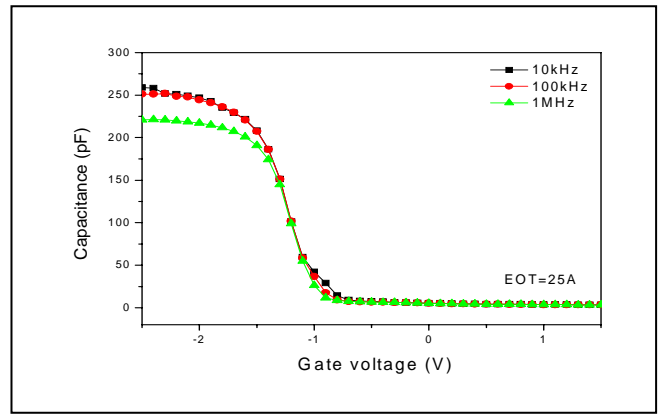
圖二

圖三為所得 HANO 元件在 EOT 為 1.9、2.1、及 2.3 nm 下之 I-V 特性，可看出電流會隨厚度而做變化，具高介電常數絕緣層之不同厚度特徵。



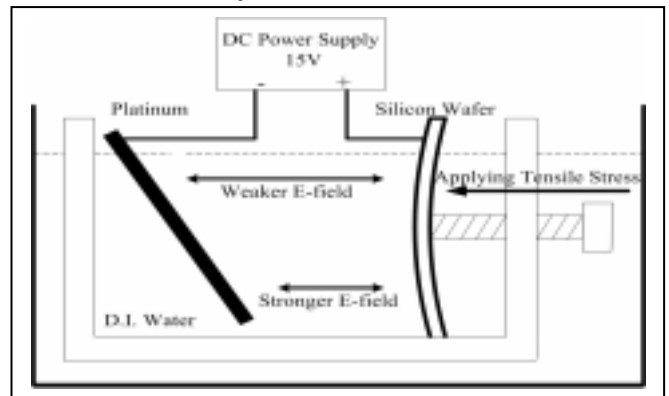
圖三

圖四為一  $\text{EOT} = 2.5 \text{ nm}$  的 HANO 元件不同頻率下之 C-V 特性，可看出界面陷阱密度甚小，頻率引起之變化不大， $V_{\text{FB}}$  值亦接近理想值，可視為一絕佳的絕緣層。



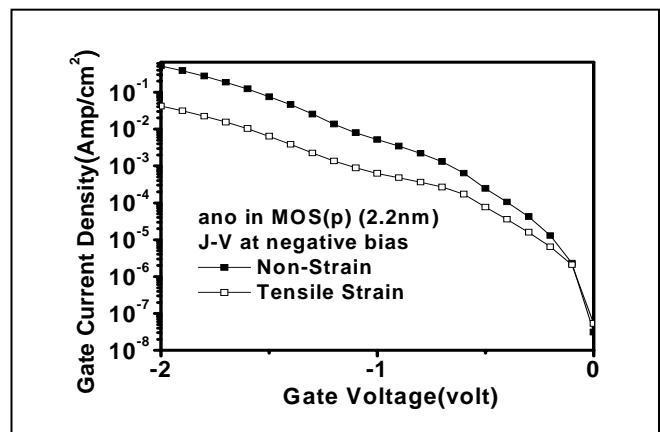
圖四

圖五所示為傾斜陽極氧化系統，將 Pt 陰電極予以傾斜，再進行陽極氧化可得不同厚度之氧化層於同一晶圓上，此外在晶圓背面施加一外應力，可使晶圓生長時承受伸張應力，因為在室溫下陽極氧化可有效控制生長速率，很適合超薄氧化層之生長，而伸張應力施加可改善氧化時之晶格距離之差異，因此可達到控制氧化層品質之目的。



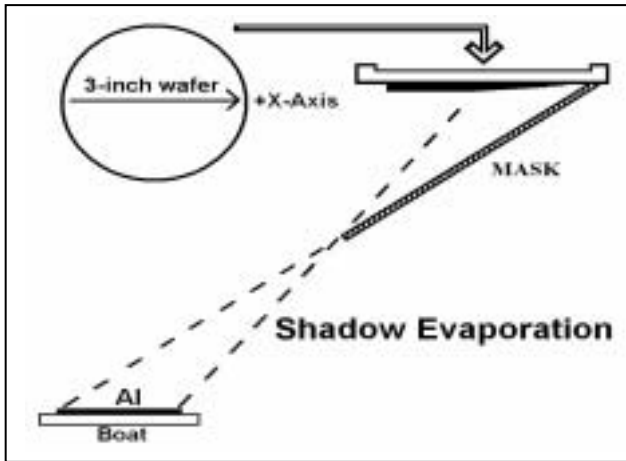
圖五

圖六為兩元件之 J-V 特性比較，可清楚得知 TS 之漏電流明顯較 NS 為小，顯示氧化層之品質較佳。



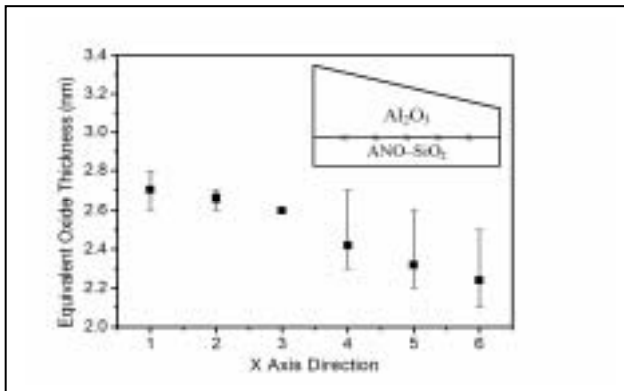
圖六

在備製超薄高介電常數絕緣層時，若是經由氧化金屬得到絕緣層，則事先之金屬膜需愈薄愈好，但因蒸鍍金屬需兼顧蒸鍍速率及時間，才能得到甚薄之金屬，相當不易。本研究提出於傳統蒸鍍金屬鋁時，另加一遮板如圖七所示，利用遮板形成不同之視角因素(view factor)，可得不同厚度之金屬膜於同一晶圓上，而且可得甚薄之金屬膜以供超薄高介電常數絕緣膜備製用。



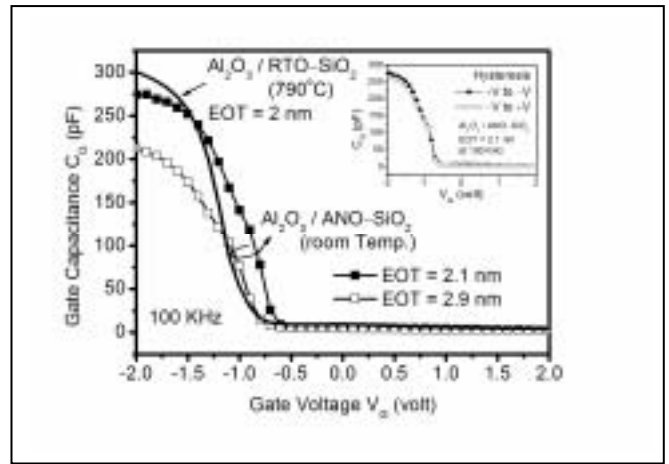
圖七

圖八為將漸變厚度金屬鋁經硝酸氧化後，並經低溫 400°C 於 N<sub>2</sub> 下退火 10 minutes 所得之 MOS(p) 元件等效厚度(EOT)分布圖，可看出 EOT 的確隨位置而漸變，如上述之預測。



圖八

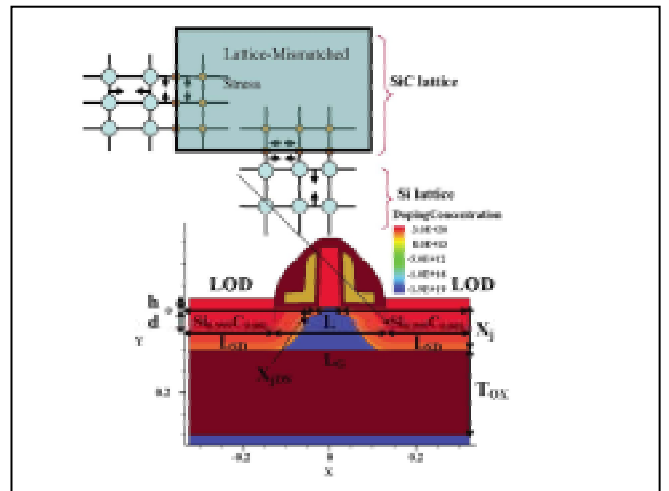
圖九為低溫製程所得 Al<sub>2</sub>O<sub>3</sub>/ANO-SiO<sub>2</sub> 堆疊結構 MOS(p) 元件於 2.1 及 2.9 nm 下之 C-V 特性，同時高溫之 Al<sub>2</sub>O<sub>3</sub>/RTO-SiO<sub>2</sub> 於 2 nm 下之 MOS(p) C-V 曲線亦做為比較，可得知低溫之 Al<sub>2</sub>O<sub>3</sub>/ANO-SiO<sub>2</sub> 具有較多之負電荷，但絕緣層之基本特徵均在，其遲滯現象亦不大，如內插圖所示。



圖九

### [子計畫二]

圖十顯示以矽碳合金(Si<sub>1-y</sub>C<sub>y</sub>)來當源極與汲極應力源的絕緣層上矽之 N 型金氧半電晶體的結構。L<sub>G</sub> 為應力源間的距離，y 為碳的莫耳百分比，應力源高度 h 和深度 d 是可變的。通道應力的總量極限是由矽與矽碳合金之界面，在其還沒產生錯位時的最大應力值來決定。

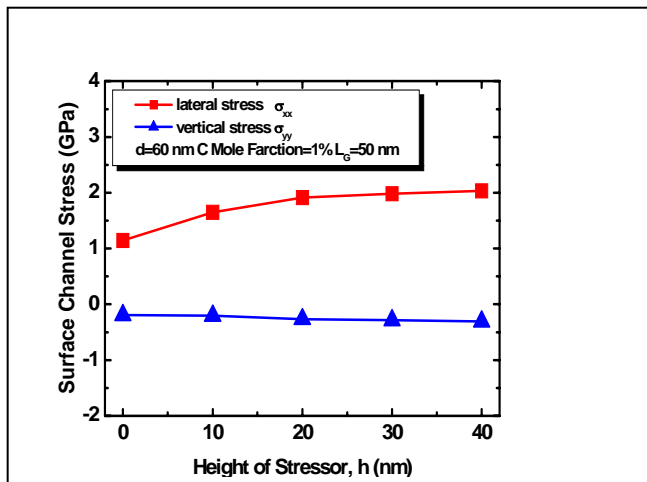


圖十

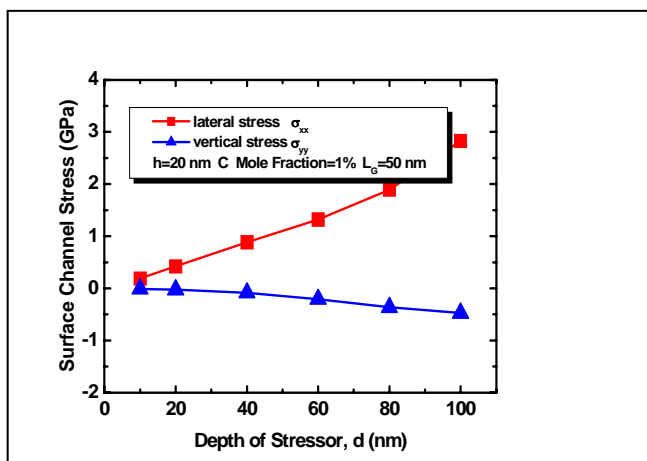
圖十一~十四顯示，在應力源間的距離 L<sub>G</sub>、應力源深度 d、高度 h 和碳的莫耳百分比 y，個別對通道區域的應力分量之影響。維持相同的應力源深度並增加應力源的高度，可以產生較大的拉伸應力  $\sigma_{xx}$  (如圖十一所示)。圖十二顯示，對於給定 50 nm 的 L<sub>G</sub> 和 1% 的碳百分比，當增加其矽碳應力源的深度時，可以提升矽通道的橫向應力  $\sigma_{xx}$ ；同時，稍微地減少其垂直應力  $\sigma_{yy}$ 。對於給定 50 nm 的 L<sub>G</sub> 和 60 nm 的 d 時，當增加碳莫耳百分比 y，其矽碳合金應力源與通道的晶格產生不匹配，導致  $\sigma_{xx}$  和  $\sigma_{yy}$  線性地提



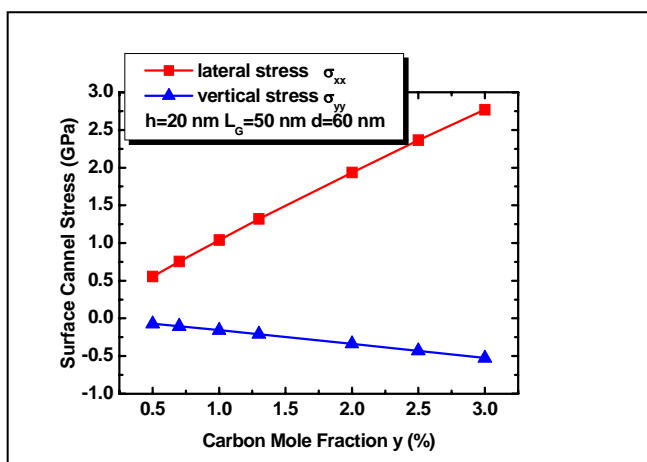
升(如圖十三所示)。當給定 1% 的  $y$  和 60 nm 的  $d$  時，減少應力源間的距離，其  $\sigma_{xx}$  和  $\sigma_{yy}$  兩者的量都會增加(如圖十四所示)。



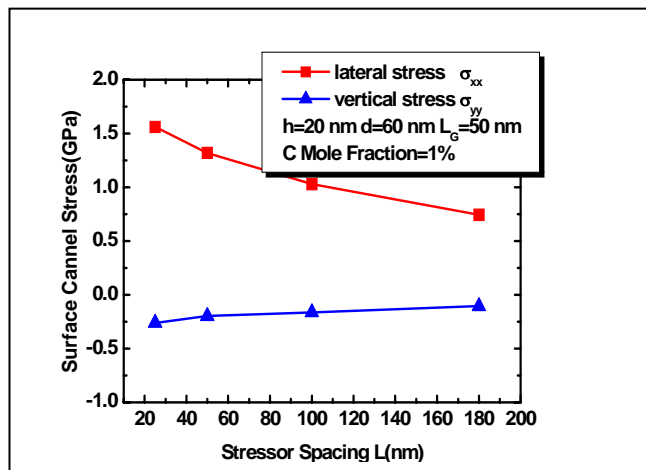
圖十一



圖十二

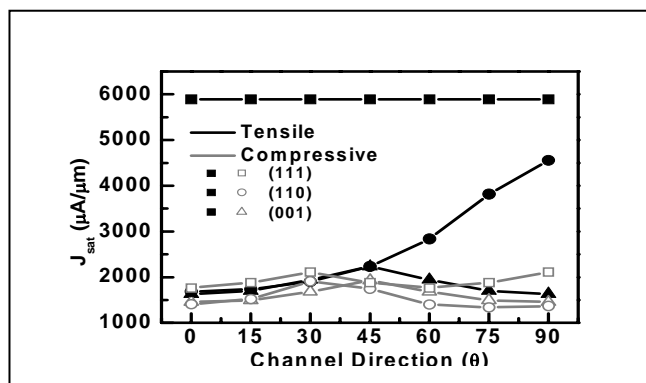


圖十三

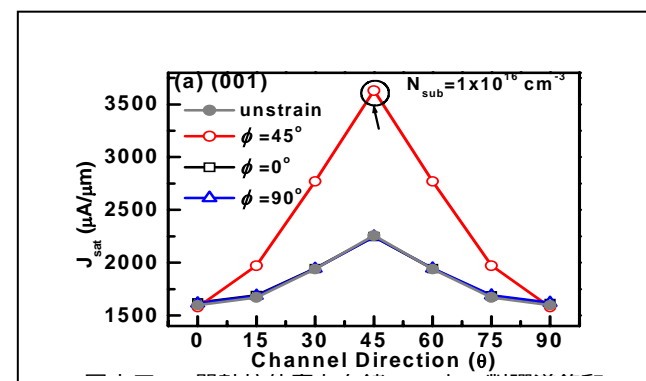


圖十四

採用基板摻雜濃度為  $1 \times 10^{16} \text{ cm}^{-3}$  來計算銻(001)、銻(110)和銻(111)之 N 型金氧半場效電晶體的未受應變之飽和汲極彈道電流  $J_{\text{sat}}$ ，和表面反轉層載子濃度( $N_{\text{inv}}$ )之關係。在銻(111)上， $J_{\text{sat}}$  可以提供較其他兩表面方位大的電流。這較高的電流歸因於銻(111)反轉層上的較低有效質量。不同於無應變的遷移率之結果，在所有基板方位上， $J_{\text{sat}}$  取決於通道方向。 $J_{\text{sat}}$  在 1GPa 的雙軸與單軸拉伸應力下，其於不同晶片上的個別比較如圖十五、十六所示。



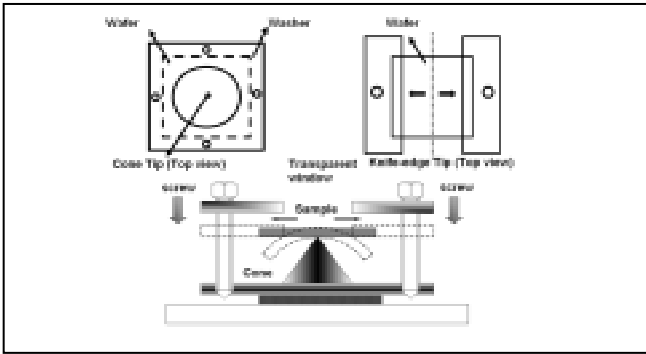
圖十五



圖十六

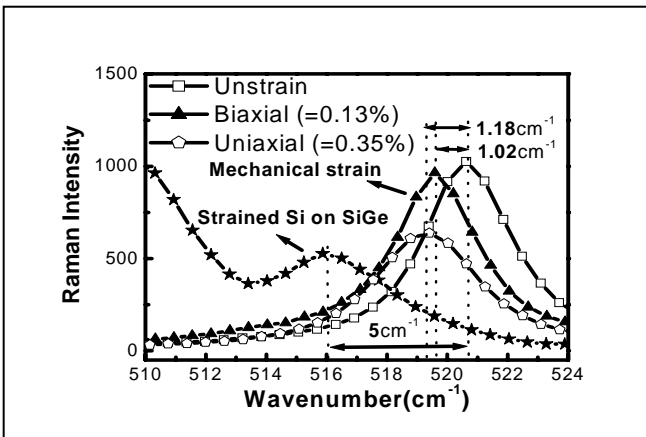
[子計畫三]

圖十七是用於施加外加機械應力之結構圖，圖中說明了如何施加雙軸應變與單軸應變的方式。不論是雙軸應變還是單軸應變，外加機械應變的大小都是取決於機械結構邊緣的螺絲，利用邊緣螺絲的鬆緊可以使載台中間的樣品基板可以上升與下降，達成施加外加應變的目的。



圖十七

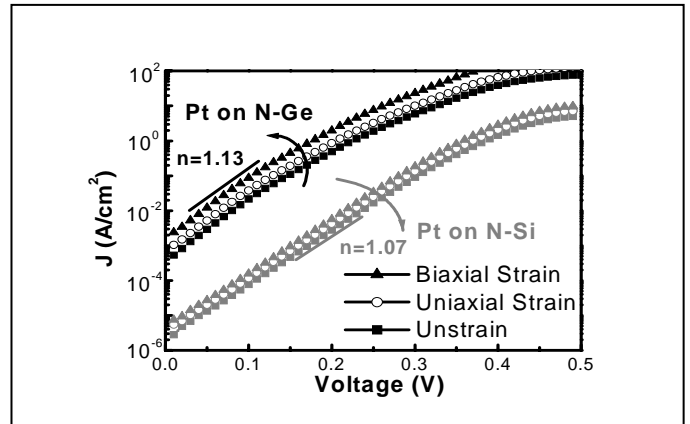
圖十八為受到外加機械應力之矽基板之拉曼光譜。矽原子與矽原子之間的震動聲子頻率會隨外加應變的大小而移動，利用此特性我們可以量化決定出圖十七的外加機械應力結構可以施加於樣品的應力大小。由圖可看出雙軸應變可以施加的最大應變為 0.13%，而單軸應變可以施加的最大應變為 0.35%，實驗中的其餘外加應變條件接是以上述條件作線性的擬合。



圖十八

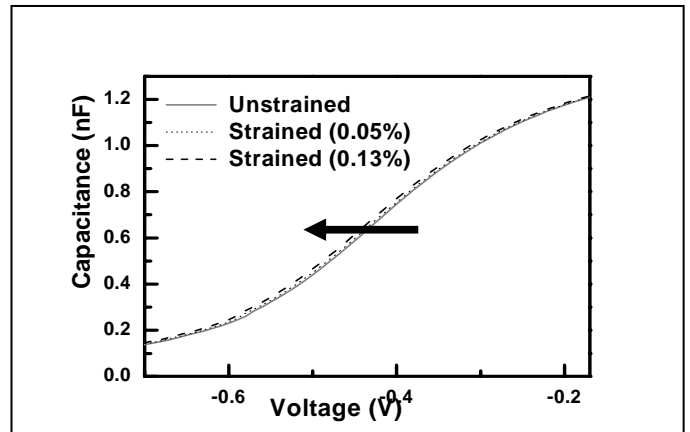
圖十九為受到外加機械應力之鉑/N 型矽基板及鉑/N 型鍺基板蕭特基二極體之順向偏壓電流特性圖。可以看出，在受到外加的伸張應力時，順向電壓電流的理想參數( ideality factor ) 不變，代表了外加的伸張應力並不會造成蕭特

基二極體產生介面能態。因此由順向偏壓決定的蕭特基位障為可信的物理意義參數。同時，我們可以觀察到由順向偏壓決定的蕭特基位障會隨著外加的伸張應力而逐漸下降。



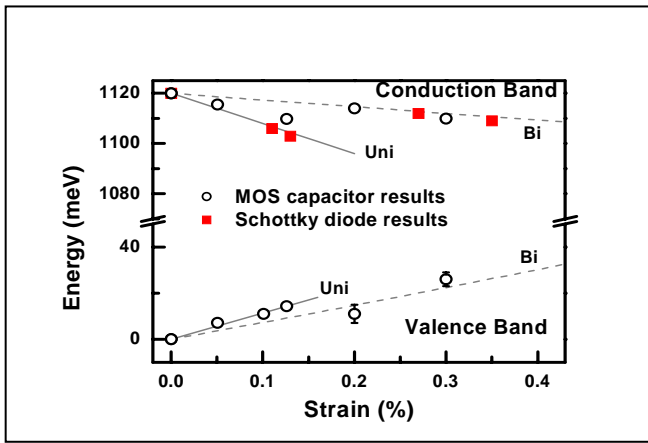
圖十九

圖二十為受到外加機械應力之鋁/N 型矽基板金氧半電容元件之電容特性圖。由圖中可以觀察出，隨著在外加伸張應變的強度越大，其平帶電壓(flat-band voltage)會往負電壓的方向移動而變小。此現象的原因與蕭特基二極體位障與內建電位降低的原因類似。因著 N 型矽基板的傳導帶隨外加應力而降低，造成矽基板的功函數(workfunction)變大，在假設金屬功函數不隨外加應變而改變之假設之下，可以得到平帶電壓應該隨外加伸張應變降低的結論。



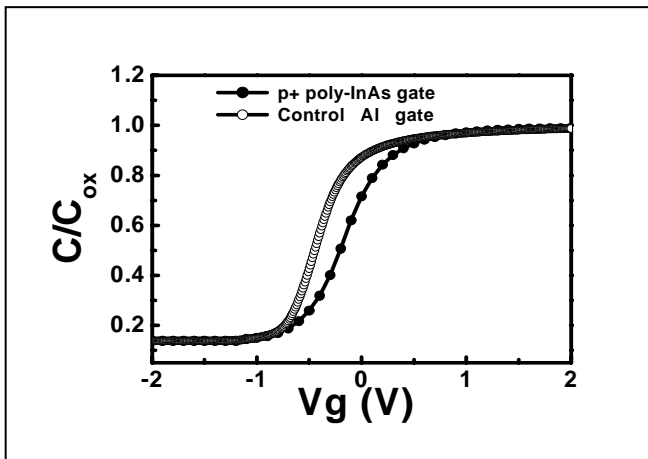
圖二十

圖二十一為受到外加機械應力之傳導帶與價電帶邊界之移動圖。實驗值包括了由應變蕭特基二極體的位障降低及內建電位之降低與應變金氧半電容的平帶電壓移動所萃取出來的傳導帶與價電價之移動，同時考慮了單軸伸張應變與雙軸伸張應變的實驗條件。可以看出實驗值以及理論之模擬有相當程度的吻合。



圖二十一

圖二十二為 P+型多晶鋼化鎵閘極/N 型矽基板金氧半電容與鋁電極/N 型矽基板金氧半電容量測，頻率於 100kHz 之電容特性圖。可以看出與鋁電極/N 型矽基板金氧半電容相比，P+型多晶鋼化鎵閘極/N 型矽基板金氧半電容其平帶電壓大約移動了 0.34V。根據理論，可調變的平帶電壓的移動應為 1.16V。實驗值與理論值的差異也許來自於二種不理想效應：氧化層與矽基板的介面電荷存在與氧化層中的固定電荷存在，造成平帶電壓的額外消耗，而產生理論與實驗值的差異。其詳細原因須待更深入的氧化層中的元素分析以及氧化層與矽基板的介面態密度的萃取，來進一步釐清。



圖二十二

#### 四、總結與討論

在本整合計畫第二年度之研究中，子計畫一主要提供了二種具前瞻性之超薄膜層備製技術及延續第一年開發之應力下生長高品質氧化層技術，發現出利用傾斜晶圓濺鍍 Hf 金屬並以硝酸氧化再純水補償可備製低溫  $\text{HfO}_2$  高介電常數絕緣層，及以傾斜遮罩蒸鍍 Al 金屬並以硝

酸氧化可備製低溫  $\text{Al}_2\text{O}_3$  高介電常數絕緣層，兩項技術均具創意及應用性；同時提出之以純水應力陽極氧化生長法備製高品質超薄閘極氧化層技術，對超薄氧化層備製法有其參考價質。所提出之技術均為低溫製程，因此尚有許多的改善空間可做為研究題材。所得成果已發表於 *Applied Physics Letters* 及整理投稿中，相信在後續的研究中會將本計畫提出之技術給予更多之應用。

子計畫二中研究以矽碳合金來當源極/汲極應力源的絕緣層上矽之 N 型金氧半場效電晶體內的應力場分佈，並清楚分析其電晶體通道上的應力場起因。基本上有三種方式可以使矽通道區域得到高應變量，進而提升 N 型金氧半場效電晶體的電子遷移率與驅動電流：(i)減少應力源間的距離(ii)增加碳合金百分比(iii)增加應力源的深度或高度。使用鍺當通道材料可以得到比傳統矽要來得高的傳輸特性。使用(111)晶片上的[-110]通道，其雙軸拉伸應力可以得到最高的彈道飽和電流(2.6 倍)。對於拉伸與壓縮應變而言，當考慮應變條件和通道方向最佳化時，將可以得到所有基板方位的  $J_{\text{sat}}$  增益。

子計畫三釐清出蕭特基位障、內建電壓、平帶電壓的改變乃是由於矽基板在外加電壓時其導電帶與價電帶會隨外加應變而有移動的情形。同時，利用適當的參數模擬成功的擬合還原出實驗的資料。根據所觀察到的現象，初步確定(110)鍺基板鎳鍺化合物的電阻率改變，主要是來自於鎳鍺化合物的相位改變同時生成  $\text{Ni}_2\text{Ge}$ ，而不是來自於表面粗糙度的增加。推測的原因是也許是  $\text{Ni}_2\text{Ge}$  的晶格常數與(110)鍺基板的結晶面的晶格長數較為相近，造成了  $\text{Ni}_2\text{Ge}$  相位的出現。與鋁電極/N 型矽基板金氧半電容相比，P+型多晶鋼化鎵閘極/N 型矽基板金氧半電容其平帶電壓大約移動了 0.34V 而產生理論與實驗值的差異。