行政院國家科學委員會專題研究計畫 成果報告

超低功率類比／數位轉換器智財模組(I)
研究成果報告(精簡版)

計 畫 類 別 ：個別型
計 畫 編 號 ：NSC 95-2221-E-002-394-
執 行 期 間 ：95 年 08 月 01 日至 96 年 10 月 31 日
執 行 單 位 ：國立臺灣大學電子工程學研究所

計 畫 主 持 人 ：陳信樹

計畫參與人員：碩士班研究生-兼任助理：曾煥傑、林文昱、楊菁華

處 理 方 式 ：本計畫可公開查詢

中 華 民 國 96 年 10 月 30 日

行政院國家科學委員會補助專題研究計畫成果報告

※ ※※※※※※※※※※※※※※※※※※※※※※※※※※

※ 超低功率類比／數位轉換器智財模組(I) ※

※※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別：■個別型計畫 □整合型計畫

計畫編號：NSC 95-2221-E-002 -394 -

執行期間： 95 年 8 月 1 日至 96 年 7 月 31 日

計畫主持人：陳信樹博士

共同主持人：

計畫參與人員：曾煥傑、林文昱、楊菁華

執行單位：台灣大學電機系電子工程研究所

中 華 民 國 96 年 7 月 17 日

行政院國家科學委員會研究計畫成果報告
超低功率類比／數位轉換器智財模組(I)
計畫編號：NSC 95-2221-E-002 -394 -
執行期限：95年8月1日至96年7月31日
計畫主持人： 陳信樹博士　台灣大學電機系電子工程研究所

一、大綱

近年來可攜性產品的不斷發展，使人類的生活更加地便利。人們對於此類使用電池的產品，要求也越來越嚴苛，希望使用時間很長不必充電，電路工程師們必須要將積體電路設計得更省電而且不犧牲速度。由於可攜性產品必須以電磁波來傳輸信號，電磁波本身又是類比信號，而大部份的信號處理是使用數位電路，於是當前類比／數位轉換器的效能，便往往成為整體系統的瓶頸。如何能在此一趨勢下，提供超低功率(Ultra-low Power)、成本低且適用於單晶片系統(SOC)整合的類比／數位信號轉換器(ADC)積體電路智財模組(IP)，成為關鍵的研究課題。

功率消耗指標(FoM, Figure of Merit)是用來表示類比／數位轉換器的功率消耗表現於特定的準確度和速度，如方程式一所示。

$$FoM = \frac{Power}{2^{ENOB} \times 2 \times Fin} \quad (1)$$

其中 Power 是功率消耗大小、ENOB 是有效解析度、Fin 是輸入頻率，代表速度。從近幾年來重要的積體電路設計研討會中，例如 ISSCC 或 ESSCIRC，類比／數位轉換器的功率消耗指標正以每兩年降低一半的趨勢減少中。在 2005 的 ESSCIRC 有一篇是設計給無線影像應用的類比／數位轉換器 [1]，其 FoM 為 3.6pJ/conversion-step・在 2006 的 ISSCC 有一篇可以給影像應用使用，其 FoM 為 0.54pJ/conversion-step [2]，但是它需要有高電壓 CMOS 的製程。[3], [4]是低解析度極高速。[5]是高解析度低速。在 10 位元，取樣頻率 10MS/s 以上的轉換器，通常使用管線式架構，但其 FoM 最低都在 0.5pJ/conversion-step 以上・

二、採用方法

本計畫將以 0.13um 或 90nm CMOS 製程,來實現 10 位元解析度、25MS/s、2.5mW、FoM 為 0.12pJ/conversion-step 的類比／數位轉換器。先設計各式電路可用於整合全積體化晶片，再進行積體電路之佈局及晶片製造,最後測試並配合完成系統之整合。

三、可能遭遇的困難

1. 高效性能及高速量測技術的經驗不足。
2. 高效能及高速電路設計的經驗不足。
3. 混合積體電路的佈局、連線與噪音的問題。
4. 測試設備與軟體之不足。

四、解決的途徑

1. 收集相關資料，加以分析與研讀。

2. 測試所需之儀器與相關 CAD 軟體。

五、進行步驟

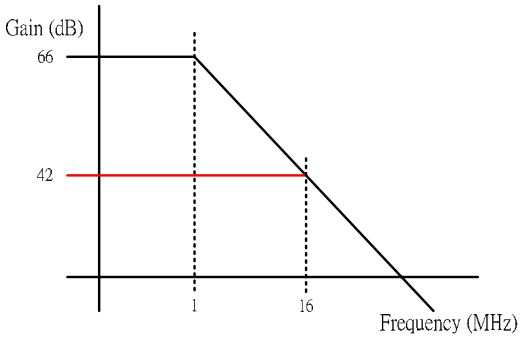
第一年：

1. 類比／數位轉換器架構文獻蒐集及研討。
2. 類比／數位轉換器系統架構功能性的行為模擬。
3. 各子電路電晶體之研究與驗証及模擬。

六、第一年進度

文獻蒐集及研討

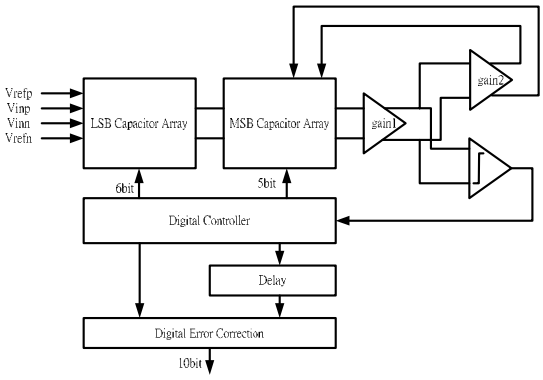
傳統的 10b SAR(Successive Approximation Register) ADC 速度受限於每一次的比較都要等 DAC 穩定到 10b 的準確度・過去有人提出 non-binary SAR ADC[6]來改善 DAC 穩定的問題・但是要付出數位控制電路和電容的開關變複雜的代價・本計畫是採用 2-Step 加上數位錯誤更正(Digital Error Correction)電路的方式來解決 DAC 的問題・由於把這樣的架構可以把剩餘值(Residue)放大・在加上有第二階段的 ADC 的範圍又跟第一階段的比較範圍有重疊，所以 DAC 穩定的錯誤可以變大許多，在這設計對 DAC 穩定度和比較器的要求從原本的 10b 降為 6b・雖然需要額外的放大時間・但是整體的效果卻變得好・在圖一，傳統的比較器的頻率響應是黑色的線，本設計的比較器是紅色的線・我們知道比較器的功率是跟 gain 和 bandwidth 的乘積成正比・所以如果同樣的功率下 gain 要求少 4b，速度可以最高可以提高 16 倍。



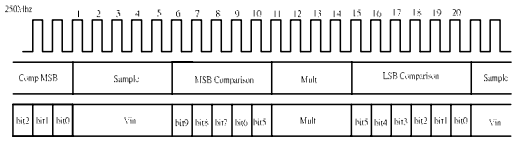
圖(一) 比較器的頻率響應圖

圖二是這設計的架構圖・跟傳統設計比起來在數位方面多了數位延遲(Delay)跟 Digital Error Correction 的電路・在類比方面則因為要把前 MSB bit 比完的 residue 放大，所以多一組回授電路・但是這些電路並不會增加太多的面積・因為這設計使用 close loop 取樣，功能放大器需要足夠的增益來降低取樣的錯誤・這樣的設計除了簡化外部電路的設計・也可以把第一級的放大器 offset voltage 儲存於電容陣列中，然後在比較時做消除的功能・

圖三是此設計的時間圖・一開始的 5 個時脈為取樣的時間・其電路的接法跟傳統的 SAR ADC 一樣・在取樣後 5 個時脈是比較前 5 位元，這時的比較器跟 DAC 的要求只要 5 位元・經過 5 次的比較之後，residue 會越來越小・然後我們使用回授的方式把 residue 放大就像 2-step 或是 pipeline 的架構一樣・因為此時的回授電路也需要 10 位元的準確度和穩定度，所以需要較長的時間來完成・本設計是使用 4 個時脈・然後在把電荷儲存在 LSB 的電容陣列裡・在放大之後第一次比較跟 MSB 的比較範圍重疊，所以需要 6 個時脈完成・這時的比較器跟 DAC 的要求是 6 位元・在最一個比較時脈同時進行 Digital Error Correction 的運算，所以在最一次比較後，取樣所對應到的數位值也會產生・並進行下一個取樣・



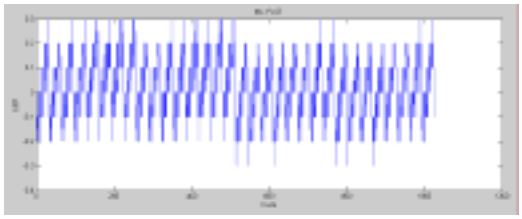
圖(二) 系統架構圖



圖(三) 時脈圖

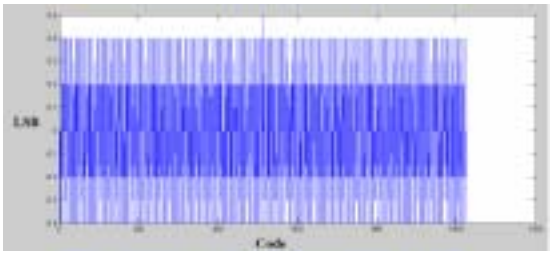
<u>行為模擬結果</u>

本報告模擬是 MatLab 的 functional level 的模擬，主要的目的是測試這架構是否有問題・圖四及五為 MatLab functional level 的 INL 和 DNL 模擬圖・我們知道電容的 mismatch 對此 ADC 會有影響，所以我們在 functional level 加上 0.1% random mismatch 在電容上・其他的非理想效應，如 OPAMP offset voltage, gain error, parasitic capacitance, charge injection, clock feed though,和 leakage current 等，也都有建立合理值進入模擬・

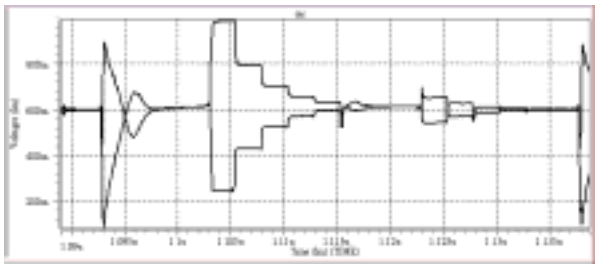


圖(四) 設定 Capacitor Array 有 0.1%的 mismatch 所得到的 INL

如圖六所示，為電路模擬做一小段之測試，首先為 OPAMP 操作於取樣狀態，因此 OPAMP 輸入兩端電壓接近於相同，接下來則為前幾位元(MSB)比較時的狀態，可以看出 OPAMP 輸入的兩端電壓，以二進位方式不斷逼近，第三則是將誤差放大狀態，第四則又回復到比較狀態，比較的是後幾位元(LSB)。



圖(五)設定 Capacitor Array 有 0.1%的 mismatch 所得到的 DNL

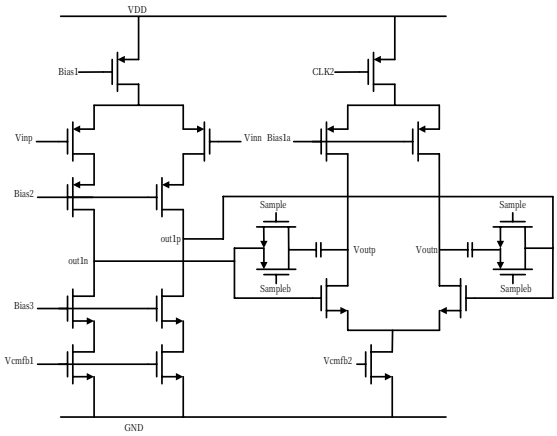


圖(六) 整體架構模擬

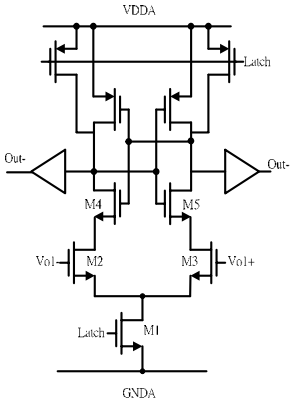
<u>各子電路 SPICE 模擬結果</u>

圖七為運算放大器之架構圖，主要是採用雙級放大的架構，分別使用於取樣、比較器還有將誤差放大三個狀態，而由於本次設計目的是為了低功率，加上比較器不需要較高的電壓增益，因此在比較器部份我們對此作了些改變，我們使用了切換運算放大器的架構也就是在第二級的電壓源上加上一個開關，使得在

當比較器時，運算放大器的第二級是關閉的，電壓增益由第一級來提供，如此一來即可達到節省功率的效果。除了使用運算放大器的第一級來當作比較器之前級之外，圖八所示為比較器之後級。

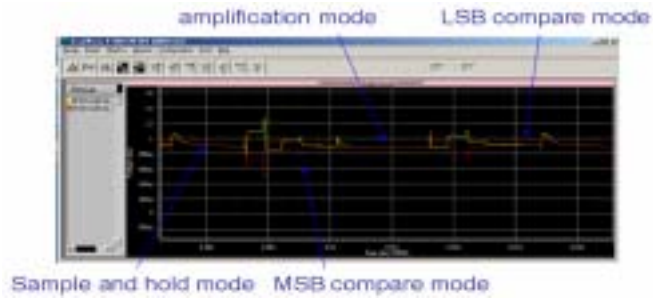


圖(七) 運算放大器

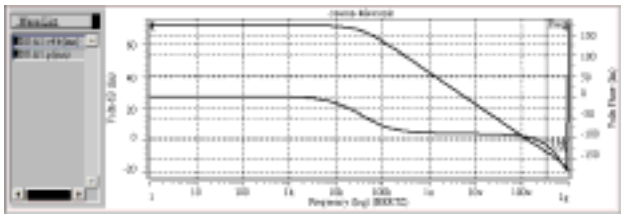


圖(八) 比較器後級

圖九所示為 SPICE 電路模擬，如同在行為模擬中，首先為運算放大器 OPAMP 操作於取樣狀態，接下來則為前幾位元(MSB)比較時的狀態，以二進位方式不斷逼近，第三則是將誤差放大狀態，第四則又回復到比較狀態，比較的是後幾位元(LSB)，從模擬的結果可以看出 OPAMP 電路的操作動向為正確的，且 OPAMP 電路的確有將誤差放大的功能。圖十為 OPAMP 電路之波德圖，模擬在 TT_25℃下，電壓增益=77dB 相位邊界=66 ° 單一增益頻率=296MHz。



圖(九)、使用 OPAMP 對某一輸入做一次類比數位轉換圖



圖(十)、運算放大器 BODE PLOT-TT_25℃

七、結論

為了超低功率，本設計使用2-Step SAR 的架構・這架構結合了2-Step 架構的高速特性，同時也保有 SAR 低功率和低成本的的優點・只需最少的電路・可達成好的轉換效率，本設計只對 Residue 做一次的放大・所以本設計只需要一個6位元的 A/D・第一次解5位元，第二次解6位元，第二次重疊一個位元可以降低 A/D 準確度的要求。

未來工作為將電路設計完成，再進行積體電路之佈局及晶片製造,最後測試。

八、參考文獻

[1] Jian Li, Jianyun Zhang, Bo Shen, Xiaoyang Zeng, Yawei Guo, and Ting'ao Tang "A 10BIT 30MSPS CMOS A/D Converter For High Performance Video Application" Proceeding of ESSCIRC, Grenoble, France, 2005, Nov. pp253-256

[2] Hee-Cheol Choi, Ju-Hwa Kim, Sang-Min Yoo, Kang-Jin Lee, Tae-Hwan Oh, Mi-Jung Seo, Jae-Whui Kim “A 15mW 0.2mm2 10b 50MS/s ADC with Wide Input Range” ISSCC Dig. Tech. Papers, pp. 226-229, Feb. 2006.

[3] Geert Van der Stedaan Decoutere, Stephane Donnay “A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Prcoess” ISSCC Dig. Tech. Papers, pp. 566-568, Feb. 2006.

[4] Shuo-Wei Chen, Robert Brodersen, “A 6b 600MS/s 5.3mW Asynchronous ADC in 0.13um CMOS” *ISSCC Dig. Tech. Papers, pp. 574-575*, Feb. 2006

[5] Naveen Verma, Anantha P. Chandrakasan “A 25uW 100kS/s 12b ADC for Micro-Sensor Applications” ” ISSCC Dig. Tech. Papers, pp. 222-224, Feb. 2006.

[6] F. Kuttner, “A 1.2V 10b 20Msample/s Non-Binary Successive Approximation ADC in 0.13 um CMOS,” *ISSCC Dig. Tech. Papers*, pp. 176-177, Feb. 2002.