

Simulation Analysis and Experimental Verification of Electroplating Process for Flip-Chip Solder Bumps

覆晶鉍錫凸塊電鍍製程模擬分析與實驗印證

Y.C. Chan*, J.M. Miao**, S.S. Wang* and T.H. Chuang*
詹益淇、苗志銘、王宣勝、莊東漢

針對覆晶鉍錫凸塊的量產製程，尤其晶圓級構裝應用需求，採用湧泉式電鍍技術，本研究探討改良鍍槽設計對鉍錫鍍層在整片矽晶圓上厚度分布均勻性的影響。研究方法先利用計算流體力學進行鍍液流場分析，再實際以覆晶製程製作鉍錫凸塊下方金屬化層，並利用此改良鍍槽電鍍鉍錫，以驗證模擬分析之結果。本研究顯示計算流體力學模擬分析在覆晶鉍錫凸塊電鍍製程的應用可行性，此外，也證實了此一改良鍍槽設計對電鍍鉍錫層厚度均勻性的優點。

關鍵詞：覆晶鉍錫凸塊、湧泉式電鍍、計算流體力學模擬分析、實驗印證

This study explores the effect of a modified design of the electroplating cell on the thickness uniformity of the plated solder layer over the entire surface region of the Si wafer, aiming at mass producing electroplated solder bumps for flip-chip packaging, while offering solutions to specific applications in wafer-level packaging by employing the fountain-type electroplating technique. For this purpose, the flow field of the electroplating fluid is analyzed by applying computational fluid dynamics (CFD). The simulation results are further experimentally confirmed, as under bump metallurgy (UBM) layers are produced, and solder bumping is conducted by utilizing the modified electroplating cell. The study ascertains the applicability of the CFD simulation analysis in the electroplating process for flip-chip solder bumping. Lastly, the study proceeds to verify the merit of the modified electroplating-cell design in thickness uniformity of the electroplated solder layer.

Keywords: Flip-chip solder bumps, Fountain-type electroplating, CFD simulation analysis, Experimental verification

(2001/11/13 Received, 2002/1/10 Revised, 2002/2/6 Accepted)

* Department of Materials Science and Engineering, National Taiwan University, Taipei 106, Taiwan

** Department of Mechanical Engineering, National Defense University, Chung Cheng Institute of Technology, Dashi, Taoyuan 335, Taiwan

(* 國立台灣大學材料科學與工程學系)

(** 國防大學中正理工學院機械工程學系)

1. 前言

由於電子產品日益要求輕、薄、短、小，電子構裝連線技術亦由傳統打線接合逐漸改用覆晶接合(Flip Chip, FC)，覆晶接合具有高I/O密度、連線短、低電感、高頻雜訊易控制、電磁遮蔽效應佳、錫錫接點自我校正、構裝尺寸縮小以及與表面黏著技術相容性高等優點。錫錫凸塊(Solder Bump)是覆晶接合的主要連通結構，錫錫凸塊可以藉由蒸鍍、電鍍、網印以及無電鍍等技術製作，其中電鍍方法具有低成本高量產之競爭優勢。然而，有關矽晶片上電流密度分佈⁽¹⁾，以及鍍液在鍍槽內流動的情形及流速所造成的鍍層均勻性變化，仍然是電鍍技術在整片矽晶圓上製作錫錫凸塊的關鍵議題，鍍槽的設計與操作方式也是影響整片矽晶圓電鍍錫錫凸塊的重要因素⁽²⁾，對於晶圓級構裝(Wafer Level Package, WL)製程，這些問題尤其必須考量。

Kawanobe⁽³⁾等人針對電流密度分佈所造成的影響，將鍍槽設計成陽極以水平方式置放在矽晶片下方的圓柱狀鍍槽，可以增進錫錫鍍層在整片矽晶片上厚度分布的均勻性。在許多電鍍方式及鍍槽設計中，湧泉式電鍍常被採用作為以整片矽晶圓為對象之錫錫凸塊電鍍法。此種圓柱狀或杯狀的鍍槽設計，鍍液的流動方式是經由鍍槽下方的出口通過陽極上的孔洞而撞擊在矽晶圓上，此種電鍍方式稱為湧泉式電鍍(Fountain-type Plating)或是杯式電鍍(Cup-type Plating)。湧泉式電鍍的概念提供了一些優點：首先可以連續且充分的供應錫錫離子至陰極表面，如此可以增加離子的傳輸而得到較高之沉積速率；其次可以使循環的鍍液在接觸矽晶圓表面之前，藉由過濾系統將鍍液內之雜質顆粒消除；此外陰陽極之間的距離可以很接近，而且很容易維護。目前已有許多不同的湧泉式鍍槽設計被提出，以增進金屬鍍層與錫鉛凸塊之均勻性⁽⁴⁻⁷⁾，以及無鉛錫錫凸塊之均勻性^(8,9)。

計算流體力學(Computational Fluid Dynamics, CFD)最早的發展是應用在航太工業作為流體動力及流場分析的工具，隨後被應用在

汽車工業及燃燒反應器分析上，近幾年CFD也被應用在生醫工程、燃料電池、印表機噴墨頭、微系統及生物晶片的設計分析上，最近幾年針對電子工業的數值模擬分析也正快速發展中，其中CFD逐漸被廣泛應用在半導體製程和設備、微電子及電子構裝之領域裡，許多研究都集中在製程中熱流的議題，例如在超大型積體電路(ULSI)製程中利用CFD分析得到最佳的化學氣相沉積薄膜厚度及腔體內反應氣體的流場分佈、蝕刻設備蓮蓬頭直徑(Shower diameter)的設計與分佈對蝕刻速率的影響分析，以及高溫擴散爐管內的氣體流速對於氧化層影響的分析等。另外，CFD也被應用在微電子系統中空氣流動、熱傳與冷卻的分析，以及應用在微機電系統微流道的設計分析上。此外，CFD在電子構裝領域中也被應用在晶圓級構裝(WL-CSP)的DRAM熱效能分析⁽¹⁰⁾、BGA及FC-PBGA的熱傳及熱對流分析^(11,12)、多晶片模組(MCM)的冷卻及熱傳分析⁽¹³⁾、覆晶接合的熱傳分析和錫錫膏迴焊分析上^(14,15)、以及將CFD應用在電鍍或無電鍍槽的設計分析^(16,17)。CFD也用在研究兩平行板間非對稱性噴嘴的流場與質傳分析⁽¹⁸⁾，研究結果顯示，改變噴嘴的排列方式可以增進印刷電路板在電鍍時的均勻性，Lee等人⁽¹⁶⁾利用CFD方法分析鍍液在鍍槽內的流場分析，藉以設計可以獲得均勻純錫錫凸塊之湧泉式鍍槽，其陽極設計為同心圓環狀，以CFD方法模擬分析陽極在鍍槽內不同位置之流場及流速分佈情形，並以實驗印證。CFD分析結果顯示，當陽極太接近鍍槽底部或太接近矽晶片時，撞擊在矽晶片上的速度會出現負值，此種現象會影響鍍層厚度的均勻性，實際在4吋矽晶片鍍純錫錫凸塊，結果亦證實陽極太接近底部或矽晶片時純錫錫凸塊均勻性不佳。最近，Lee等人⁽¹⁷⁾也利用CFD分析並設計無電鍍槽，結果顯示鍍液流動方向、流速、擴散片的設計及晶片置放器的設計等，都會影響無電鍍層的均勻性。Lin等人⁽¹⁹⁾嘗試透過改變電流密度及陰陽極面積比等參數來獲得均勻的錫錫凸塊高度，該研究指出電鍍過程中每一個凸塊墊可以視為一個微電極，雖然凸塊墊的設計會影響電流密度之

分布，然而數以百計的微電極在電鍍時的電流分布行為，並無法以簡單的分析理論加以清楚地描述。Landau⁽²⁰⁾指出在進行電鍍時，巨觀(cm)尺度(晶圓)與微觀(um)尺度(凸塊)的電流分布分別由不同的機制所控制；巨觀尺度電鍍時的電流分布是由電場所支配，而微觀尺度電鍍時的控制機制則由電場所支配轉為質傳輸所支配。同時也指出微觀尺度電鍍之鍍層厚度分布受鍍液組成(包含添加劑)、電鍍條件以及電極的幾何形狀影響。因本研究之鍍錫凸塊電鍍屬於微觀尺度的電鍍，故僅針對電鍍液在鍍槽內的流動行為與流場分布進行分析。

本研究選擇湧泉式電鍍槽進行鍍錫凸塊電鍍，在陽極板上鑽圓孔並採取同心圓環狀交錯排列方式的改良式陽極設計，先利用CFD數值模擬工具分析湧泉式電鍍槽內鍍錫鍍液的流動行為與流場分布，找出陰陽極在鍍槽內較佳位置，再針對最佳之電鍍槽設計經由實際試鍍加以驗證，最終目的在於獲得品質優良的電鍍鍍錫凸塊。

2. 模擬分析

如前所述，雖然電鍍鍍錫凸塊層之形成是藉由電極與晶片間建立特定之電場以及電流密度加以決定，但在微觀尺度時則由輸送現象所控制，亦即為電鍍液成分之化學以及質傳輸特性加以主控。因此晶片上鍍錫凸塊層之均勻性必定與電鍍槽中整體流場之流動特性相關，也就是與電鍍槽之幾何構形(電極構造、形狀、位置)與流動參數(流速、流量)相關。本研究首先採用與Lee⁽¹⁶⁾等人相同之鍍槽設計(如圖1所示，在此定義為「模型A」)進行模擬分析以驗證數值模擬之正確性，進一步改良陽極之構形，將環形變更為多排圓直孔形(如圖2所示，在此定義為「模型B」)，以改善凸塊之均勻性。

圖1為Lee等人所採用之電鍍槽(模型A)，直徑為10.16公分，高度為6.35公分，而陽極位於電鍍槽底部1.27公分處，電鍍液是由下方直徑1.91公分之圓管流入，經由陽極之環形凹槽之引導再撞擊於晶片之表面然後

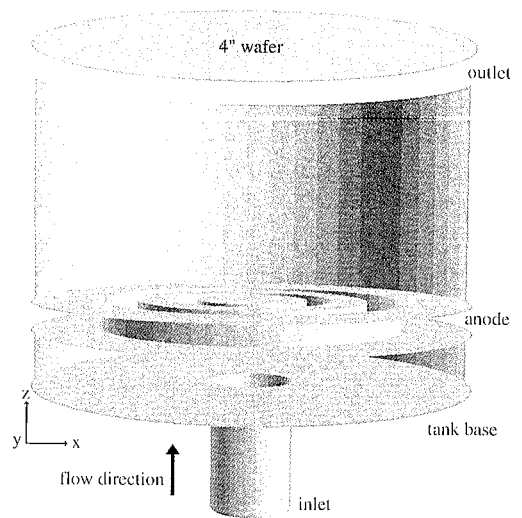


Fig. 1 A fountain-type electroplating cell and its anode configuration proposed by Lee et al.⁽¹⁶⁾ (Model A)

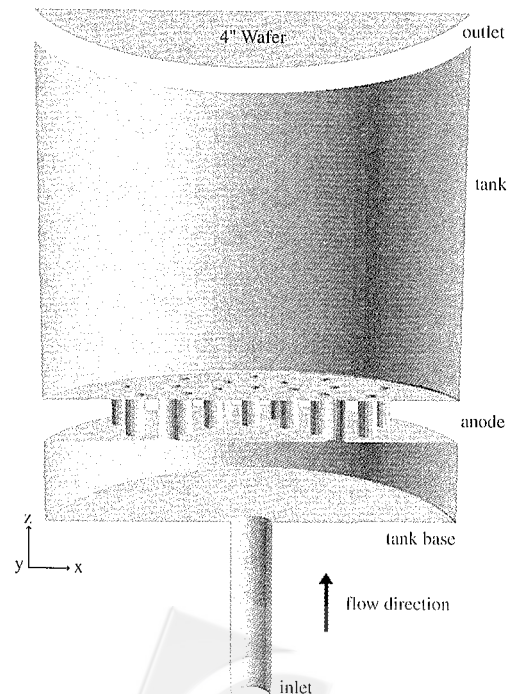


Fig. 2 A modified fountain-type electroplating cell and its anode configuration proposed by this study (Model B)

於側邊之開口處流出。圖 2 則為本研究採用之改良式電鍍槽（模型 B），電鍍槽之直徑同樣為 10.16 公分，但高度增高至 12 公分，而陽極與電鍍槽底部之距離（稱為陽極距離）分別取 1.27 公分、2 公分、3.5 公分與 5 公分，電鍍液是由下方直徑 1.05 公分之圓管流入，經由陽極之三排圓直孔之引導再撞擊於晶片之表面然後於側邊之開口處流出。與 Lee 等人的設計比較，主要不同在於陽極之幾何構形由原先平均寬度 0.7 公分之環形更改為直徑 0.5 公分之圓直孔，而由內向外之孔排配置採用交叉排列之構形，一方面更接近湧泉式電鍍槽之概念，另一方面在電鍍液流動時將造成旋轉流場，使得靠近晶片表面之鍍液流動分布更為均勻。

在進行數值模擬計算之前，必須依所欲模擬之幾何形狀建構網格系統。本研究所有之幾何模型與格點系統均採用 ICEM/CFD 套裝軟體加以建構而成，為能獲得較佳的網格系統，故採用多區塊之結構化網格系統。其中，計算域中格點配置之方法分為均勻分佈網格系統及非均勻分佈網格系統兩種。一般進行熱流場模擬分析時，為考慮減少記憶體容量及減少計算所需的時間，在正確且精準地配合捕捉流場趨勢之前提下，大多採用非均勻分佈網格系統以滿足需求，本研究正是採用這個方式建構後續運算所需之網格系統。在計算域之切割上採用軸對稱之觀念，以 O 型態之方式分割計算域，以模型 B 為例，共分為 788 個區塊，格點數約為二十五萬點。在格點之配置方面，考慮流場特性，在靠近晶片表面、電極附近以及靠近電鍍槽之壁面處，特別加密處理。

本研究係利用計算流體力學(CFD)、熱傳學與相關的數值方法，並配合電腦之快速運算能力以疊代運算流場的連續(continuity)、動量(momentum)、能量(energy)等方程式，求解氣流的壓力、速度、溫度分布，使用之數值運算器為 AEA 公司所推出之 CFX4.4。本研究模擬分析所採用之統御方程式為 Navier-Stokes 方程式，其通式(scalar advection-diffusion)可寫成下式：

$$\frac{\partial}{\partial t}(\rho\phi) + \nabla \cdot (\rho\vec{V}\phi - \Gamma\nabla\phi) = S$$

其中

ρ ：密度

t ：時間

\vec{V} ：速度向量

ϕ ：因變數(dependent variable)

Γ ：擴散係數(diffusion coefficient)

S ：源項(source term)

在紊流模式之選用上則是採用低雷諾數之 k- ϵ 模式，並在靠近壁面區域以近壁面函數加以處理。低雷諾數之 k- ϵ 模式是標準型 k- ϵ 紊流模式之修正型，修正後本模式可適用於低雷諾數之流場中。此外，由於整個電鍍過程中溫度之變異量並不顯著，因此流場均視之為等溫流，亦即在求解統御方程式時僅考慮速度與壓力之變化，並不考慮熱傳效率。由於工作介質為電鍍液，因此流體視為不可壓縮流然後計算相對應邊界條件下之定常流場。在邊界條件之處理上，所有壁面（包括槽體、電極與晶圓）皆是設定為無滑移條件，而當進行模型 A 之流場模擬時，設定電鍍液之入口流速度為 58 公分/秒（流量為 10 公升/分鐘），若以入口管直徑為特徵長度時，換算而得知雷諾數約為 14000，而在進行模型 B 之流場模擬計算時，則將流量稍微提昇至 12 公升/分鐘，亦即入口流速度為 254.6 公分/秒。

3. 電鍍試驗

本研究覆晶錒錫凸塊電鍍試驗使用 n-type (100)四吋矽晶片，前處理以硫酸與雙氧水溶液及 RCA 清潔步驟以及氫氟酸溶液加以清洗，以去除矽晶片表面之油脂、有機物、碳化物及氧化物等雜質，清洗後旋乾再置於濺鍍設備內製作所需之 UBM 層：依序濺鍍 Ta 及 Cu 金屬層分別作為黏結層、擴散阻絕層及潤濕層。然後在金屬化之後的矽晶片上旋塗光阻，旋塗厚度為 50 μm 。本實驗所使用的光罩是負片光罩，凸塊墊(Bump Pad)圖案有直徑 150 μm 間距 200 μm 的圓形圖案，及 150 \times 150 μm 間距為 200 μm 的方形圖案兩種圖案。旋塗光阻後之

矽晶片經微影曝光及顯影，形成圓形及方形凸塊墊之圖案形狀並露出導電銅層。接著將形狀定義好之矽晶片放在夾持器上固定好，然後放置在鍍槽內進行電鍍工作，先電鍍銅再電鍍錫鉛，使用直流式電源供應器，電流密度為 $10\text{mA}/\text{cm}^2$ 、 $15\text{mA}/\text{cm}^2$ 及 $20\text{mA}/\text{cm}^2$ 。

本研究利用 CFD 分析陽極在距杯狀鍍槽本體底部 1.27 公分、2 公分、3.5 公分與 5 公分處鍍液撞擊矽晶片的速度分佈情形，並以模擬分析較佳之設計製作電鍍槽進行實際電鍍加以驗證。本實驗所採用的陽極為可溶式陽極，使用可溶式陽極的主要原因是除了可以減少四價錫(Stannic Tin, SnIV)的形成外，亦可延長鍍液的壽命。陽極板的形狀如圖 2 所示，為一直徑 10 公分、厚 1 公分的 60/40 錫鉛合金圓板，陽極板上之圓孔直徑為 0.5 公分，所使用的鍍液是 Shipley Ronal 公司所生產的 60/40 錫鉛鍍液(Solderon BP)。試鍍完成之矽晶片利用 α -step 量測電鍍鍍錫凸塊層之厚度，並以掃描式電子顯微鏡(SEM)觀察電鍍鍍錫凸塊層之形狀結構。最後，將電鍍完成的鍍錫凸塊層圖案利用熱風迴錫爐使其熔融形成覆晶鍍錫凸塊。

4. 結果與討論

圖 3 顯示本研究兩種不同鍍槽設計模型在靠近矽晶片表面之鍍液撞擊速度分布，橫軸表示距離矽晶片中心之距離，縱軸為鍍液之撞擊速度，而撞擊速度之定義則為鍍液垂直於矽晶片表面之速度分量。由圖 3 可以看出，不同模型與陽極距離會呈現出不同之撞擊速度分布。維持相同之陽極距離為 1.27 公分而採用模型 B 鍍槽時，鍍液流動撞擊速度分布已經較模型 A 均勻。而模型 B 鍍槽的陽極距離提高為 2 公分時，矽晶片表面百分之八十左右區域（距離 4 公分內）鍍液流動撞擊速度都相當低且呈現均勻分布之現象，比陽極距離 1.27 公分時的百分之七十範圍廣，這表示實際電鍍後之鍍錫凸塊層在此區域內也應會顯現出一致之均勻性，而在靠近出口處，由於一方面鍍液流量增加之效應且陽極板上之三圈圓直孔配置在外環

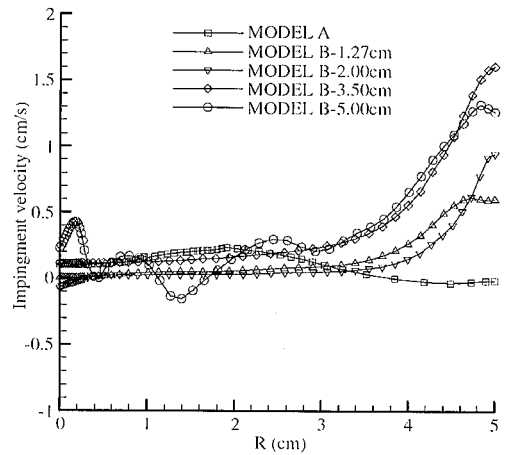


Fig. 3 CFD-analyzed impinging velocity distribution of electroplating fluids

處過於接近電鍍槽之側邊，反應出矽晶片表面相對應區域之鍍液撞擊速度呈現增加之表徵。比較模型 B 四種不同陽極距離模擬分析之結果，可以發現陽極距離 2 公分之設計可以獲得較佳之結果，而陽極距離 5 公分之設計其撞擊速度分布呈現出三個峰值波浪狀，其原因是因為電極與晶圓之距離較短，由電極板上孔洞所湧出之電鍍液仍保持有固有之運動路徑所致。

事實上，計算流體力學之應用除可以獲得定量之數據外，經由流場可視化之呈現，更有助明瞭電鍍槽內鍍液之運動型態，特別是流線圖。圖 4 與圖 5 分別展現模型 A 與 B 之鍍液流場流線分布，圖 4 顯示模型 A 在陽極與晶片間存在著一個大迴流區，迫使靠近中心環形凹槽處流出之電鍍液攜帶著較高之動量衝向矽晶片，雖然迴流區之存在有助於靠近矽晶片表面附近之流場流動狀態較為均勻，但是也可能形成較高之撞擊速度分布現象（如圖 3 所示）。圖 5 則顯示，陽極之構形採用多排圓直孔之設計，也同樣會形成迴流區，但所佔之區域範圍較小，由於噴流之交互作用，在矽晶片中心範圍處之流動較為均勻，至於側邊之流場，由於迴流區之範圍太小，使得電鍍液不再平行於矽晶片之方向流出，因此速度分布呈現較大之梯度。

圖 6 為模型 B 電鍍槽中央對稱面上之速度

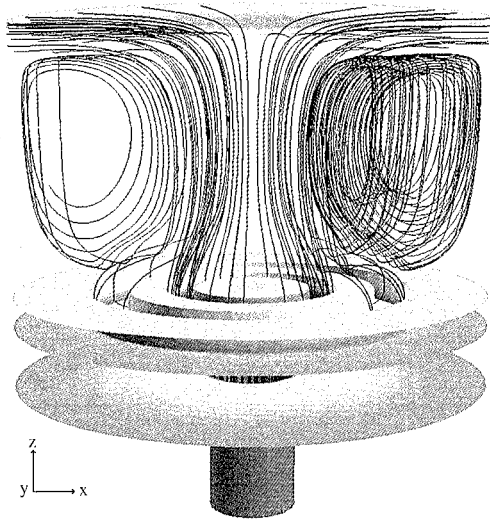


Fig. 4 CFD-analyzed flow pattern of electroplating fluid, using Model A

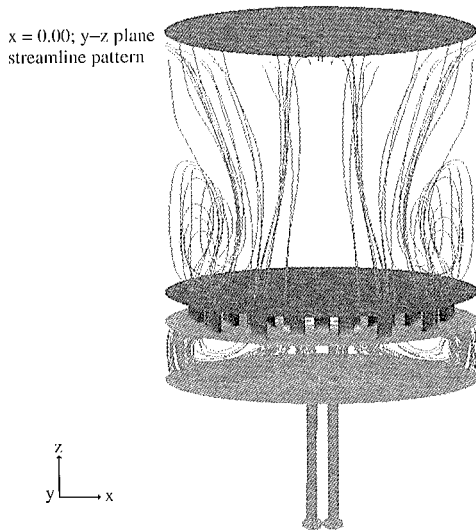


Fig. 5 CFD-analyzed flow pattern of electroplating fluid, using Model B with anodic distance 2.00 cm

分布圖，其中圖形之左邊為速度輪廓圖而右邊則為速度向量圖。由此圖中可以清楚地了解電鍍液在電鍍槽中之流動型態。當電鍍液下方之圓管流入時，首先會撞擊電極板下表面之中心處，然後沿著 x-y 平面流動（此時定義垂直

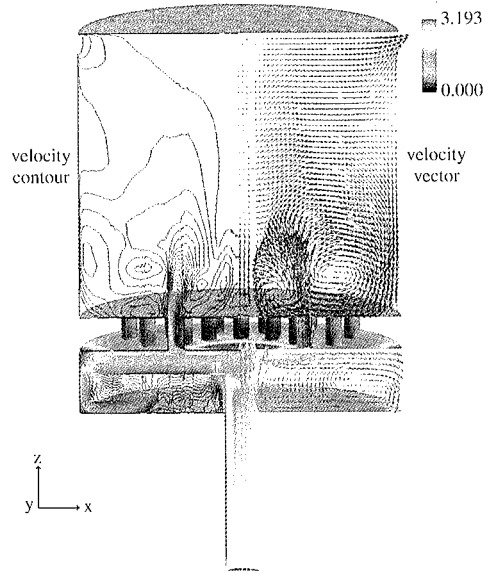


Fig. 6 Velocity contour (left) and velocity vector (right) of the fluids in the electroplating cell of Model B with anodic distance 2.00 cm

方向為 z- 方向，如圖 6 所示）。當電鍍液流經最內環之圓直孔時，由於動量效應，部分流體會流入電鍍槽之上半部，而部分流體則會繼續沿著既有之軌跡流動，一直到電鍍槽之側壁，因為壁面不滑移邊界之限制，形成迴流區。觀察電鍍槽上半部之速度分布情形後可以發現，由於大部分之電鍍液是由陽極板最內環之圓直孔噴入，然後依序是中間環與最外環，且三環圓直孔是採取交錯之方式排列，因此三股噴射流因為動量不一致所形成之交互作用會產生旋轉流，在表徵上則是在電極板上表面之上方處有兩個迴流區。電鍍液在槽體之上半部旋轉流動，逐漸平衡彼此之動量然後均勻地撞擊於晶片之表面，如圖 6 所示，最後由出口處溢出。圖 7 為靠近矽晶片表面不同位置之電鍍液撞擊速度分布圖，橫軸為距離矽晶片中心之絕對位置，縱軸則為鍍液之撞擊速度，各條曲線則為不同高度之結果，分別為 11.99、11.95、11.90、11.85、11.80 公分，以不同之圖形符號代表以茲辨別。必須說明的是，矽晶片表面所在之位置為 12 公分處。基本上，矽晶片表

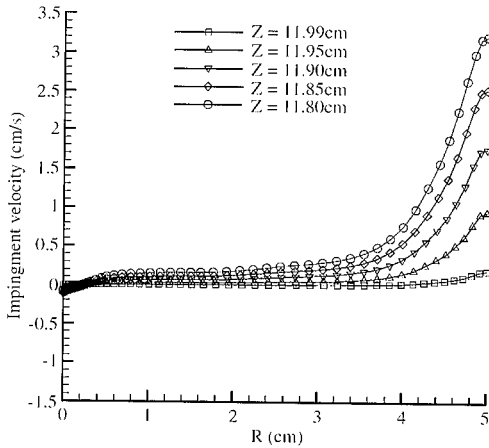


Fig. 7 CFD-analyzed impinging velocity distribution of electroplating fluids on various levels away from the wafer surface, using model with anodic distance 2.00 cm

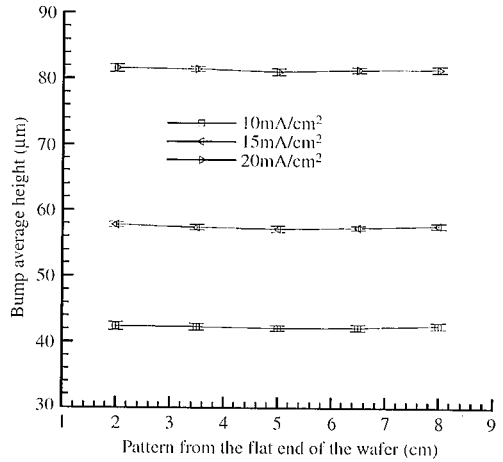
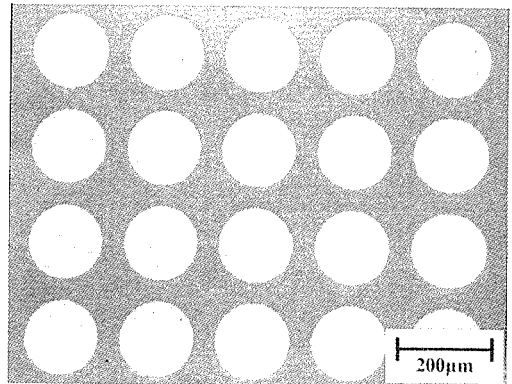


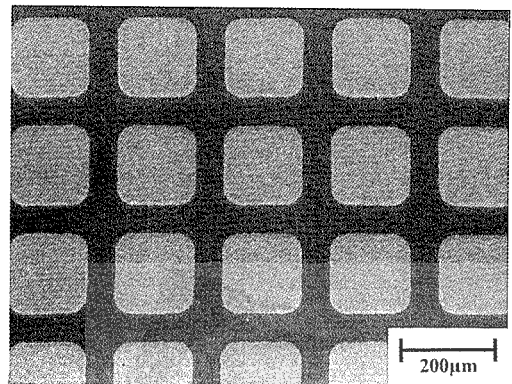
Fig. 8 Thickness distribution of solder layers electroplated with various current densities for 1hr

面上大部分區域之鍍液撞擊速度分布皆呈現出均勻分布之表徵，而在遠離中心處，亦即矽晶片之外緣，如前所述，由於流經陽極板最外環圓直孔之流體動量不足，無法迫使電鍍液緊貼矽晶片表面沿著 x-y 平面流動，因此在出口處呈現速度升高之現象，且愈遠離矽晶片表面處愈顯著。

針對本研究的鍍槽設計模擬分析結果顯示，陽極與鍍槽底部距離 2 公分處所得到之流場分佈較為均勻，使得鍍液可以平緩的撞擊在矽晶片上，當鍍液越接近矽晶片表面，其撞擊速度越平緩。從模擬結果得知在靠近矽晶片邊緣之速度較快，而在靠近矽晶片中央的流速幾乎趨近於零。因此，本研究電鍍試驗將陽極固定在距鍍槽本體底部 2 公分處，試鍍後的矽晶片利用 α -step 量測鍍層厚度分佈(從矽晶片的大切邊開始量測)，圖 8 之結果顯示電鍍錒錫凸塊鍍層厚度均勻，與 CFD 模擬分析結果相吻合。此外，利用掃描式電子顯微鏡觀察錒錫凸塊鍍層厚度分布均勻、表面平整且形狀完整(如圖 9 所示)，此一結果也可以說明鍍液撞擊在矽晶片上之速度越平緩其鍍層厚度分布也越均勻；圖 10 則為迴錒完成的覆晶錒錫凸塊，外形及尺寸非常均勻。



(a)



(b)

Fig. 9 Morphology of electroplated solder patterns: (a) round-shape (b) square-shape

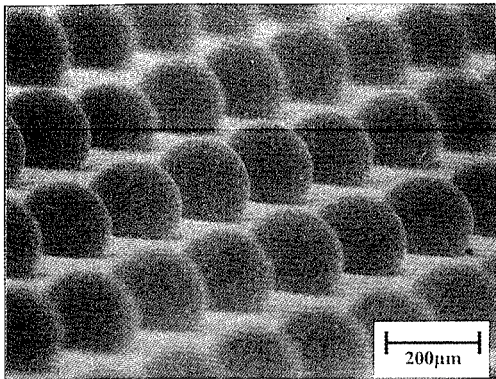


Fig. 10 Morphology of reflowed flip-chip solder bumps

5. 結 論

計算流體力學(CFD)，已經廣泛被應用在半導體製程設備及電子構裝領域裡，本研究針對覆晶錒錫凸塊製程，採用湧泉式電鍍技術，首先利用 CFD 模擬分析工具比較文獻報導 Lee 等人⁽¹⁶⁾之鍍槽設計(模型 A)與本研究改良之鍍槽設計所形成鍍液在鍍槽本體內之流動行為與流場分布。模擬分析結果亦顯示本改良型鍍槽設計將陽極水平固定在距鍍槽本體底部(鍍液出口) 2 公分處，可以獲致鍍液在矽晶片上均勻的撞擊速度分布，實際針對此模擬分析最佳條件在四吋矽晶片上進行覆晶錒錫凸塊電鍍，可得到厚度分佈均勻、表面平整且外形完整的錒錫凸塊鍍層，迴錒後的覆晶錒錫凸塊外形及尺寸相當均勻。

參考文獻

1. J.O. Dukovic, "Computation of current distribution in electrodeposition: a review", IBM J. Res. Develop., vol.34, no.5, (1990) 693-705.
2. C. Vanhom, R. Oberle, and G. Shawhan, "Plating technologies for flip chip applications", Proceedings of the NEPCON WEST'97, (1997) 336-359.
3. T. Kawanobe, K. Miyamoto, and Y. Inaba, "Solder bump fabrication by electrochemical method for flip chip interconnection", Proceedings of Electronic Components conference, (1981) 149-155.
4. D.C. Luper, B.D. Oberholtzer, W.W. Pcihoda and J. Strautins, "Automatic plating of bipolar integrated circuits", Plating and Surface Finishing, (1984) 48-52.
5. Y. Ohnuki, H. Shibuya, J. Utsunomiya, and S. Idia, "Development of low cost bump on LSI", Proceedings of the IEEE/CPMT Int'l Electronics manufacturing Technology (IEMT) Symposium, (1995) 125-128.
6. V.E. Schuster, R.K. Asher, and B.D. Pattel, "Cup plating apparatus for electroplating wafer substrates-Has adjustment of plating solution flow characteristics to control edge effect", US Patent no.5000827, (1991).
7. P. Andricacos, M. Branger, R.M. Browne, J.O. Dukovic, B.W.B. Fu, R.W. Hitzfeld, M. Flotta, D. R. Mckenna, L.T. Romankiw, and S. Sahami, "Multi-compartment electroplating system", US Patent no.5312532, (1994).
8. H. Ezawa, M. Miyata, and S. Honma, "Eutectic Sn-Ag solder bump process for ULSI flip chip technology", Electronic Components and Technology Conference, (2000) 1095-1100.
9. Z.S. Karim and R. Schetty, "Lead-free bump interconnections for flip-chip applications", IEEE/CPMT Int'l Electronics Manufacturing Technology Symposium, (2000) 274-278.
10. S.W. Park, J.M. Kim, H.G. Baik, S.H. Kim, J.K. Hong, and H.S. Chun, "Thermal and electrical performance for wafer level package", Proceedings of the Electronic Components & Technology Conference, (2000) 301-310.
11. T.F. Hayden, P.M. Harvey, R.D. Schueller, and W.J. Clatanoff, "Thermal & electrical performance and reliability for cavity-up enhanced BGAs", Proceedings of the Electronic Components and Technology Conference, (1999) 638-644.
12. S. Shidore, V. Adams, T.T. Lee, "A study of compact thermal model topologies in CFD for flip chip plastic ball grid array package", IEEE Transactions on Components and Packaging Technologies, (2001) 191-198.
13. M.J. Marongiu, B. Kusha, G.S. Fallon, and A.A. Watwe, "Enhancement of multichip modules(MCMs) cooling by incorporation microheat pipes and other high thermal conductivity materials into microchannel heat sinks", IEEE Electronic Components & Technology Conference, (1998) 45-50.

14. T.Y. Lee, "an investigation of thermal enhancement on flip chip pad packages using CFD tool", IEEE Transaction on Components and Packaging Technologies, (2000) 481-489.
15. S.H. Mannan, D. Wheeler, D.A. Hutt, D.C. Whalley, P.P. Conway, and C. Bailey, "Solder past reflow modeling for flip chip assembly", Proceedings of the Electronics Packaging Technology conference, (2000) 103-109.
16. T.Y. Tom Lee, W.H. Lytle, and B. Hileman, "Application of a CFD tool in designing a fountain plating cell for uniform bump plating of semiconductor wafers", IEEE Transaction on Components, Packaging, and Manufacturing Technology- Part B, vol.19, no.1, (1996) 131-137.
17. T.Y. Tom Lee, and J.K. Lin, "Design analysis of an electroless plating bath using CFD technique", IEEE Transactions on Electronics Packaging Manufacturing, vol.23, no.4, (2000) 306-313.
18. O.A. Moreno, R.H. Katyl, J.D. Jones, and P.A. Moschak, "Mass transfer of an impinging jet confined between parallel plates", IBM. J. Res. Develop., vol.37, no.2, (1993) 143-154.
19. K.L. Lin and S.Y. Chang, "Approaching a uniform bump height of the electroplated solder bumps on a silicon wafer", IEEE Transactions on Components, Packaging, and Manufacturing Technology---part B, vol.19, no.4, (1996) 747-751.
20. U. Landau, "Copper metallization of semiconductor interconnects---issues and prospects", CMP symposium, Abstract #505, Electrochemical society meeting, (2000).

