

銅導線/低介電常數半導體晶片之鐳線構裝技術研究

Wire-bond Packaging Studies for Copper/Low-K Semiconductor Devices

計畫編號：NSC 90-2212-E-002-157

執行期限：90年8月1日至91年7月31日

主持人：吳恩柏 國立台灣大學應用力學研究所

計畫參與人員：林少羽、張鴻淇 國立台灣大學應用力學研究所

一、中文摘要

本報告主要針對銅導線/低介電常數半導體晶片在打線構裝製程中的可靠度分析。藉由有限元素分析軟體，分析鐳墊下導線結構在打線製程下的受力行爲及銅導線/低介電常數半導體晶片的影響，希望能找出造成破壞的主要因素，降低半導體晶片在新製程與新材料應用上對後段構裝製程所帶來的之衝擊，有效提昇製程的良率。

關鍵詞：銅導線/低介電常數半導體晶片、打線製程、鐳墊

Abstract

This article aims at conducting a basic research on the Cu/Low-K chips under wire-bonding process. Finite element model has been constructed to modify the bond pad structure under wire-binding process. From this report, we try to find out the root cause of Cu/low-K chip failure, so as to improve the yield rate of the backend process.

Keywords: Cu/low-K chip, wire-bonding process, bond pad

二、緣由與目的

隨著 IC 製程技術的進步，元件不斷微小化，使得 IC 的集積度增加，速度也提高。在此同時，連接元件與元件的金屬導線也隨之微細化，較小的線寬造成較高的電阻，較窄的間距造成較高的電容，於是在元件性能不斷提升的同時，導線間的訊號延遲卻逐漸增加。如果不採取適當的措施，繼續微小化將無法提高 IC 性能，反而

越來越慢！

對於打線製程來說，以往所著重的主要是在金球與鐳墊之間的接合強度是否足夠，但是由於傳統的導線和介電材料具有一定的強度，所以往往忽略了鐳墊內部破壞的情形。對銅晶片所使用的材料而言，低介電常數的材料往往具有相當低的楊式模數，再加上銅與其他材料的黏著性仍有待驗證，因此只調整製程的參數已無法有效解決打線的問題，而必須要從鐳墊內部的結構著手，從鐳墊的受力情形來分析，找出真正影響的機制。

探討打線製程的文獻相當多，但大多數的文獻都是針對鐳線製程的參數與鐳接強度的關係做探討，或是利用田口法找出適合的工作參數 [1~5]，也有學者從金球及鐳墊間介面現象的角度來討論其鐳接強度 [6]，其理論模式包括表面接觸力學、表面接觸熱傳和瞬閃溫度理論。本文有別於一般針對鐳線技術改良的探討，並不對鐳線製程的參數與鐳接強度的關係做探討，而特別針對鐳墊下的結構、以及不同材料的性質，配合有限元素模擬軟體，探討整個鐳墊在鐳線製程中所受之的應力分布情形。除了觀察其應力集中現象之外，並觀察在不同材料、不同受力方式、或是不同結構之下，鐳墊下導線結構在打線製程下的受力行爲及銅導線/低介電常數半導體晶片的影響，希望能找出造成破壞的主要因素，降低半導體晶片在新製程與新材料應用上對後段構裝製程所帶來的之衝擊，有效提昇製程的良率。

三、有限元素模型與基本假設

在此我們所建立的模型乃是採用 IBM

發表的六層金屬堆疊的設計，如圖 1 所示，並依照製程的順序，定義最底層的金屬層、介電層 (Inter-Metal Dielectric, IMD) 和銅插塞 (Cu via) 分別為 M1、IMD1 與 via1，往上堆疊則為 M2、IMD2 與 via2，依序遞增。其中金屬層及插塞結構所用的材料為 Cu，而介電層所使用的材料只有在最初三層 (IMD1 至 IMD3) 使用 low-K 材料，而在最後堆疊的兩層仍然使用傳統的二氧化矽材料。

在進行有限元素分析時，主要是利用有限元素套裝軟體 Ansys 來分析，同時為了避免不同的模型因為網格數目的差異所導致的誤差，一律採用 map mesh 的方式，並採用 8 個節點 (Node) 六面體元素。所建構的模型如圖 2 所示。不過對於本文所針對的結構來說，其相對於整個晶片而言比例相當小，因此考量電腦軟體及硬體的限制，以及模擬的可行性，我們做了以下幾個基本假設來建構本研究的基準模型 (reference model)：

1. 並不建構整個晶片的模型，而只建立一個錫墊的結構。而對此結構而言，雖然邊界條件並不對稱，但是幾何形狀對稱，因此將原模型簡化為二分之一作分析。
2. 雖然金球在實際的情況之下為球形，但是由於我們所著重探討的部分為打線時錫墊結構的受力情況，而非金球的受力情況，因此假設金球的形狀在一定程度的改變下，對錫墊結構的受力情況並沒有太大的影響，所以在有限元素法模擬時，將金球模型簡化為方形。
3. 假設各個材料之間的接觸是完美的 (Perfect bond)，也就是說我們不考慮製程上的不完美所導致的孔洞等現象，以避免應力傳遞不連續的問題。
4. 忽略薄膜的效應：因為在半導體製程中，常常因為一些電性或是結構上的考量，而必須在金屬或氧化層上沉積一些薄膜材料 (如 TaN, SiC... 等)，不過由於這些薄膜材料所佔整體體積的比例相當小，在加上薄膜的材料常

數取得不易，因此我們並不考慮薄膜的影響。

5. 各個材料性質的定義如表 1 所示，並假設以等向性材料和線彈性模型分析之。但是其中因為金線的機械性質會因所含合金成份及製程參數而有相當大的差異，同時金線的楊氏模數也會隨著線徑的增大及溫度的上升而降低 [7]。在此我們假設銲接溫度為 180 °C，金線的選擇為中強度、中銲線迴路高度的線材，因此楊氏模數的設定約在 55~70Gpa 左右。

模擬分析的類別，將探討的乃是銲墊內部結構在歷經打線製程時的應力分布，主要針對拉應力 S_y ，以及總合應力 von Mises stress 來做探討，其中我們認為拉應力 S_y 乃是使銅插塞與介電材料之間產生脫層 (Delamination) 的主因。

在一般的情況之下，鋼嘴的振幅會因為銲墊的排列設計及間距而有不同的要求，在有些銲墊間距更小 (Fine pitch) 的晶片，對於打線的金球需要更精準的對位，鋼嘴振幅甚至被要求在 1 μ m 之下。然而在模擬時我們對基準模型所採用的負荷為 100g，鋼嘴振幅為 2 μ m。

四、結果與討論

新世代晶片對打線製程的影響

圖 3 為銲墊結構在歷經打線製程時的變形結果。在此外力作用之下，如圖 4 與圖 5 所示，我們發現不論是總合應力 von Mises stress 與 normal stress S_y ，應力集中的位置都是在靠近金球與銲墊接合處的周圍；而且是在第三層介電層 (也就是最靠近表層處，介電材料為 low-K 材料的那一層，IMD3) 中的插塞承受了最大的應力。因此我們可以推測，缺陷的延伸由角落開始發生的機會極高，這也與一般銲墊破壞的模式相符合。

然而就實際的情況來說，如圖 6 所示 [5]，打線製程實際上為一動態的行為，因此我們必須驗證動態效應的影響，然而礙於有關的材料常數取得不易，在此我們先不考慮阻尼的效應，並將超音波發振的行

為假設為一週期性的簡諧運動。

在分析鐳墊結構受到一簡諧力作用時的受力情況之前，我們必須先要了解超音波的發振頻率(一般為60Khz或是120Khz)是否會導致共振的行為，因此我們先利用有限元素的模態分析 (Modal analysis) 找出結構的自然頻率。有關有限元素的模態分析方式如下：

1. 先假設為自由振動 (Free vibrations) 並忽略阻尼的影響：
$$[M]\{u''\} + [K]\{u\} = \{0\} \quad (1)$$
2. 接著再假設位移 $\{u\}$ 為一簡諧運動：
$$([K] - \omega^2[M])\{u\} = \{0\} \quad (2)$$
3. 由於 K 矩陣與 M 矩陣已知，因此可以將特徵值 ω 解出。

不過由於結構體的自然頻率與其尺寸及邊界條件有相當大的關係，因此在接下來的動態模擬中，我們考慮兩個極端的情況：其中之一為原始的基準模型，也就是假設左右兩邊的邊界條件為 fixed；另外一種情況則是假設左右兩邊的邊界條件為 free，並比較兩種情況下鐳墊結構在以一動態模型分析時的受力行爲。

圖 7 為 low-K 介電層內銅插塞在不同頻率下的受力結果比較，由模擬結果可以清楚的發現，不論是哪一種邊界條件的設定，在頻率較低時受力情況幾乎為一直線，而在靠近鐳墊結構的自然頻率時則有急劇升高的趨勢。同時我們也發現，在邊界條件假設為 free 的情況之下，雖然自然頻率相對的較低，但是比起打線製程的超音波頻率仍然高出許多，因此除非廠商在未來往更高的打線頻率發展，我們可以不需考慮因共振現象而造成的動態行為。

為了要清楚比較出傳統 Al/Oxide 晶片與新世代 Cu/low-K 晶片在歷經打線製程時的差異，在此我們先假設各層介電層都使用同一種材料 (SiO₂ 或是 SiLK)，圖 8 為介電層內 (A-A' 截面) 的總合應力比較。雖然 Al/Oxide 晶片在打線時仍然顯示出接近金球與鐳墊接合處的周圍是較容易發生破壞的位置，但是由於二氧化矽材料的楊氏模數與鋁金屬相近，因此並不像 Cu/low-K 晶片一樣在銅插塞有相當明顯的

應力集中現象。針對不同材料組合在訊號延遲以及插塞結構所受之應力的影響，我們可以由圖 9 中清楚的發現，不同材料組合對訊號延遲以及應力的影響有完全相反的趨勢，由模擬結果來看，當材料使用 Cu/low-K 材料時，訊號傳輸速率雖然可以提高約 40%，但如果我們仍然使用傳統的鐳墊結構，插塞所承受的應力相較於鋁導線增加將近兩倍，這也意味著在相同的外力作用之下，若是不對製程參數作調整或是將鐳墊結構重新佈局設計，Cu/low-K 晶片勢必將面臨更高的破壞風險。

與往常一樣，構裝的問題通常是最後才被考量，當前段製程正忙於處理銅晶片或低介電材料之問題時，相當有限的注意力會放在構裝上。但是對未來的趨勢而言，單靠構裝廠在製程上的調整似乎並不足夠，而必須要將所有的製程整合起來，共同來解決問題。雖然我們已經對 Cu/low-k 所衍生出來的問題有了初步的了解，但是仍需要進一步的實驗來配合驗證，相信如能將此部份作一後續的探討後，在未來產業趨勢的引導下，將有極大之助益。

五、計劃成果自評

在本報告中我們以數值分析的方式對構裝製程中 Cu/low-K 晶片可能發生的問題作了初步的說明，雖然對於數值分析結果的精確性仍有待未來近一步的實驗來證明，但是在一些定性的模擬分析結果之下，我們仍然對半導體產業在未來走向 Cu/low-K 材料時提供了一定的幫助。

六、參考文獻

- [1] McKenna, R. G.; Mahle, R. L., "High impact bonding to improve reliability of VLSI die in plastic packages," Electronic Components and Technology Conference, Proceedings., 39th, pp.424-427, 1989
- [2] Gonzalez, B.; Knecht, S.; Handy H.; Ramirez, J., "The effect of ultrasonic frequency on fine pitch aluminum wedge wirebond," Electronic Components and Technology Conference, Proceedings., 46th, pp.1078-1087, 1996
- [3] Cher, M. T.; Linggajaya, K.; Er, E.; Chai, V.S.-H., "Effect of BOE etching time on wire bonding quality," IEEE Transactions on

Components and Packaging Technology, Volume: 22 Issue: 4, pp.551-557, Dec. 1999.

- [4] 陳立仁, “超音波鐳線鐳頭型態及製程參數對鐳點品質影響之研究”, 國立中正大學機械工程研究所碩士論文, 1999
- [5] 陳大殿, “電子構裝熱超音波鐳線製程分析研究”, 國立中正大學機械工程研究所碩士論文, 1999
- [6] 林政男, “由界面現象探討電子構裝之熱超音波鐳線製程”, 國立中正大學機械工程研究所碩士論文, 1999
- [7] 趙永清, “金線熱機械性質量測與熱超音波鐳線路徑模擬”, 國立中正大學機械工程研究所碩士論文, 1999

材料	楊式模數 (GPa)	Poisson's ratio	密度 (kg/m ³)	熱膨脹係數 (1/°C)
Al	75	0.33	2700	23.1*10 ⁻⁶
Cu	121	0.35	8960	16*10 ⁻⁶
SiO ₂	66	0.17	2270	0.55*10 ⁻⁶
Si ₃ N ₄	300	0.22	3100	2.9*10 ⁻⁶
SiLK	8.8	0.4	750	45*10 ⁻⁶
Si	130	0.28	2300	2.8*10 ⁻⁶
Au ball	60	0.43	19320	14.2*10 ⁻⁶

表 1 多層金屬內連線常用材料之機械性質

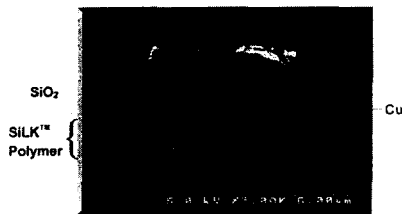


圖 1 IBM 所公佈的六層金屬鐳墊結構

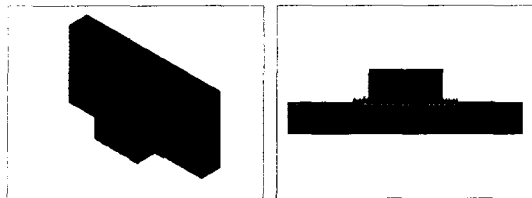


圖 2 鐳墊結構之有限元素模型

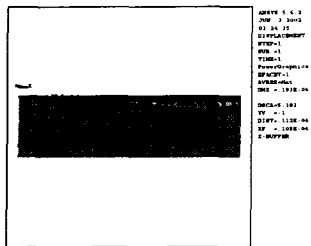


圖 3 鐳墊結構在經打線製程時的受力變形結果

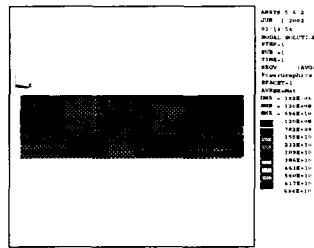


圖 4 鐳墊結構應力分布圖 (von Mises stress)

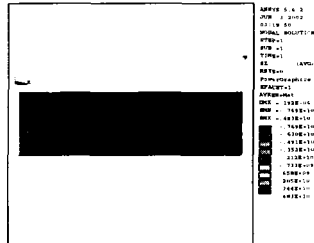


圖 5 鐳墊結構應力分布圖 (normal stress Sy)

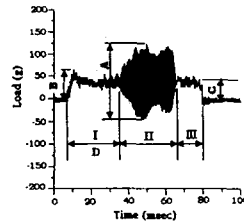


圖 6 鐳接負荷時間歷程圖[5]

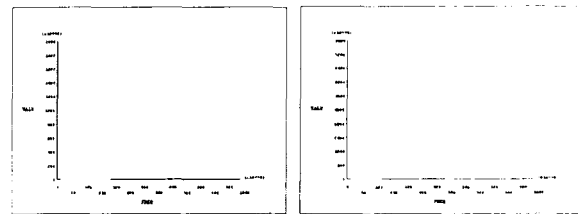


圖 7 不同頻率下銅插塞受力結果

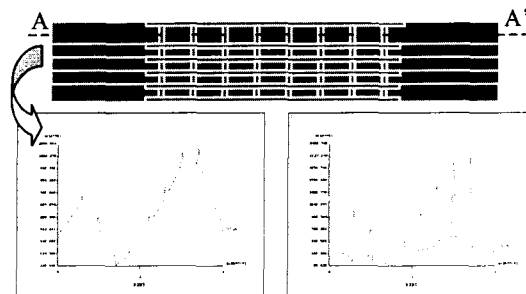


圖 8 Al/Oxide 與 Cu/low-K 晶片的應力分布

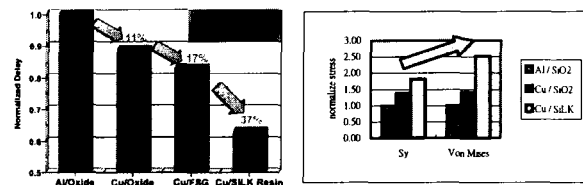


圖 9 不同材料組成對訊號延遲及插塞結構受力影響