

行政院國家科學委員會專題研究計畫 期中進度報告

無線生醫感測網路晶片系統--總計畫：無線生醫感測網路
晶片系統(2/3)
期中進度報告(精簡版)

計畫類別：整合型
計畫編號：NSC 95-2221-E-002-241-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學應用力學研究所

計畫主持人：張培仁
共同主持人：呂學士、黃榮堂、林佑昇、施文彬

處理方式：期中報告不提供公開查詢

中華民國 96年06月07日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

無線生醫感測網路晶片系統—總計畫(2/3)
Wireless Biomedical Sensor Network System on a Chip

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 95-2221-E-002-241

執行期間：95年08月01日至96年07月31日

計畫主持人：張培仁 教授

共同主持人：呂學士 教授、黃榮堂 教授、林佑昇 教授、施文彬 教授

計畫參與人員：孫美芳、方啟銘

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立台灣大學 應用力學研究所

中華民國 96 年 5 月 31 日

行政院國家科學委員會專題研究計畫年度期中報告

無線生醫感測網路晶片系統—總計畫(2/3)

計畫編號：NSC 95-2221-E-002-241

執行期限：95年08月01日至96年07月31日

主持人：張培仁 教授 國立台灣大學應用力學研究所

Email: changpz@mems.iam.ntu.edu.tw

共同主持人：呂學士 教授、黃榮堂 教授、林佑昇 教授、施文彬 教授

計畫參與人員：孫美芳、方啟銘

總計畫中文摘要

概觀此計畫第二年研究之期中綜合成果，其符合今年預計規劃進度，其中成果包含子計畫一以台積電標準CMOS 0.35- μm 製程實現一個整合晶片包含8位元RISC結構微控制器及10位元漸近逼近式類比數位轉換器；子計畫二包含局部圖案接地遮蔽 (Partial PGS) 之概念應用於改善射頻單晶變壓器及3.1-10.6 GHz CMOS UWB 低雜訊放大器元件表現、使用TSMC 0.18 μm CMOS技術設計一個增益 $S_{21} > 10$ dB之32-GHz LNA等；子計畫三包含台積電0.35 μm 製程高頻電晶體大訊號模型之建立、功率放大器之多頻設計、高頻微機電元件傳送-接收開關、晶片整合式智慧型碎形天線、微機電式高變化率可變電容等；子計畫四以台積電提供之標準CMOS 0.35 μm 2P4M製程配合MEMS微加工之後續製程處理來製作微型陀螺儀，以及新式側向型電容式微陀螺儀與感測電路之設計；子計畫五包含以台積電所提供標準CMOS 0.35 μm 2P4M製程配合後MEMS製程來進行微波微機電開關之設計模擬與製作，以及薄膜體聲波濾波器之設計與製作。總結前述之研究成果，對於無線生醫網路感測單晶片系統之研製已向前邁進一小步。

關鍵詞：積體電路、微機電、金氧半導體、無線通訊、生醫感測器

Abstract

This year, the expected milestones of this joint project have been achieved approximately on schedule. In Subproject 1, an integral chip includes a 8 bits RISC μ Controller and a 10 bits successive approximation Analog to Digital Converter in TSMC standard CMOS 0.35- μm technology is presented in this project. In Subproject 2, we have also proposed the concept of "partial PGS" to improve the performance of RF passive devices, such as RF monolithic transformers and a 3.1-10.6 GHz CMOS UWB LNA. Besides, a low-power-consumption (26.93mW) 32-GHz (Ka-band) LNA using standard 0.18- μm CMOS technology is reported. In Subproject 3, we have realized extracted large signal model of high frequency transistor based on TSMC 0.35 μm standard CMOS process, design of multi-band power amplifier, high frequency MEMS switch, studied smart fractal antenna integrated on a chip, and MEMS variable capacitor. In Subproject 4, we have fabricated a micro gyroscope based on 0.35- μm 2P4M CMOS process and MEMS post-process. Besides, the new, capacitive, lateral micro gyroscope is designed. In Subproject 5, RF MEMS switch is developed by 0.35- μm 2P4M CMOS process and MEMS post-process. Besides, Film bulk acoustic wave filters (FBAW filters) are successfully designed and fabricated using MEMS process.

Key Words : Integrated Circuit、MEMS、CMOS、Wireless、Biomedical Sensor

子計畫一：感測網路基頻訊號處理電路(2/3)

中文摘要

一個整合晶片包含 8 位元 RISC 結構微控制器及 10 位元漸近逼近式類比數位轉換器，以台積電標準 CMOS 0.35-um 製程在本計畫中實現。

內建之類比數位轉換器採用連續逼近式架構，利用功率開關及門閘式時脈技巧，此類比數位轉換器達到超低功率消耗。量測結果顯示此類比數位轉換器操作於奈奎斯特頻率時具有九位元以上之有效位元數。工作於每秒一千赫茲取樣模式，功耗小於 2.5 毫瓦。

微控制器資料寬度為 8bits、指令寬度為 14 bits，具備 256 words 的資料記憶體及 2k words 的指令記憶體。且擁有 8+5 個一般支援輸入/輸出接頭、二組通用非同步傳送接收模組、二組計時器及一組看門狗模組。最高可操作在 40Mhz 之時脈，而一般應用於 1Mhz 之時脈，此時耗電流為 1.12mA。

Abstract

A integral chip include a 8 bits RSIC μ Controller and a 10 bits successive approximation Analog to Digital Converter in TSMC standard CMOS 0.35-um technology is presented in this project.

The build in Analog to Digital Converter is a Successive Approximation type ADC. By using power switch and gating clock techniques, the ADC achieves ultra low power dissipation.

Operating in nyquist rate frequency, this ENOB is measured more than 9 bits. Power dissipation is less than 2.5uW at 1KSPS mode.

The width of the μ Controller's data bus, instruction bus is 8 bits, 14 bits. There are a 256 words data memory ,a 2k words program memory, 8+5 general purpose input/output ports, 2 Universal Asynchronous Receiver and Transmitter modules , 2 Timers and a watch dog module in the μ Controller. The maximum clock rate of the μ Controller is 40 MHz ,and the applied rate is 1MHz, the current consumption is 1.21 mA on this rate.

計畫緣由與目的簡述

近年來隨著無線通訊技術的發展，及半導體製程技術的進步，許多的系統與應用相繼出現，例如：ZebraNet 就是一種利用無線監測系統來觀測野生動物移動與居住行為，如此一來我們便能夠輕鬆地偵測到動物們所處的位置與其群體習性，這些感測器的生命週期都必須很長，用以長時間記錄資料，且並非隨時需預量測資訊；無線網路的發展目前除了往高頻段走外，在低頻段的應用則朝向能建置區域性傳輸的感測網路，加州柏克萊所領的團隊正在開發一種以聰明塵粒 (Smart Dust) 所組成的智慧感測網路，用以觀測生態及氣候。另外，若將其使用於生醫技術上，醫生可以藉由裝置於病患身上微小的晶片與醫生們的電腦或是 PDA 做溝通，透過此項技術，隨時隨地得以偵測病患們的生理狀況，諸如：血壓、心跳、心電圖、血氧量、CRP... 等，如此便能夠大大地增加病人們的安全。而要達成無所不在的感測網路 (Ubiquitous Sensor Network)，需要由中央微控制器 (μ Controller) 及超低功率之類比數位轉換器 (ADC) 來實現。

研究方法與過程簡述

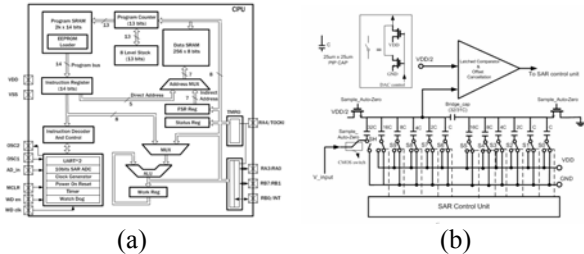
1. μ Controller

此設計採用 RISC 架構，初期為簡化韌體的開發，此 uC 的指令集參考由 Microchip 公司出品的 PIC16 系列 CPU，使其合成器 (Compiler) 能使用現有之程式實現，可稱此設計為一 PIC like 之微控制器，由於篇幅所限，此 uC 特點之詳述，可參閱子計畫報告，其架構如圖一(a)。而韌體的編寫，因為此 CPU 的指令集相容於 PIC16 系列，因此可以使用繼有的編譯器(如：MPLAB IDE、CCS、SDCC)，進行程式的編譯，再將編譯產生的 HEX 檔燒錄至 CPU 的 ROM 中，完成 CPU 的操作控制工作。

2. SAR Analog to Digital Converter

連續逼近式類比數位轉換器 (SAR-ADC) 由比較器，取樣保持電路、數位類比轉換器及數位控制單元所組成。其架構如圖一(b)所示。此類比數位轉換器原理為利用電荷重新分配式(charge redistribution)的連續

逼近法。以二元權重(Binary weighted)的電容陣列做為數位類比轉換器。同時電容陣列也用來實現取樣及保持(sample-and-hold)的功能，以減少功率消耗。比較器比較數位類比轉換器輸出而數位控制單元根據比較器的輸出結果切換電容陣列開關，以產生不同的比較電壓。比較器是SAR-ADC中的核心方塊，其正確性決定整個系統的特性。

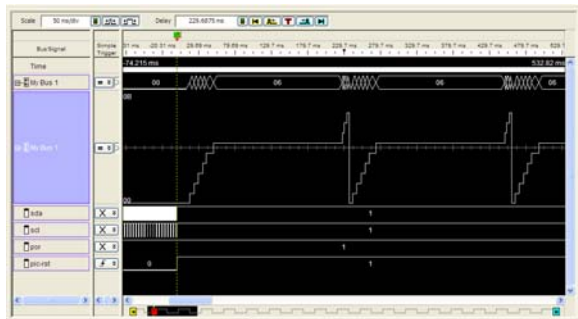


圖一 (a) μ Controller 內部結構圖、(b) SAR ADC 架構圖

實驗結果與討論

1. μ Controller

測試方式使用 Microchip 之免費 compiler MPLAB IDE 編輯組語，設計十種測試迴圈來涵蓋所有的 function，再由 Logic Analyzer 來分析結果。圖二為測試結果，十個測試迴圈皆回應功能正確之訊號。



圖二 μ Controller 之測試結果

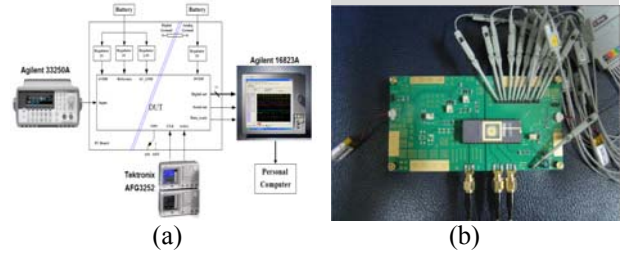
2. SAR Analog to Digital Converter

圖三為 SAR ADC 量測配置簡圖及量測 PCB，在 PCB 的設計上，除了數位電源和類比電源使用獨立電池，經 regulator 和旁路電容做穩壓外，數位地和類比地也分開，僅以一大電感做單點連接。訊號源方面，我們使用 Agilent 33250 A 和 Tekronix AFG3525 產生輸入訊號，以 Agilent 16823A 抓出後，送至個人電腦，以 Matlab 計算動態及靜態規格，參數量測結果總結於表一。

3. Integer

使用 TSMC 2P4M 0.35um CMOS 製程將 μ Controller 及 SAR ADC 進行整合，整合後整體的面積為 2.610x2.504 mm²。整合後使

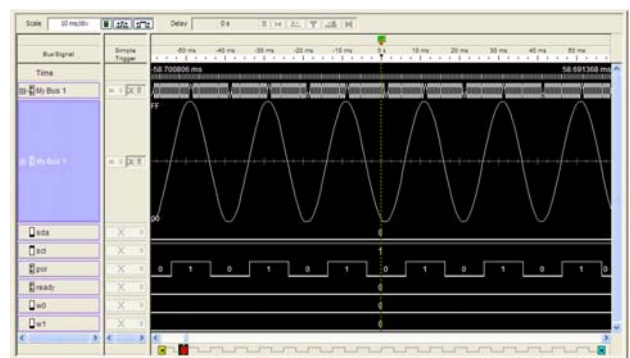
用組合語言使 μ Controller 控制 SAR ADC 之動作，轉換類比訊號 sin 波，再利用電腦將數位訊號轉換為數值，回復 sin 的波形，如圖四。



圖三 (a) SAR ADC 量測配置簡圖、(b) 量測 PCB

表一 漸近逼近式類比數位轉換器效能表

Resolution	10bit
Conversion rate	100KSPS
Supply voltage	3V
Input Voltage Range	Rail to Rail
DNL (LSB)	+0.6215/-0.738
INL (LSB)	+0.6015/-0.584
ENOB	9.4022 bit @ 0.572KHz 9.1723 bit @ Nyquist rate (49.62526KHz)
Chip Area (PAD included)	928um x 960um
Power Consumption	189uW@100KSPS 20uW@10KSPS 2.1uW@1KSPS



圖四 整合測試結果(sin 波型圖)

計畫成果自評

我們成功地使用 TSMC 0.35um CMOS 製程完成一系統單晶片，包含了可程式化之 μ Controller 及超低功率消耗之 10 bits SAR ADC， μ C 操作在 1MHz 之時脈時，整體功率消耗小於 3.7mW，SAR ADC 之有效位元數大於 9.1 位元。此晶片可在未來結合其它子計畫之感測器，實現超微型超低功耗感測點設計。

子計畫二：應用於無線生醫感測網路晶片系統之低雜訊放大器及壓控振盪器 (I)

中文摘要

本子計畫為三年期計畫(94/8 ~ 97/7)，目標為實現無線生醫感測網路晶片系統中，所需之低雜訊放大器(LNA)、壓控振盪器(VCO)及相關電路方塊。本(第二)年度之目標為實現無線生醫感測網路晶片系統中，所需之低雜訊放大器。研究重點為提出增益 (power gain)、雜訊指數 (noise figure) 及功率表現 (P_{1dB} 及 IIP3 等) 等可同時兼顧之 LNA 設計方法。以及於 LNA chips 進行 CMOS 製程相容之 ICP 後製程使其表現最佳化。

於本子計畫，我們提出並驗證了 "局部圖案接地遮蔽 (PPGS)" 這個概念可以應用於改善射頻被動元件 (例如傳輸線、電感器與變壓器) 之表現。此外，我們以 TSMC 0.18 μm CMOS 技術設計了一個增益 $S_{21} > 10 \text{ dB}$ 之 32-GHz LNA，此為當時已發表之 0.18 μm CMOS LNA 之最佳結果，此 LNA 的另外二大特色為低功率損耗與小晶片面積。

Abstract

This is a three-year subproject (2005/8 ~ 2008/7). The main purpose of this sub-project is to implement the needed low-noise amplifiers (LNAs), voltage controlled oscillators (VCOs), and related circuit blocks for wireless biomedical sensor network (WBSN) systems on a chip (SOC). The goal of this year (the second year) is the implementation of the needed LNAs for WBSN SOC. The research will focus on proposing a design method of LNAs, which can achieve simultaneous optimization of power gain, noise figure (NF), and power performance (P_{1dB} , IIP3, etc.). The CMOS-compatible backside inductively-coupled-plasma (ICP) deep trench technique, which selectively remove the silicon underneath the passive devices of the LNAs, is used to improve the performances of LNAs.

Noteworthy, in this sub-project, we propose the concept of "partial pattern-ground-shield (PPGS)" to improve the performances of RF passive devices, such as transmission lines, inductors, and transformers. Besides, a low-power-consumption (26.93 mW) 32-GHz

(Ka-band) LNA using standard 0.18 μm CMOS technology is reported. The operation frequency of 32 GHz in this work is believed to be the highest one ever reported for LNAs with S_{21} over 10 dB implemented in a standard 0.18 μm CMOS technology.

計畫緣由與目的簡述

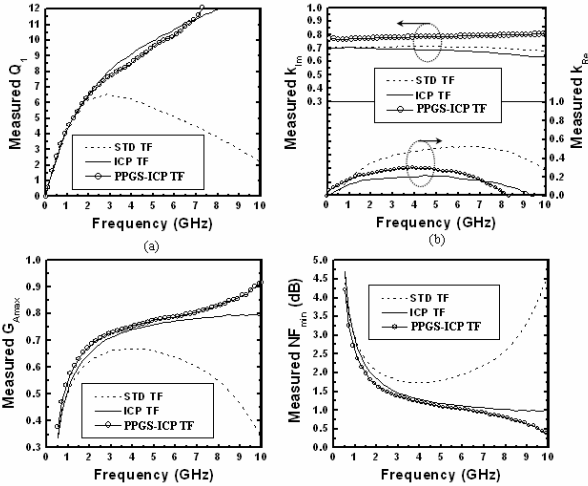
目前 TSMC 等晶圓代工廠提供之 MOS RF 大訊號模型，通常為 BSIM3v3 模型加上不可忽視之射頻寄生元件而成。此模型不足之處為未包含基板網路，不夠精準。此外，雖然製作於矽基板之上的螺旋狀電感器其 Q-factor 相對較低，但是此種電感器可於最小的電壓降之內提供增益以及作為振盪器之共振腔，所以其於 RFIC 中應用相當廣。因此，研究一些有助於改善射頻被動元件表現之技術 (如元件佈局之最佳化(例如 PPGS)及 ICP (inductance coupling plasma) 等)，變得相當重要。本子計畫 (即子計畫二) 第二年度旨在研究及實現無線生醫感測網路晶片系統 (Wireless Biomedical Sensor Network System on a Chip) 中，所需之 LNA、VCO 及相關電路方塊。為了有效解決其中相關問題，於本子計畫第一年度 (亦即上一年度)，我們建立了精準的模擬及去除寄生元件 (precise parasitics de-embedding) 之方法、以及完整精準之 TSMC 0.18 μm CMOS 製程之 RF 模型 (包括 MOSFETs、變壓器、電感器及變容器等) 供本子計畫及其它子計畫設計電路用。於今(第二)年度及下一(第三)年度，將實現無線生醫感測網路晶片系統中，所需之各種規格之低雜訊放大器及壓控振盪器，目標為實現相關電路方塊。

實驗結果與討論

1. A High-Performance Micromachined RF Monolithic Transformer with PPGS

圖五為比較未經過任何後製程之標準變壓器 (STD TF)、經過 ICP 製程蝕刻之變壓器 (ICP TF) 與使用局部圖案接地遮蔽並經過 ICP 製程之變壓器下 (PPGS-ICP TF)，相關量測特性對頻率響應圖。由結果顯示，相較標準變壓器，使用局部圖案接地遮蔽並經過 ICP 製程之改良變壓器在 Q-factors (Q_1 和 Q_2)，magnetic-coupling factor, and G_{Amax} (或 NF_{min}) 等特性都提供更佳的改善。除此外，相

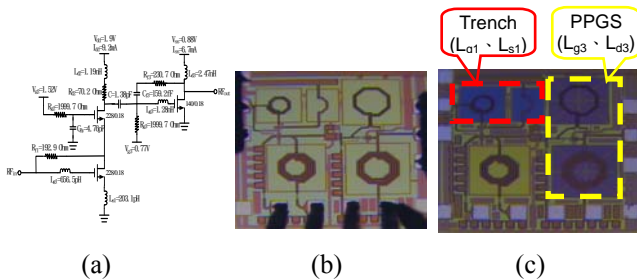
較經過 ICP 製程的變壓器，使用局部圖案接地遮蔽並經過 ICP 製程之改良變壓器有一個相似的 Q-factors，並擁有一個更佳 magnetic-coupling factor, and G_{Amax} (或 NF_{min}) 特性。以上結果顯示對於 RF-IC 應用上效能的改善，應局部圖案接地遮蔽和使用 ICP 背向乾蝕刻製程，都能作為一個有效的方法。



圖五 比較 STD TF, ICP TF, and PPGS-ICP TF 對於量測 (a) Q_1 , (b) k_{Im} and k_{Re} , (c) G_{Amax} , and (d) NF_{min} 特性之頻率響應圖

2. A High-Performance 3.1-10.6 GHz CMOS UWB LNA with trench and PPGS

設計的 CMOS UWB 低雜訊放大器，為兩級放大器，其架構圖如圖六(a)使用了 1.9V 偏壓，提供電流為 9.2mA，第二級使用 0.88V 偏壓，提供電流為 6.7mA，總功率消耗為 23.4mW。其下線所得晶片拍攝圖如圖六(b)所示，經過 ICP 和 PPGS 處理後如圖五(c)。其量測結果並與其他文獻比較，列表如表二所示。



圖六 (a) [左圖] 3.1-10.6-GHz CMOS UWB LNA 之完整架構圖、(b) [中間] 3.1-10.6-GHz CMOS UWB LNA (with standard inductors) 晶片拍攝圖、(c) [右圖] 3.1-10.6-GHz CMOS UWB LNA (with trench under inductors L_{g1} and L_{s1} , and with PPGS under inductors L_{g3} and L_{d3}) 晶片拍攝圖

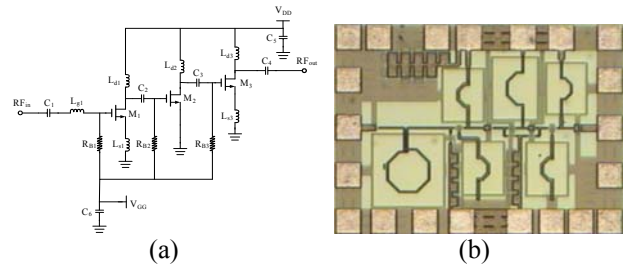
3. A Ka-Band Low-Noise Amplifier Using Standard 0.18 μ m CMOS Technology

圖七顯示 32-GHz CMOS LNA 之架構圖與晶片拍攝圖，包含 PAD 晶片大小僅有

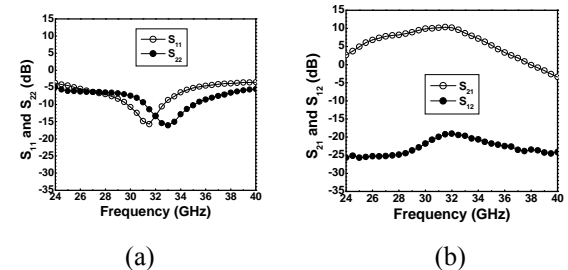
740 μ m \times 500 μ m，量測結果 S 參數頻率響應圖如圖八所示，在 32GHz 頻段， S_{11} 為 -13.3 dB; S_{22} 為 -13.4 dB; S_{21} 為 10.2 dB; S_{12} 為 -19.1 dB。

表二 A summary of the implemented 0.18 μ m 3.1-10.6-GHz CMOS UWB LNAs, and the recently reported state-of-the-art 0.18 μ m CMOS UWB LNAs

	This Work (with PPGS)	This Work (without PPGS)	[10]	[11]	[12]	[13]
Frequency Band (GHz)	3.1~10.6	3.1~10.6	3.1~10.6	3.8~10.6	3.1~10.6	3.1~10.6
S_{21} (dB)	10.5~11.8	11~11.8	9.7(peak)	12.1~11.3	6.3~9.3	15.9~17.5
S_{12} (dB)	<-39.2	<-40	NA	NA	NA	<-70
3-dB BW of S_{21} (GHz)	2~12	1.3~12.1	1.2~11.9	3.8~10.6	2.3~9.2	3.1~10.6
NF (dB)	5.1~3.14	5.17~4.17	4.5~5.1	5.8~6.7	4~5.2	3.1~5.7
PI(dB)	NA	-7.86	-16	-15	-15	NA
IIP3	NA	0.72	-6.2	NA	-6.7	NA
Max. Group Delay Variation (ps)	± 19.4	± 19	NA	NA	± 40	± 48
Chip Area (mm ²)	0.7	0.7	0.59	1.43	1.1	0.5
Maximum VDD (V)	1.9	1.9	1.8	1.8	1.8	1.8
Power consumption (mW)	23.4	22.7	20	33.66	9	33.2



圖七 (a) 32-GHz CMOS LNA 完整架構圖、(b) 32-GHz CMOS LNA 晶片拍攝圖



圖八 量測 32-GHz CMOS LNA (a) S_{11} and S_{22} , and (b) S_{21} and S_{12} vs. 頻率響應圖

計畫成果自評

本年度，我們從理論及實驗 (量測 S-參數、雜訊參數及功率參數等) 兩方面深入地研究探討無線生醫感測網路晶片系統及其它通訊系統中所需各種 LNA。結果發現，於單晶電感器下方佈局 trench 結構，可以有效地降低電感器之 NF，即此種電感器極適合應用於 LNA 之輸入級。此外，所提出之 "局部圖案接地遮蔽 (PPGS)" 可以有效地提升射頻被動元件 (例如電感器與變壓器) 之表現。結果顯示，若 LNA 之輸入級電感加 trench 結構，且輸出級電感加 PPGS 結構，其 NF 於 4~11 GHz 之間可以有 1.84~0.91 dB 的改善。再者，本年度之研究內容涵蓋原計畫內

容 (亦即完全相符)，且達成預期之二篇國際期刊論文目標。本年度之成果不僅有學術價值亦可供業界開發下一代 SOC 技術之參考。

子計畫三：微機電可調射頻省電功率放大器、高頻可變電感、智慧型天線之晶片化及封裝

中文摘要

本計畫為 2.4GHz 無線生醫感測網路晶片系統的子計畫之一，旨在提出一種利用標準 tsmc 0.35um CMOS 之 2P4M 或 0.18um CMOS 製程配合微機電(MEMS)的幾項後製程方法，延續過去幾年所完成一系列的可變 RF 被動元件，例如大變化率的可變電容，進一步整合新式雙投微型開關的設計使功率放大器的所需的被動元件可因應功率需求與阻抗匹配，自動調整。由於通訊系統所需的天線通常佔有較大面積，以提高增益，使傳輸距離更遠，整合計劃的目的在於短距離、低功率、微形化、可隨意安裝，因此朝向小型化天線，且具備可調整幅射場形方向功能為目標。另外由於整合計劃終極目標為所有主動元件、被動元件與感測器皆於 tsmc 0.35um CMOS 之 2P4M 製程完成，因此功率放大器所需的電晶體模型必須精準，過去國內僅有 1P4M 的模型，所以本計劃也須完成新的模型建立。

計畫緣由與目的簡述

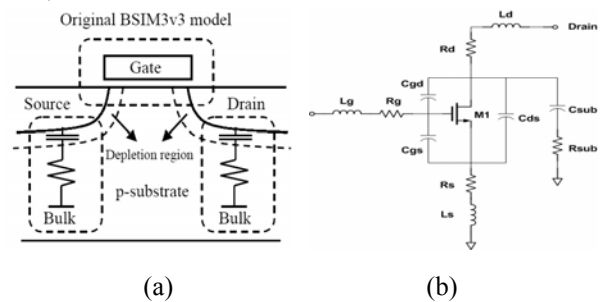
無線通訊技術與網際網路的革命性發展，伴隨著日新月異的半導體製造技術，使得系統單晶 (System on a Chip, SOC) 化的概念得以實現，啟發了新的應用範疇，使無線聯網的概念延伸至傳統電腦應用之外，而轉向消費性使用。本計劃之目的在於發展一具有省電特性，整合生物感應器 (Biosensor) 與嵌入式系統 (Embedded System)，提供生理參數無線監控功能之系統晶片，目的在於將生理資訊經由無線傳輸的方式，整合至網際網路平台，並發展省電型網路傳輸 (Low Energy Network Protocol) 協定，再利用嵌入式系統使其感測元 (Sensor Node) 能夠自動建構其網路拓撲 (Network Topology)。本研究計畫之目標是驗證單晶片無線微機電系統 (single-chip wireless microsystems) 技術，運用

CMOS 及 MEMS 作為共同之技術平台，將無線傳輸與微機電系統整合在同一片晶片上。

研究方法與過程簡述

1.1 高頻電晶體大訊號模型

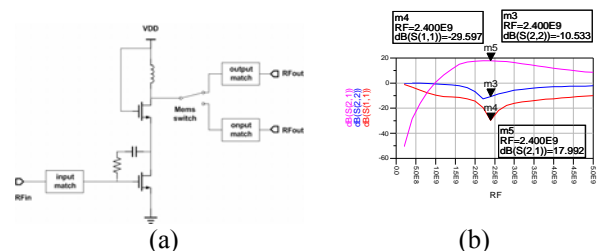
在探討 0.35um NMOS 元件之前，要先了解測試元件的佈局，才能準確並有效率地建立起其模型，以便於往後的研究。這組元件主要是由單根閘極長度為 5um，且並聯不同閘極根數，由 10 根至 40 根做變化，也就是總閘極寬度，變化範圍為 50um 至 200um，故下線時將藉此組測試元件，建立能隨閘極寬度變化的射頻大訊號模型。使用的模型如圖九所示。



圖九 (a)NMOS 高頻寄生元件之示意、(b)NMOS 之等效電路模型

1.2 功率放大器的多頻設計

因為功率放大器輸出端最佳阻抗點會隨頻率而改變，因此為了在不同頻帶操作必須有不一樣的輸出匹配，我們提出在輸出端以 mems 的 TR Switch 做匹配網路的切換，如下圖十(a)所示，以期可以達到多個頻帶都有最好的效率與功率。目前國家晶片中心以可以提供 tsmc 0.18um 的 MEMS 製程，也因此為了往後設計多頻的應用需要，我們設計了一高效率的兩級的 classAB 的功率放大器，其輸出功率為 8dBm、PAE 可達到 30%，此一功率放大器已於今年 5/28 在 CIC 申請 T18/96D 的下線。以下為此功率放大器的模擬結果。圖十(b)所示



圖十 (a)整合微機電開關的多頻功率放大器設計、(b)大訊號 S 參數模擬結果

2. 高頻微機電傳送-接收開關

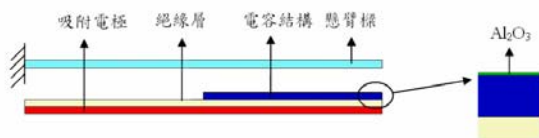
本研究所提出的傳送接收開關主要是利用一懸臂支撐結構當作變形結構，使用 tsmc 0.35um CMOS 之 2P4M 製程，M4 為 Transmission，M3、Via2 為懸臂結構、M1 為 Receive 接觸端、下電極。一開始懸臂樑會翹曲便會頂住上方金屬層，形成「常閉型」即為通路 ON (Transmission)，吸附電極在下方，在懸臂樑及下電極通予電壓將其懸臂樑脫離上方金屬層，即為斷路 OFF，而觸碰到下方金屬層 M1(Receive)，藉由此一設計來作為 TR switch 的切換模式，並可降低驅動電壓，且控制在 3V 左右。

3. 晶片整合式智天線

天線設計採用碎形(fractal)的設計方式，主要原因在天線的增益與尺寸方面，在使用碎形之後都有所提升，綜合時下碎形天線之相關研究，大致上可以歸納出碎形天線具有以下三個特性：1.碎形天線的響應頻率與天線尺寸無關。2.多重頻帶 (multi-band) 與寬頻帶 (broadband)。3.高的輻射效率。綜合以上碎形天線的特性，非常符合無線生理感測網路系統在天線上微小化、高指向性、高增益、大頻寬等需求。

4. 微機電式高變化率可變電容

本設計是利用兩層金屬當做電容，其中將電容結構的金屬層利用陽極氧化(Anodic Oxidation)方式將鋁金屬氧化，使其表面生成約 10nm~30nm 厚的 Al_2O_3 當作可變電容之介電層，如圖十一所示，並利用靜電力驅動懸臂樑使其變形，當懸臂量結構接觸到電容結構時，此時接觸端的介電質由空氣變成 Al_2O_3 (Dielectric Constant 由 1 提升到 8 左右)，並經由增加電極的電壓提高靜電力，使懸臂樑持續增加與電容結構的接觸面積，因接觸的厚度只有 10nm~30nm，且 Al_2O_3 的 Dielectric Constant 約為 8，經由這樣的結構設計下可得到極大的電容值變化率。



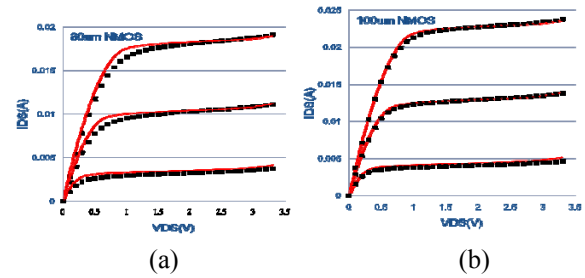
圖十一 可變電容結構示意圖

實驗結果與討論

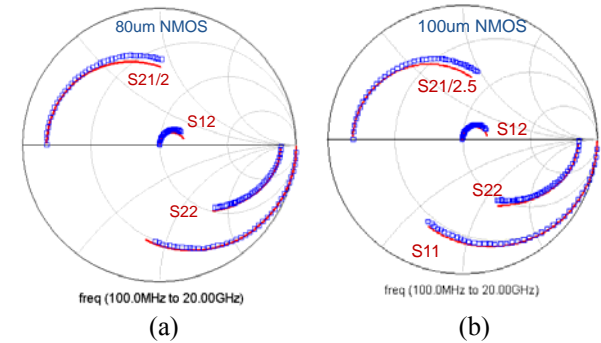
1. 高頻電晶體大訊號模型之建立

此電晶體的 testkey 是採用 TSMC 0.35

(2P4M) 的製程，DC 的 fitting 結果如圖十二所示，S parameter 的 fitting 結果如圖十三所示。



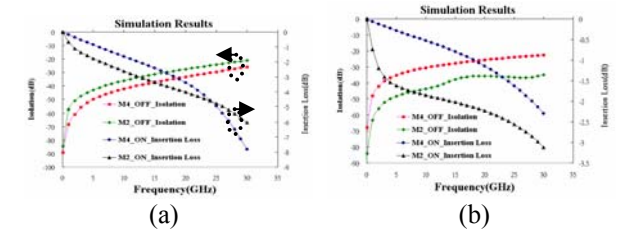
圖十二 (a) NMOS W=80um 的 IV curve fitting 結果、(b) NMOS W=100um 的 IV curve fitting 結果 (紅色線條為模擬結果，黑色點為量測)



圖十三 (a) NMOS W=80um Vg=1.8V Vd=3.3V S 參數 fitting 結果、(b) NMOS W=100um Vg=1.8V Vd=3.3V S 參數 fitting 結果 (紅色線條為模擬結果，藍色點為量測結果)

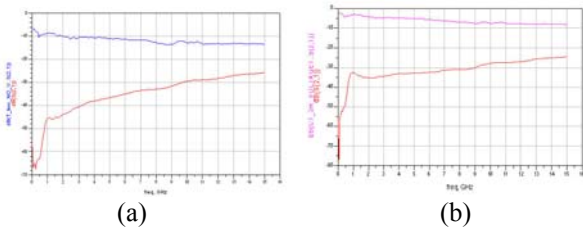
2. 傳送-接收開關模擬與後製程結果

利用 HFSS 高頻電磁模擬軟體對微型開關的 3D 幾何模型以進行高頻特性模擬分為兩種型式，對其電性模擬結果如圖十四所示。



圖十四 高頻電磁模擬微型開關特性：(a) 電路 3D 幾何模型模擬結果、(b) CPW 型式 3D 幾何模型模擬結果

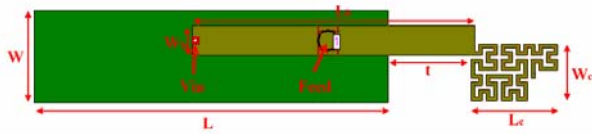
利用網路分析儀量測電路 3D 幾何模型開關的 Isolation 與 Insertion loss 如圖十五所示，因後製程完成後，發現懸臂樑已向上翹曲頂住 M4，所以 M4 是有接觸的，而量出的結果，在 2.4GHz，當 M4 接觸時 Insertion loss 為 -10dB，M1 的 Isolation 為 -35dB，當給予 DC 後，導致懸臂樑與 M1 接觸，得到 M1 的 Insertion loss 為 -5dB，M4 的 Isolation 為 -45dB。驅動電壓為 8V。而 CPW 型式的晶片下線，還未收到。



圖十五 (a)Transmission(M4)、(b) Receive(M1)

3. 碎形天線之模擬結果與量測

本研究所設計一小型化 Hilber IFA 天線有以下優點：1.在包含接地面的情況下，總尺寸只有 $35 \times 6 \text{mm}^2$ ，達到小型化之目的。2.有效增加頻寬，使操作頻段能有效控制在 $2.4 \sim 2.485 \text{GHz}$ 之範圍。3.天線增益約 1dBi 。如圖十六，其尺寸如表三。

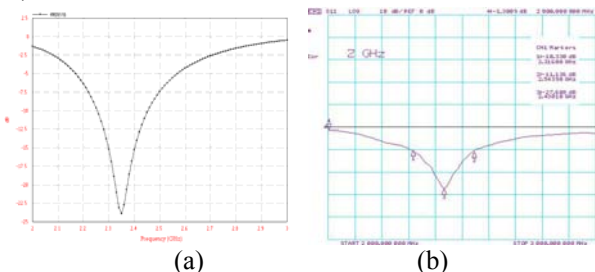


圖十六 計畫之碎形天線示意圖

表三 Hilber IFA 天線尺寸

L	W	L _b	W _b	L _c	W _c	t	Via	Feed
23.5	6	17.75	1.4	5.75	3.75	5.75	R=0.2	R=0.65

圖十七(a)為此天線之模擬結果，可看出其操作頻段為 $2.28 \sim 2.45 \text{GHz}$ ，比操作頻段略低，但依據天線至作的經驗法則，天線在完成時，中心頻率都會略高於模擬結果，因此選用此形狀之天線。圖十七(b)為此天線量測之結果，中心頻率在 2.43GHz ， S_{11} 為 -27.6dB ， -10dB 頻寬範圍為 $2.32 \sim 2.54 \text{GHz}$ ，頻寬 220MHz ，頻寬百分比約為 9.1% ，由此可觀察出碎形天線的架構可有效提高天線的操作頻寬。而在天線的場形方面，其模擬結果顯示，其天線增益約 1.02dBi ，為全向性天線。

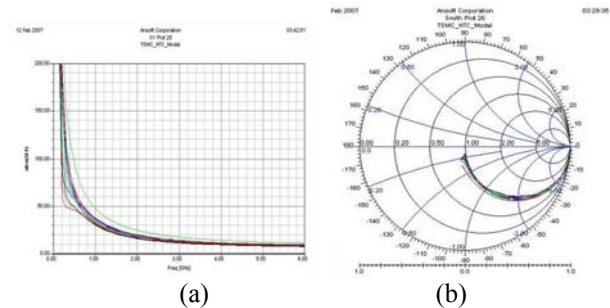


圖十七 (a)計畫之碎形天線 S_{11} 之模擬結果、(b)計畫之天線量測結果

4. 可變電容元件性能模擬及結果

本元件利用 CoventorWare 模擬可變電容的 C-V 曲線，並改變型式來觀察對電容特性的影響，並觀察應力的最大分佈，高頻參數

部份則利用 HFSS 做 Q 值及 S_{11} Smith Chart 特性的模擬圖十八(a)、(b)分別為可變電容在不同電容值的 Q 值及 S_{11} Smith Chart 特性，其中 Q 值在 1GHz 為 $31.5 \sim 47$ 、 2.4GHz 為 $13.8 \sim 21$ 。不同電容值下 S_{11} Smith Chart 特性在 $100 \text{MHz} \sim 12 \text{GHz}$ 則完全為電容性。



圖十八 利用 HFSS 做高頻參數的模擬：
(a)不同電容值下 Q 值曲線圖、(b)不同電容值下 S_{11} Smith Chart 特性圖

子計畫四：無線生醫感測晶片之角速度感測系統(II)

中文摘要

本研究計畫將製作無線生醫感測晶片的感測系統。為了充分發揮無線感測晶片之小體積、低成本、近距離訊號傳輸、及低功耗之優勢，本計畫將發展微機電感測器中最具市場潛力的微型陀螺儀。本計畫將發展創新之 CMOS-MEMS 製程技術，利用深活性離子蝕刻技術製作高深寬比的微型陀螺儀，並與電子電路整合於同一晶片中；因應 CMOS 製程中產生的殘餘應力，本計畫將進行應變補償設計使微結構平坦化。利用 CMOS 金屬層與連接層的組合，本計畫將設計與分析適合各軸陀螺儀的驅動與感測電極，以降低驅動電壓與減少寄生電容。

Abstract

In this project, a rate sensing system which consists of a z-axis and two lateral-axis micromachining gyroscopes will be fabricated. This sensing system will be integrated into fully functioned chips as sensing nodes in wireless biomedical sensor networks. These sensing nodes will have the advantages of small dimensions, low cost and low energy consumption and are capable of short-distance signal communication. This project will

develop an innovated CMOS-MEMS process to fabricate gyroscopes. Deep reactive ion etching (DRIE) will be adopted in the post-CMOS process to increase the aspect ratio of the microstructures. In addition, residual strain will be compensated by the proper design of metal layers and interconnects. Different combinations of metal layers and interconnects will also provide possible designs for sensing and actuation electrodes to reduce driving voltage and parasitic capacitance, respectively.

計畫緣由與目的簡述

近年來隨著微機電系統 (Micro-Electro-Mechanical System, MEMS) 技術的興起，利用電子、機械、化學、生物、醫學與材料等多種科技技術，不僅將傳統之感測器、致動器等研製整合成微米尺度，同時也賦予其一股截然不同的新生命力。

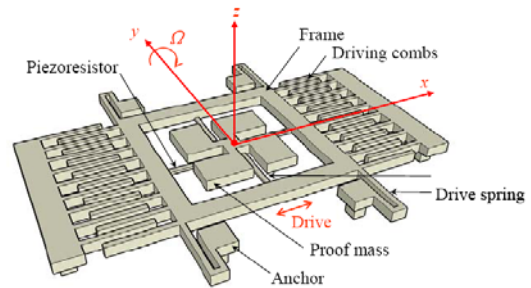
利用微機電系統技術製作的微型陀螺儀尺寸小於 0.5mm^3 ，具有高效能、低驅動能量以及低成本等優點。由於微機電系統技術承接了積體電路 (VLSI) 中單塊 (monolithic) 製程的特性，z 軸微型陀螺儀的製作較側軸微型陀螺儀簡單；主要原因是 z 軸微型陀螺儀的驅動組與感測組同處於平行晶片表面的平面上，相對的，側軸微型陀螺儀的感測組一般需置於垂直晶片表面的方向。

研究方法與過程簡述

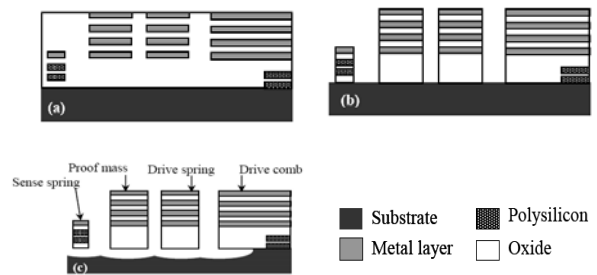
本研究之壓阻式陀螺儀利用單一框架 (single-gimbaled configuration) 作為驅動與感測模態間的解耦設計，圖十九中框架外的四根彈簧用來限制其驅動模態之自由度使得框架只能沿 x 軸做單方向驅動。而框架內另外一組彈簧則限制質塊 (proof mass) 只能做 z 軸方向的移動。當一外加角速度作用於 y 軸方向時，質量塊由於柯氏力 (Coriolis force) 的影響會在 z 軸產生振盪，我們就藉由在框架內的壓阻彈簧來感測其柯氏力作用。在本設計中框架及質量塊是由梳狀型 (comb drives) 電極驅動於共振頻率。在殘餘應力不可忽略的考量下，將由彈簧內部的壓阻效應來感測使框架內彈簧產生振動的柯氏力。

利用 CMOS-MEMS 後製程完成元件，四根感測彈簧裡的第一層金屬層將被當作蝕刻擋罩 (etching mask)，由此允許其作 z 軸方向的運動。在微結構的其他部分，第四層金屬

層才會被用來作為蝕刻擋罩，製程圖如二圖十。下線取得之 CMOS 晶片將先使用反應離子蝕刻 (RIE) 來去除二氧化矽 (圖二十之 (a)、(b))，接著使用 XeF_2 作非等向性蝕刻底層矽來釋放微結構 (圖二十之 (c))，由於 XeF_2 擁有矽對金屬及對二氧化矽之高選擇比，因此對執行結構底切是很好的蝕刻氣體。而第一層多晶矽與矽基板間之二氧化矽只有 290nm 厚， XeF_2 在蝕刻時可能會擴散到其間影響到第一層多晶矽，因此第二層多晶矽是作為壓阻感測較好之選擇。



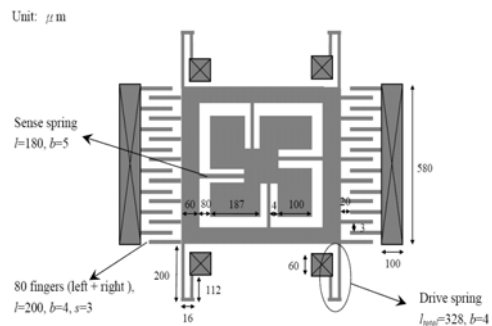
圖十九 壓阻式陀螺儀示意圖



圖二十 後製程示意圖

實驗結果與討論

由前述之設計架構，本研究之壓阻式陀螺儀各主要規格預定如圖二十一，設計參數列表如表四。



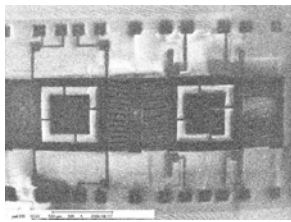
圖二十一 壓阻式陀螺儀各部規格

下線晶片後製程處理已如前所述，製程詳細步驟如下：圖二十二為蝕刻前電子顯微鏡照片，試片使用台大奈米機電中心的反應性離子蝕刻機，先去除 CMOS-MEMS 晶片表

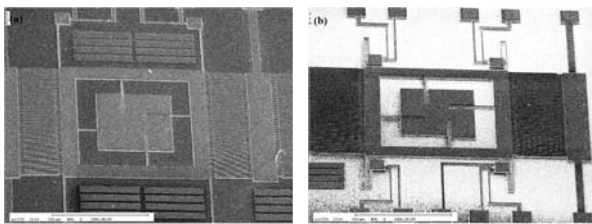
面的氮化矽/二氧化矽保護層，再繼續作非等向性蝕刻；在蝕刻過程中，並以第四層金屬為擋罩定義出我們所設計的陀螺儀圖形，如圖二十三所示，XeF₂之等向性蝕刻將結構懸浮尚未完成。

表一、微陀螺儀之設計參數

	Driving mode	Sensing mode
Resonant frequency ω (Hz)	36k	36k
Mass (μg)	1.1709	2.7945
Spring constant (N/m)	3.6217	1.5174
Spring length (μm)	328	180
Spring width (μm)	4	5
Spring thickness (μm)	7.08	1.8750
Transverse stiffness ratio	0.3192	0.1406
Longitudinal stiffness ratio	1.4872×10^{-4}	1.0851×10^{-4}

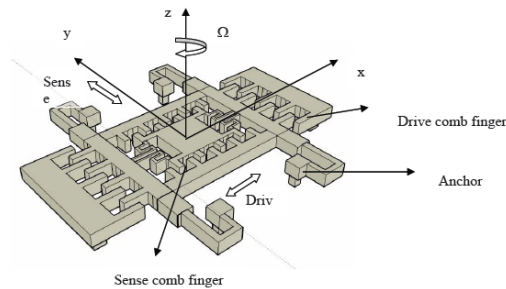


圖二十二 未清除保護層之結構照片



圖二十三 反應離子蝕刻後之結構照片

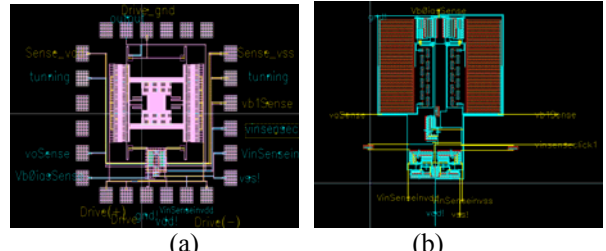
新式側向型電容式微陀螺儀正在設計階段，其感測方式與前述微陀螺儀不同，乃是利用結構中的梳狀電極來感測電容的變化，藉此得知輸入角速度大小，圖二十四為結構示意圖。



圖二十四 電容式微陀螺儀結構示意圖

本子計劃之微型陀螺儀以台積電提供之標準 CMOS 0.35 μm 2P4M(double poly quadri-metal, 2P4M) 製程配合 MEMS 微加工(post processes)的後續製程處理來製作，藉此找出第二年 CMOS-MEMS 後製程的重要參數。並在第二年將設計訊號讀取電路，發展 CMOS-MEMS 製程技術將微型陀螺儀與電

子電路整合於系統單晶。新式側向型電容式微陀螺儀之設計大致完成，後方感測電路與結構佈局亦進行繪製與修正，待所有前置作業準備就緒亦將下線以台積電製程代工製作，圖二十五為結構與電路佈局圖。



圖二十五 (a)結構佈局圖、(b)電路佈局圖

計畫成果自評

本子計畫已完成國家晶片系統設計中心(CIC)的下線作業，晶片業以取回，而後製程作業正在進行中，待晶片製作好後便可量測其效能；新式的側向型電容式微陀螺儀(已整合感測電路)也將下線製作，模擬結果之各項參數皆在預期設計範圍內，對於將來應用於帕金森氏症患者動態監測頗為合適，結合無線網路模組後，此生醫晶片系統更趨完整，對未來發展無線感測系統及醫學研究方面貢獻良多。

子計畫五：積體電路相容微機電開關與薄膜體聲波濾波器之研究

中文摘要

本研究為利用微機電(MEMS)技術，研製與積體電路製程相容之微機電開關(MEMS switch)與薄膜體聲波濾波器(FBA Filter)。主要目的乃期望將靜電式微機電開關與薄膜體聲波濾波器同時整合至單一晶片，以期為系統單晶化(system on a chip, SOC)提供一個切實可行的先期研究方案。今年的研究重點放在設計一與 CMOS 製程整合並達成一低驅動電壓，小面積且製程簡單之微機電開關以及 2.4GHz 頻段薄膜體聲波濾波器元件之設計與製作。

Abstract

This primary goal of this project is to study the design and fabrication of IC-compatible RF MEMS switch and FBAW filter (thin film bulk acoustic wave filter) by MEMS technology. The novel design of low actuation voltage

MEMS switch which is manufacturing by CMOS D352P4M is reported. The primary contribution of this switch is to reduce driving voltage by careful topology design without increase occupied area dramatically. Besides, FBAW filter (film bulk acoustic wave filter) is composed of several serial and parallel FBARs, and the major progress is in the design and fabrication of 2.4GHz band-pass FBAW filter.

計畫緣由與目的簡述

隨著無線傳輸技術的日益增進，射頻系統單晶片之技術發展是不可抵擋之潮流，將所有通訊元件整合到單一晶片上，除了可以減低不同元件之間的整合問題，也可以達到晶片微型化，相同大小晶片具備更多樣功能以及節省製程成本、增加效能等諸多優點。從文獻回顧與整理，不難發現運用微機電技術特有之微型化及與半導體製程相容等特性來取代現有的電子式主被動元件，以期達到系統單晶化的目的，已成為現今射頻前端系統(RF front-end)的發展主流。本計畫之目的，即寄望以較簡易之制程，在能以 CMOS 製程完成的前提之下，設計並製作出一低電壓驅動之射頻微機電開關元件。在高頻濾波器方面，具備與 CMOS 製程整合之潛力，在講求低成本、高效能、高頻應用與高整合性等需求下，薄膜體聲波濾波器比起其他元件增更具發展潛力，而在系統單晶片技術發展上，其為不可或缺之關鍵技術。

研究方法與過程簡述

1. 微機電開關

本計畫試圖設計一低電壓致動的射頻微機電微波開關。首先考量一般的梁結構在承受靜電力驅動時，為滿足靜力平衡條件，當結構變形量為 x 時之力平衡方程式可表示如下：

若 V 小於吸附電壓：

$$F_e = \frac{\epsilon_0 AV^2}{2(g_0 - x)^2}$$

$$F_{beam} = kx$$

所以梁所受總力為：

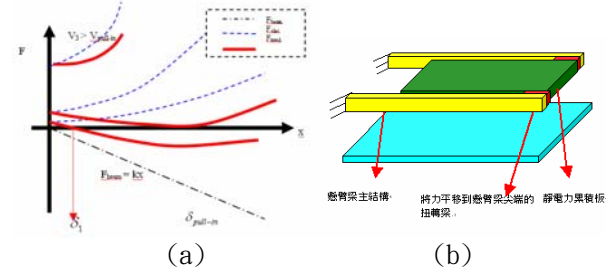
$$F_{net} = \frac{\epsilon_0 AV^2}{2(g_0 - x)^2} - kx = \frac{\epsilon_0 AV^2 - 2(g_0 - x)^2 kx}{2(g_0 - x)^2}$$

圖二十六(a)所示為梁所受靜電力、恢復力及總力對位移 x 之變化關係示意圖，由此圖可

知當 V 等於吸附電壓時，經過推導，可得

$$V_{pull-in} = \sqrt{\frac{8kg_0^3}{27\epsilon_0 A}}$$

以上分析可得傳統梁受靜電吸附時之吸附電壓及穩定裕度值。本設計基本架構如圖二十六(b)所示除懸臂梁主結構外尚有一個中心的平板可以累積靜電力，平板上的靜電力則透過兩邊的小扭轉梁平移到懸臂梁尖端。



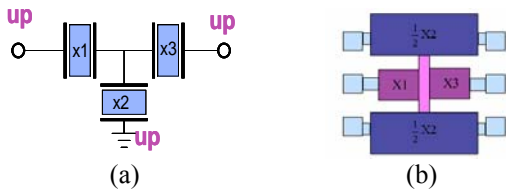
圖二十六 (a)梁所受靜電力、恢復力及總力對位移 x 之變化關係示意圖、(b)懸臂梁設計基本架構圖

2. 薄膜體聲波元件

為了解多層膜共振器的波傳特性，利用梅森等效電路模型去建立薄膜體聲波共振器模型。薄膜體聲波濾波器係由數個串聯與並聯的薄膜體聲波共振器組合而成，傳統上微波濾波器的設計方法有兩種，一種為鏡像參數法，一種為介入損耗函數法，此設計中使用介入損耗法中的 Butterworth function 來設計濾波器的結構。經由前述設計方法，吾人初步設計出符合設計需求的設計採三階(third-order)濾波器如圖二十七所示及五階(fifth-order)濾波器的設計，所設計之各個組成共振器單元之各層厚度與尺寸大小如下：

串聯共振器部分之各層厚度，下電極中鈦(Ti)厚度為10nm與鉑(Pt)厚度為100nm，成長層氮化矽(Si3N4)厚度100nm，壓電層氮化鋁厚度為900nm，上電極鉻(Cr)厚度為10nm與金(Au)厚度為80nm，元件面積大小分別為 $68\mu\text{m} \times 68\mu\text{m}$ 、 $103\mu\text{m} \times 103\mu\text{m}$ 、 $123\mu\text{m} \times 123\mu\text{m}$ 三種尺寸，所設計之共振頻率為2.437GHz，反共振頻率為2.487GHz。

並聯共振器部分之各層厚度，下電極中鈦(Ti)厚度為10nm與鉑(Pt)厚度為100nm，成長層氮化矽(Si3N4)厚度100nm，壓電層氮化鋁厚度為900nm，上電極鉻(Cr)厚度為10nm與金(Au)厚度為89.4nm，元件面積大小分別為 $218\mu\text{m} \times 218\mu\text{m}$ 、 $229\mu\text{m} \times 229\mu\text{m}$ ，所設計之共振頻率為2.388GHz，反共振頻率為2.437GHz。

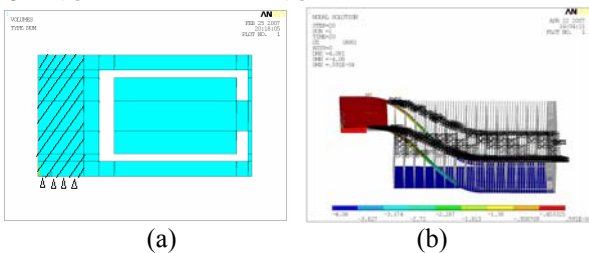


圖二十七 (a) Butterworth type 示意圖、(b) 3 階梯濾波器佈局示意圖

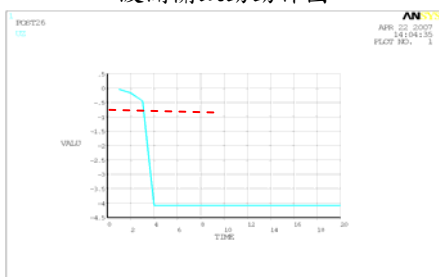
實驗結果與討論

1. 微機電開關

本實驗主要使用 ANSYS 多重物理量耦合模擬軟體進行微機電微波開關之特性模擬。本結構利用特殊的折疊設計，使結構能夠達到小面積、低驅動電壓、小穩定裕度的特色。基本設計如圖二十八(a)所示。其致動動作如圖二十八(b)所示。由圖中可發現，當開始施予偏壓時，兩側的懸臂梁會被中間的大平板拉動，而提前進入不穩定區，達到降低吸附電壓的效果。位移對施加電壓的關係如二十九所示，圖中所標示之紅虛線即為三分之一初始間距的位置，由圖中可看出此開關的尖端在變形量尚未達到該位置，即先行超過穩定裕度進入不穩定區。



圖二十八 (a) 懸臂梁基本設計圖、(b) 懸臂梁微機電微波開關致動動作圖



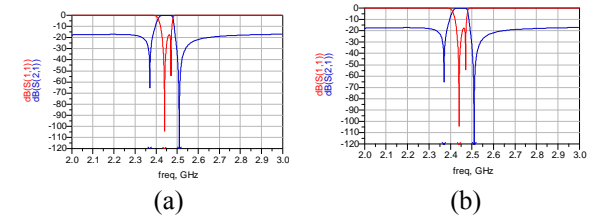
圖二十九 位移對施加偏壓關係圖

目前本微波開關已完成初始設計、細部尺寸設計、暫態分析。並將嘗試使用 CMOS D352P4M 製程予以完成。未來將使用 HFSS 3 維全波模擬軟體進行微波特性分析。並嘗試進行尺寸設計對驅動電壓之理論分析。

2. 薄膜體聲波元件

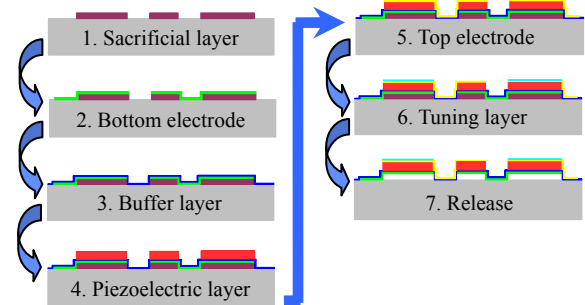
使用數值軟體建構模型並代入前述設計參數，可得設計模擬訊號表現，三階濾波器模擬結果如圖三十(a)、五階濾波器模擬結果

如圖三十(b)。

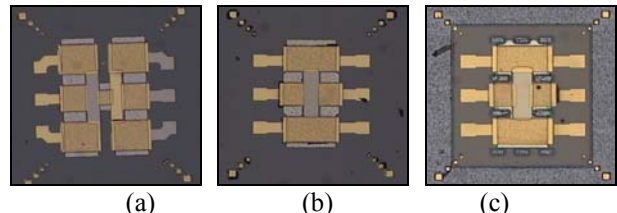


圖三十 訊號模擬 S 參數 vs. 頻率響應圖

本次所使用製程設計為面加工製程，其製程製作流程之設計如圖三十一所示。濾波器各層結構完成如圖三十二(a)、(b)所示，結構懸浮後之最後完成薄膜體聲撥濾波器如圖三十二(c)所示，下一步將初步量測結果。



圖三十一 製程架構圖



圖三十二 (a) 五階濾波器各層結構完成圖、(b) 三階濾波器各層結構完成圖、(c) 三階濾波器製作完成圖

計畫成果自評

目前根據計畫要求，本微波開關已完成初始設計、細部尺寸設計、暫態分析。目前以 metal4 做為上電極，metal1 做為下電極，由模擬結果，最低可將吸附電壓降低至約 8V。目前計畫嘗試使用 CMOS D352P4M 製程予以完成。光罩佈局已經完成。下線申請已在進行中。另外，高頻濾波器方面，完成 2.4GHz 頻段薄膜體聲波濾波器之材料與結構尺寸參數設計，包含三階薄膜體聲波濾波器與五階薄膜體聲波濾波器，其模擬結果符合計畫要求，並完成薄膜體聲波濾波器結構之製程設計與結構製作佈局光罩，並利用微機電製程開始製作，目前將繼續製作薄膜體聲波濾波器之研製，今年期末將對研製之薄膜體聲波濾波器作初步探討與訊號量測分析。