

行政院國家科學委員會專題研究計畫 成果報告

子計畫四：類比前端電路的內建自我測試技術

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-007-

執行期間：92 年 08 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：黃俊郎

計畫參與人員：陳邦釗 陳奕任 賴冠廷 林耕平

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 9 月 29 日

行政院國家科學委員會補助專題研究計畫成果報告

子計畫四：類比前端電路的內建自我測試技術

計畫類別：☐ 個別型計畫 ☒ 整合型計畫

計畫編號：NSC 92 - 2220 - E - 002 - 007 -

執行期間：92 年 8 月 1 日至 93 年 7 月 31 日

計畫主持人：黃俊郎

共同主持人：

本成果報告包括以下應繳交之附件：

- ☐ 赴國外出差或研習心得報告一份
- ☐ 赴大陸地區出差或研習心得報告一份
- ☒ 出席國際學術會議心得報告一份
- ☐ 國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電子工程學研究所

中 華 民 國 九 十 三 年 九 月 二 十 八 日

行政院國家科學委員會專題研究計畫成果報告

子計畫四：類比前端電路的內建自我測試技術

計畫編號：NSC 92-2220-E-002-007

執行期限：92 年 8 月 1 日至 93 年 7 月 31 日

主持人：黃俊郎 台灣大學電子工程學研究所

共同主持人：

計畫參與人員：陳邦釗 台灣大學電子工程學研究所

陳奕任 台灣大學電子工程學研究所

賴冠廷 台灣大學電機系

林耕平 台灣大學電子工程學研究所

一、中文摘要

本計劃的目標為發展單晶片無線收發機中頻率合成器及類比前端電路的自我測試技術以及相關電路。希望在不增加太多的晶片面積和影響系統性能的前提下，能有效地降低單晶片無線收發機的生產測試發展時間及生產測試費用。研究項目包括發展數位至類比與類比至數位轉換器與頻率合成器的自我測試技術、類比前端電路的迴路測試技術、系統迴路測試技術以及相關的電路設。

關鍵詞：可測試性設計、內建自我測試、單晶片無線收發機、類比前端電路、頻率合成器

Abstract

The objective of this sub-project is to develop self-testing techniques and supporting circuitry for the analog communication front-end circuits and the frequency synthesizer. Without sacrificing the system performance and inducing too much chip area overhead, this sub-project aims at reducing, for the single-chip wireless transceiver, both the manufacturing test development time and manufacturing test cost. To reach the goal, the research topics include (1) self-testing techniques for AD/DA converters and frequency synthesizers, (2) loop-back testing for baseband analog circuits, and (3) system-level loop-back testing.

Keywords: Design-for-Testability, Built-In Self-Test, Single-chip wireless transceiver, analog front-end circuits, frequency

synthesizer

二、緣由與目的

本整合型計畫之目標為發展 5 GHz 無線收發機之系統晶片，研究重點則為超低功率、低操作電壓並整合自我測試功能。本子計劃（子計劃四：類比前端電路的內建自我測試技術）負責發展類比前端電路的自我測試技術以及相關電路設計。

在諸多針對系統晶片測試所提出的解決方案中，可測試性設計（DfT, Design-for-Testability）及內建自我測試（Built-In Self-Test）為目前認為最有可能降低系統晶片的生產測試問題的解決方案。

本子計劃的目標為發展單晶片無線收發機中類比前端電路的內建自我測試技術以及與其它子計劃合作發展系統階層的功能測試。涵蓋的電路包括低通濾波器、DC offset canceller、correlator bank、PN code generator、AD/DA 轉換器與頻率合成器。

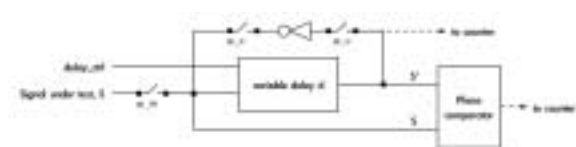
三、結果與討論

本年度主要的研究成果主要為(1)jitter 的量測技術，與(2)ADC BIST 效能的評估技術。

Jitter 量測技術

在計劃書中所提出的 jitter 量測技術，經過電路模擬發現有實現上的困難，因此將改用我們新提出如圖一所示的架構。此架構係為一個以 two-valued delay

line 加上 phase comparator 所組成。



圖一 Jitter 量測電路

假設 variable delay 的兩個 delay 值為 d_1 與 d_2 ，而我們所量到的 S 領先 S' 的機率分別為 p_1 與 p_2 。我們首先要解 inverse normalized gaussian cumulative distribution function (CDF) (F_x 為 gaussian CDF)：

$$x_1 = F_x^{-1}(p_1) \text{ 一旦 } x_1 \text{ 與 } x_2 \text{ 已知,}$$

$$x_2 = F_x^{-1}(p_2)$$

jitter 的 RMS 值便可得到：

$$RMS_J = \frac{d_2 - d_1}{x_2 - x_1}$$

ADC BIST 效能的評估技術

過去針對 ADC 的自我測試，已經有相當多的技術被提出。然而 ADC 的 DfT (Design-for-Test) 技術其接受度仍相當低落，原因之一為難以評估 DfT 電路或技術的效能。對混合訊號電路的 DfT 技術而言，由於混合訊號電路並沒有像數位電路的 stuck-at fault 或 delay fault 等可以有效涵蓋製造過程缺陷 (manufacturing defect) 的錯誤模型，到目前為止，一直沒有有效且廣為接受的效能評估方法。

在初期的研究中，我們使用的 ADC 為一 6-bit 的 flash ADC，最大操作頻率為 200 Ms/sec，而 BIST 電路則為一 ramp generator，產生對 ADC 進行 histogram test 所須要的 ramp signal。

在評估此一 ADC BIST 技術時，我們將待測 ADC 與 BIST 電路當作一個系統去考量。在進行自我測試時，此系統的輸入信號為一些數位的控制信號 (ADC 的測試信號由 BIST 的 ramp generator 產生)，而其輸出則為 pass 或 fail。

目前，我們的技術僅考慮製程變異中 parametric variation 的部份，short 或

open 的 catastrophic defects 則尚未包括。ADC BIST 技術評估的方法如下：

- 根據製程資料 (包含各參數的變異分佈與相關性) 產生 N 個 ADC+BIST 的電路。
- 選擇由 ADC 的功能測試端輸入理想的測試信號，進行包括 INL、DNL 與 ENOB 等規格測試 (假設此 ADC 只有此三個規格必須滿足)。此測試結果用來決定 N 個電路是否符合要求。
- 用 BIST 進行測試。
- 定義 yield coverage (YC) 為通過規格測試的電路中，亦通過 BIST test 的比例，defect coverage (DC) 為不通過規格測試的電路中，亦不通過 BIST test 的比例。對一個理想的 BIST 技術而言， $YC+DC = 2$ ，亦即 BIST 不會有誤判的情形。實際上， $YC + DC$ 越接近 2 越好。

目前，我們完成了一個自動產生符合製程變異分佈的電路的工具，並據以評估上述的 ADC BIST 技術。模擬結果如下：

- $YC = 0.9234$ ， $DC = 0.6417$ 。此結果顯示此 BIST 技術捕捉缺陷的能力不足。
- 若在 BIST test 時只做 INL 的分析， YC 與 DC 不變，表示實際生產測試時 (BIST)，DNL 分析可以省略。
- 若將規格中的 ENOB (此 ADC 的惟一動態規格) 去掉，則 $YC = 0.9335$ ， $DC = 0.9493$ 。可見此 ADC BIST 最大的問題在於無法抓到只影響 dynamic performance 的製程變異。

四、計畫成果自評

在 jitter 量測技術方面，我們已在國際研討會上發表成果，並獲邀在期刊的 special session 中刊出。

- J. J. Huang, and J. L. Huang, "A Low-Cost Jitter Measurement Technique for BIST Applications," *Asian Test Symposium*, November 2003, pp. 336-339.

在 ADC BIST 技術的研發上，因為發現必須要先發展 BIST evaluation 的技術，才能達到較好的自我測試結果，因此在硬體實現上略有落後。我們將先整理在 BIST evaluation 上研發的成果，在國際會議上發表論文。

五、參考文獻

- [ArKa94] K. Arabi, B. Kaminska, and J. Rzeszut, "A new built-in self-test approach for digital-to-analog and analog-to-digital converters," *International Conference on Computer Aided Design*, pp. 491–494, November 1994.
- [ArKa97] K. Arabi and B. Kaminska, "Efficient and accurate testing of analog-to-digital converters using oscillation-test method," *European Design and Test Conference*, pp. 348–352, 1997.
- [AzBe01] F. Azais, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, "A Low-Cost Adaptive Ramp Generator for Analog BIST Applications," *VLSI Test Symposium*, 2001.
- [ChCh01] S. Cherubal, and A. Chatterjee, "A High-Resolution Jitter Measurement Technique Using ADC Sampling," *International Test Conference*, pp. 838–847, 2001.
- [ChRo01] A. Chan, and G. Roberts, "A Synthesizable, Fast and High-Resolution Timing Measurement Device Using a Component-Invariant Vernier Delay Line," *International Test Conference*, pp. 858–867, 2001.
- [DuRo97] B. Dufort and G. W. Roberts, "Signal generation using periodic single and multi-bit sigma-delta modulated streams," *International Test Conference*, pp. 396–405, 1997.
- [HuCh01] J.L. Huang, and K.T. Cheng, "An on-chip short-time interval measurement technique for testing high-speed communication links," *VLSI Test Symposium*, pp. 380–385, 2001.
- [HuOn00] J. L. Huang, C. K. Ong, and K. T. Cheng, "A BIST Scheme for On-Chip ADC and DAC Testing," *Design, Automation & Test in Europe*, pp. 216–220, 2000.*
- [Ma87] M. Mahoney, *DSP-Based Testing of Analog and Mixed-Signal Circuits*, Computer Society Press. IEEE, Washington, D.C., 1987.
- [RaAm00] J. M. Rabaey, M. J. Ammer, J. L. da Silva Jr., D. Patel, and S. Roundy, "PicoRadio Supports Ad Hoc Ultra-Low Power Wireless Networking," *IEEE Computer*, pp. 42–48, 2000.
- [RoSu02] A. Roy, S. Sunter, A. Fudoli, and D. Appello, "High Accuracy Stimulus Generation for A/D Converter BIST," *International Test Conference*, pp. 1031–1039, 2002.
- [KiSo00] S. Kim, M. Soma, D. Risbud, "An Effective Defect-Oriented BIST Architecture for High-Speed Phase Locked Loops," *VLSI Test Symposium*, 2000.
- [LiSi85] S. Liu and K. Singhal, "A statistical model for MOSFETS," *International Conference on Computer-Aided Design*, pp. 78–80, 1985.
- [MiIs92] C. Michael, and M. Ismail, "Statistical modeling of device mismatch for analog MOS integrated circuits," *IEEE J. Solid-State Circuits*, 27(2):154–166, February 1992.
- [Na75] L. W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits" Tech. Rep. ERL-M520, Electronics Research Laboratory, University of California, Berkeley, 1975.
- [NaSt84] S. R. Nassif, A. J. Strojwas, and S. W. Director, "FABRICS II: A statistically based ic fabrication process simulator," *IEEE Trans. Computer-Aided Design*, CAD-3(1):40–46, January 1984.
- [SuNa97] S. K. Sunter and N. Nagi, "A simplified polynomial-fitting algorithm for DAC and ADC BIST," *International Test Conference*, pp. 389–95, 1997.
- [SuRo99] S. Sunter, and A. Roy, "BIST for Phase-Locked Loops in Digital Applications," *International Test Conference*, pp. 532–540, 1999.
- [TaIv02] S. Tabatabaei, and A. Ivanov, "Embedded Timing Analysis: A SoC Infrastructure," *IEEE Design & Test of Computers*, pp. 24–36, 2002.
- [ToRo93] M. F. Toner and G. W. Roberts, "A BIST scheme for an SNR test of a sigma-delta ADC," *International Test Conference*, pp. 805–814, 1993.
- [YaHo86] P. Yang, D. Hocevar, P. Cox, C. Machala, and P. Chaterjee, "An integrated and efficient approach for MOS VLSI statistical circuit design," *IEEE Trans. Computer-Sided Design*, vol. CAD-5, pp. 5–14, Jan. 1986.
- [YaSo00] T. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Watanabe, "Extraction of Peak-to-Peak and RMS Jitter Using an Analytic Signal Method," *VLSI Test Symposium*, 2000.
- [YaSo00+] T. Yamaguchi, M. Soma, D. Halter, J. Nessen, R. Raina, M. Ishida, and T. Watanabe, "Jitter Measurements of a PowerPCTM Microprocessor using the Analytic Signal Method," *International Test Conference*, pp. 955–964, 2000.