

低功率可攜式多媒體助理之相關技術研究(I)-子計畫二
低功率視訊解碼器晶片設計

Signal Chip Low Power Video Decoder Design

計畫編號：NSC 87-2215-E-002-028

執行期限：86/8/1 ~ 87/7/31

計畫主持人： 陳良基 教授 國立台灣大學電機所

一. 中文摘要

影像與視訊系統在資訊傳播與記錄上的應用已日趨普遍，成為訊息傳播的主流。尤其在「可攜式多媒體助理」上，影像傳輸更是不可或缺的功能。是故，設計一影像解碼器（video decoder）將可達到此目標。目前影像解碼器的研究雖已相當廣泛，此外在可攜式的需求下，低功率的電路架構設計亦將予以考量，以使其實用性能大為提高。本計畫的目標即在於設計一高品質低功率的視訊解碼器。除將深入探討此解碼器中各個模組的演算法以得到最佳的電路架構外，本計畫亦著重於成果本身之實用價值與技術突破。

關鍵詞：多媒體、電腦、影像傳輸、影像解碼器、低功率。

Abstract

Image and video systems have been widely used, not only in the field of information transmission, but also in data storage. Especially in portable multimedia assistant, the video transmission is an important kernel function. Thus, a novel video decoder is proposed to satisfy this goal. Recently, the researches of the video coding are very hot, and based on the requirements of portability, low power architecture designs are also studied in detail. The goal of this project is to design a high quality, low power video decoder. For some critical modules, the design issues of the

algorithm and the hardware are considered. This project also benefits to the real-world value and technical progress.

Keywords : multimedia, computer, video transmission, video decoder, error resilience, low power.

二. 計畫緣由與目的

隨著技術的進步，以及人們對高生活品質的要求，影像通訊已是生活中不可分割的部分。也就是說，人們希望訊息的溝通已從傳統的文字、數據、聲音為主，轉為大量且高畫質的動態影像。而在快速成長的電腦多媒體系統中，與動態影像的結合已是必然的趨勢；此外，為滿足未來通訊世界的無遠弗屆，無線的通訊傳輸也將占極重要的角色。結合此兩大主流的需求「可攜式多媒體助理」（portable multimedia assistant）將是未來世界人們的生活必需品！

為了減輕動態影像所需之龐大資料量對傳輸及儲存造成的負擔，資料壓縮已成為不可或缺的技術。一般的視訊信號具有每秒鐘數張畫面的品質，由於人類眼球中的視覺神經有視覺暫留的特性，人類不會察覺其不連續。如此高的取樣頻率使得相鄰兩張畫面的關連性相當高，於是降低畫面相間的關連性便可達到低位元率的壓縮效果。所以針對資料做即時解壓縮的影像解碼器（video decoder）已成多媒體助理中必備的部分。

另一方面，為了滿足多媒體助理之可攜式特性，能源的消耗勢必要愈少愈好，故低功耗的考量將是此解碼器的必備條件；此外，影像資料在無線通道中傳輸，由於此通道的非理想特性及不可預期的特性，將使資料遭受嚴苛的雜訊干擾而導致通訊品質降低。是故，高壓縮效率（high compression efficiency），低功耗（low power）將是本計畫要考慮的大要件。

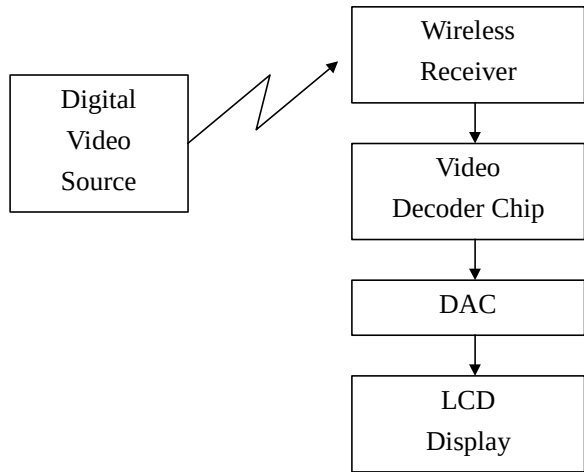


圖 一 Video Decoder 之應用

三. 結果與討論

以 MPEG2 演算法為基礎, 先將 VLD、IQ、IDCT、MC、local buffer 等模組(module)作運算量分析，及在低功耗演算法上的可行性，儘量減低其運算量，如 Table. 1 所示。

Table 1 DCT 運算量之比較

Method	Computation Requirement per pixel	
	encoder	decoder
Transform (DCT) (brute force 2D)	64 multiply 64 additions 64 mem. access	64 multiply 64 additions 64 mem. access
Transform (DCT) (Row-Col fast algo.)	4 multiply 8 additions 6 mem. access	4 multiply 8 additions 6 mem. access

基於低功耗的考量，我們將針對硬體架構中執行運算的資料徑(datapath)部分，以

pipeline 及 parallel 的方式去做安排，使資料的存取安排上達到最佳化，如 Table 2 所示。同時要以符合經濟效益的記憶體及匯流排達到實用的及時處理目標，以減少 on-chip buffer, bus load 以及 memory access I/O load。在匯流排的架構及 arbitration 也要審慎考慮。

Table 2 不同架構之 Power 及 Area 比較

Architecture type	Power	Area
Simple datapath (no pipelining or parallelism)	1	1
Pipelined datapath	0.37	1.3
Parallel datapath	0.34	3.4
Parallel-pipeline	0.18	3.7

目前本研究單位已有豐富之 MPEG-2 decoder 架構設計之經驗，並已完成部分晶片。同時利用架構 paralleling & pipelining 之觀念及設計法則，設計出符合 low power 需求之 MPEG-2 decoder。在可變長度解碼器的部分如圖 三，我們使用有限狀態代替傳統的 RISC 架構這樣可減少額外的成本，並增加電路的速度。在 Inverse Scan 的架構我們提出了乒乓模式的記憶體架構如圖 四，這樣可讓一個時序解出一個係數。我們用組合邏輯來設計 Inverse Quantization 模組，在一個時序內完成所有的運算。我們利用一維的 IDCT 再加上一個倒置記憶體，就能組出相當於二維 IDCT 如圖 五。這樣可減少晶片的面積，減少所需要的成本。此晶片利用一層多晶矽三層金屬 0.6- μm 的 CMOS 製程 包含 220k 電晶體個個數，面積為 6.5 $\times$ 6.5 mm² 如圖 七。

本計劃由 Algorithm 著手，嘗試設計出符合標準又能兼顧低功耗的 video coding 方式，由 data path 分析著手，以 paralleling 及 pipelining 之做法，開發新的架構。經過低功

率的考量，所設計出的架構，除了利用 Synopsys 與 Cadence 等軟體模擬外，亦將透過 FPGA Emulator 進行測試與驗證以確保晶片能有較低的失敗率。

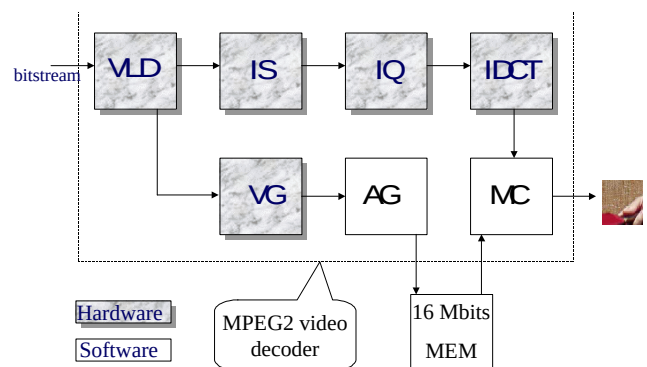
在低功率方面，本計畫將先設計一低功率之 IDCT 架構。IDCT 已為各視訊編碼系統所接受的一種轉換，並已定為各個標準的一部份。因此針對如此重要的視訊編碼轉換設計一低功率晶片。首先是利用低運算複雜度的直接方法(direct method)，設計一平行架構，以作為低電壓的速度補償。再針對架構中主要的運算單元：ROM 及加法器，做低功率的電路設計。ROM 方面，以位址轉換偵測原理與先前補償之動態電路達到節省消耗功率的目標。加法器方面，除了以低電壓操作，並以選擇進位及平方根架構作為其速率補償，以符合快速低功率加法器的需求。整體 IDCT 得到的結果顯示，除達成低功率的目的外，並能符合高畫質電視的速度需求。其他電路如 VLD, IQ 等亦可以類似的考慮以達到低功率的需求。

四. 參考文獻

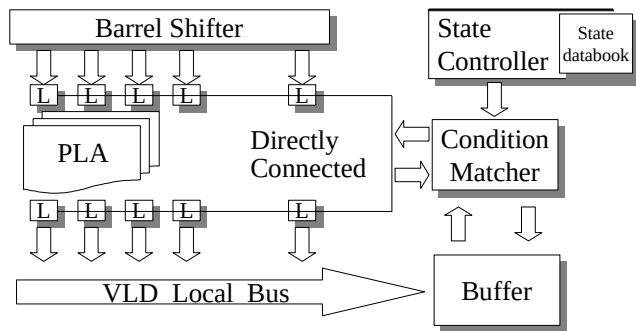
- [1] J. Eager, "Advances in rechargeable batteries pace portable computer growth," *Silicon Valley Personal Computer Conference*, pp. 693-698, 1991.
- [2] S. C. Ellis, "Power management in Notebook PC's," *Silicon Valley Personal Computer Conference*, pp. 749-754, 1991.
- [3] D. LeGall, "MPEG: A video compression standard for multimedia application," *Communications of the ACM*, vol. 34(4), pp. 37-48.
- [4] MPEG, "ISO CD11172-2: Coding of moving pictures and associated audio for

digital storage media at up to about 1.5Mbits/s", Nov. 1991.

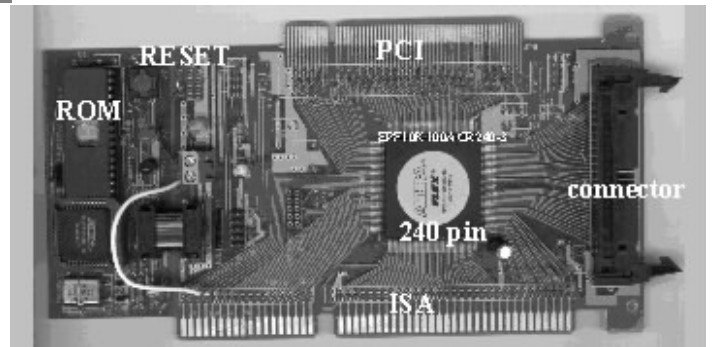
- [5] Dave Bursky, "CODEC Compresses Images In Real Time," *Electronic Design*, pp. 123-124, October, 1993.
- [6] Onoye, Y. Morimoto, T. Masaki, and I. Shirakawa, "Design of inverse DCT and motion compensator for MPEG-2 HDTV decoding," *APCCAS'94*, pp. 608-613, Dec. 1994.
- [7] H. D. Crane and D. Rtischev, "Pen and voice unite," *BYTE*, pp. 98-102, Oct. 1993.
- [8] W. M. Lam, A. R. Reibman and B. Lin, "Recovery of lost or erroneously received motion vector", pp. 417-420, vol. 5, *ICSAAP*, 1993.



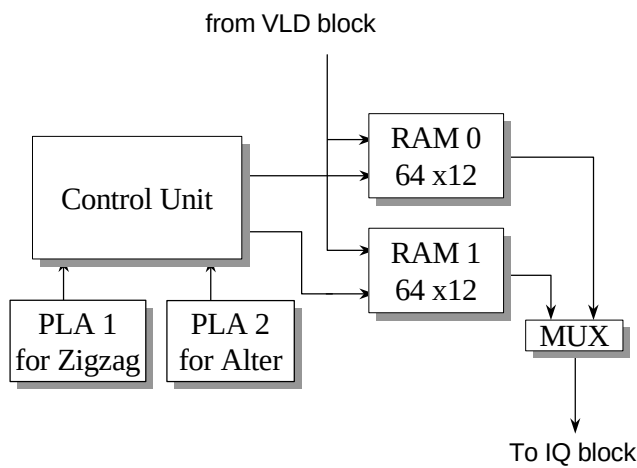
圖二 MPEG2 Video 各模組的方塊圖



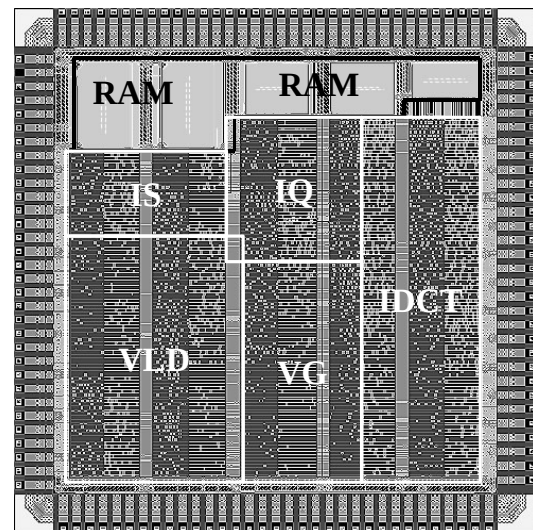
圖三 可變長度解碼器之架構圖



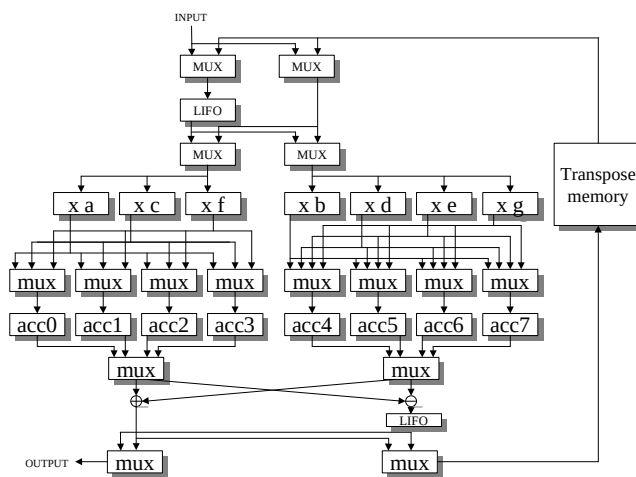
圖六 FPGA 印刷版



圖四 反向掃描模組之架構圖



圖七 CHIP layout view



圖五 IDCT 之架構圖

	MPEG2 video decoder
Technology	0.6 μ m CMOS SPTM
No. of Trs.	228,772 Transistors
Chip size	6.595 $\times$ 6.607 mm ²
Clock frequency	41.6 MHz
Power supply	5V
Number of IO	130 pins

表格一 晶片規格