

共面波導雙工器

中 華 民 國 90 年 10 月 10 日

摘要

關鍵字：邊緣耦合、間隙耦合、微機電、共面波導、雙工器

本計畫採用間隙耦合型結合邊緣耦合型濾波器，設計了中心頻率分別在 31GHz 及 28GHz 的一組發射及接收的濾波器。並且應用微機電低損耗、低色散、低輻射的特性，來製作所設計的濾波器，量測的結果比模擬的結果中心頻率低了 0.5GHz 左右；另外，在通帶的部分，量測的插入損比模擬的結果少了 0~3dB 左右，結果比傳統的平面濾波器的 11dB 來得好。接著我們結合這組濾波器形成一雙工器，並且用微機電技術製作，在發射端 31GHz 的部分，量測的插入損大約比模擬的結果少 4dB 左右；對於接收端 28GHz 的部分，量測結果約比模擬的少 3dB 左右，而這兩的頻帶的隔絕損大約都在 30dB 以下。

Abstract

Keywords: edge-coupled, gap-coupled, Micro-Electro-Mechanical, coplanar waveguide, diplexer

The filter type adopted in this project is composed of gap-coupled lines and edge-coupled lines. Two filters with center frequency equal to 31GHz and 28GHz are designed for the transmitting band and receiving band, respectively. With the advantages of low loss, low dispersion and low radiation, the MEMS(Micro-Electro-Mechanical System) was used to fabricate the filters. The measured center frequency of the filter was slightly lower than the simulation one. In addition, the measured insertion loss in the passband was smaller than the simulation results ranging from 0 to 3dB. This result is better than the traditional planar circuit filter which exhibit 11dB for the insertion loss in the passband. Then, the filters are combined to form the diplexer and fabricated with MEMS technique. In the transmitting band of 31GHz, the measured insertion loss is less than 4dB as compared to the simulation results. And in the receiving band of 28GHz, the measured insertion loss is 3dB smaller than the simulation results. Also, the isolation between the two channels is below 30dB.

章節大綱

第一章 簡介	10
1.1 研究動機	10
1.2 文獻回溯	10
1.3 章節內容	11
第二章 共面波導雙工器之理論分析	13
2.1 簡介	13
2.2 分析理論	13
第三章 共面波導雙工器之模擬及實驗的結果	26
3.1 簡介	26
3.2 傳統共面波導濾波器	26
3.3 微遮蔽線的特性分析	26
3.4 微機電共面波導濾波器	28
3.5 微機電共面波導雙工器	30
第四章 微機電共面波導雙工器之製造過程	42
4.1 簡介	42
4.2 上層金屬空腔的製作過程	42
4.3 中層共面波導電路的製程	43

第五章 結論.....	54
-------------	----

參考文獻.....	56
-----------	----

圖列

圖 1.1 微遮蔽線的橫切面結構圖	12
圖 2.1 微機電共面波導窄通濾波器之結構圖	19
圖 2.2 微機電共面波導雙工器之示意圖	19
圖 2.3 微機電共面波導濾波器之設計流程圖	20
圖 2.4 帶通濾波器規格	20
圖 2.5 經過轉換後的低通濾波器規格	21
圖 2.6 低通濾波器 lump element 原型	
(a). 高輸入阻抗形式	21
(b). 低輸入阻抗形式	21
圖 2.7 帶通濾波器之 lump elements 模型	22
圖 2.8 帶通濾波器之 J-inverter 及理想傳輸線模型	22
圖 2.9 J-inverter 之等效模型	23
圖 2.10 帶通濾波器之電容及理想傳輸線模型	23
圖 2.11 邊緣耦合線	
(a). 理想的耦合線	24
(b). 理想耦合線等效電路	24
圖 2.12 帶通濾波器之實際 layout 結構	24
圖 2.13 微機電共面波導傳輸線之橫切面圖	
(a). 原圖	25
(b). 等效圖	25
圖 2.14 微機電共面波導耦合線之橫切面圖	
(a). 原圖	25
(b). 等效圖	25

圖 3.1 傳統窄通共面波導濾波器之平面結構	31
圖 3.2 傳統的窄通濾波器之設計實例之量測結果	
(a). 插入損及反射損	31
(b). 輻射損耗	32
圖 3.3 傳統的窄通濾波器之設計實例及量測結果	
(a). 實際結構	32
(b). 近似結構	32
圖 3.4 微遮蔽線特徵阻抗對槽寬變化($W_G = 2500\ \mu\text{m}$, and $H = 750\ \mu\text{m}$)	33
圖 3.5 微遮蔽線特徵阻抗對接地金屬長度的變化($W/2 + S = 500\ \mu\text{m}$ and $H = 750\ \mu\text{m}$)	33
圖 3.6 微機電共面波導濾波器的平面結構和尺寸	
(a). 直線型	34
(b). 折曲型	34
圖 3.7 微機電共面波導濾波器的照相放大圖	
(a). 直線型上視圖	35
(a). 直線型仰視圖	35
(b). 折曲型上視圖	35
(b)折曲型仰視圖	35
圖 3.8 CPW pad 到微遮蔽線的轉接	36
圖 3.9 下探針開口處的照相放大圖	36
圖 3.10 TRL 校準電路的照相放大圖	37
圖 3.11 28GHz 接收端濾波器：直線型的模擬和量測結果比較圖	37
圖 3.12 31GHz 發射端濾波器：直線型的模擬和量測結果比較圖	38
圖 3.13 31GHz 發射端濾波器：直線型和折曲型的量測結果比較圖	39
圖 3.14 微機電共面波導雙工器之上視圖	40
圖 3.15 微機電共面波導雙工器：照相放大上視圖	40

圖 3.16 微機電共面波導雙工器：模擬和量測結果的比較圖	41
圖 4.1 微機電共面波導傳輸線之結構圖	46
圖 4.2 上層封裝金屬空腔及探針開口	46
圖 4.3 上層金屬空腔及探針開口的製造過程	
(a). 在兩面各沈澱一層 Si_3N_4 的介質層後的圖形	47
(b). 經過 RIE 乾蝕刻(Dry Etching)後的圖形	47
(c). 經過 KOH 溼蝕刻後的圖形	47
(d). 鍍上金屬後的圖形	47
圖 4.4 對應於圖 4.3 所需要用到的光罩	
(a). 上層空腔	48
(b). 探針開口	48
圖 4.5 上層金屬空腔的實際照相放大圖	49
圖 4.6 中層共面波導電路及下層金屬封裝的製造過程	
(a). 在兩面各沈澱一層 Si_3N_4 的介質層後的圖形	50
(b). 經過 RIE 乾蝕刻(Dry Etching)後的圖形	50
(c). 使用 photolithographic 鍍上金屬後的圖形	50
(d). 經過 RIE 乾蝕刻(Dry Etching)後的圖形	50
(e). 經過 KOH 溼蝕刻後的圖形	50
(f). 鍍上金屬後及經過 RIE 乾蝕刻(Dry Etching)後的圖形	50
(g). 經過 KOH 溼蝕刻後的圖形	50
圖 4.7 對應於圖 4.6 所需要用到的光罩	
(a). 正面接地開槽	51
(b). 共面波導電路	51
(c). 背面接地開槽	52
(d). 背面封裝金屬空腔	52
圖 4.8 中層電路的實際照相放大圖	

(a). 正面	53
(b). 背面	53

表格

表 2.1 濾波器規格.....	13
表 3.1 等效電路參數及濾波器規格.....	28
表 4.1 KOH 及 EDP 對不同物質的蝕刻率.....	43

第一章

簡介

1.1 研究動機

由於本計畫的雙工器設計在 Ka-band，因此雙工器中的重要元件濾波器，必須有很陡峭的頻率響應，相對的所採用的傳輸線要有很高的 Q 值；一般而言，採用金屬波導管即可達成此一目的。但是採用這種方式，會使得電路顯得笨重且難以和平面電路結合，製作的成本也相當昂貴；因此，有學者提出平面電路的設計方法來設計雙工器，試圖達成輕巧且易於整合的目的；不過，因為傳統的平面傳輸線損耗很大，因此其 Q 值不高，用以設計雙工器則難以達成陡峭的頻率響應；為了解決這個問題，本計畫引進微機電的技術，發展橫切面圖如圖 1.1 的共面波導結構，此結構的基板已幾乎蝕刻殆盡，且上下均有金屬封閉；如此，其介質損耗及輻射損會降至最低，進而提高了傳輸線的 Q 值，達到雙工器中窄通濾波器的嚴格要求。

1.2 文獻回溯

在 1990 年，Rebeiz *et al.* [1] 採用矽板蝕刻技術，製作二維的號角陣列天線，此平面電路底下的介質幾乎被蝕刻殆盡，只留下一層薄薄的薄膜以支持整個電路結構；於 1991 年，這種技術首度被應用在微遮蔽線上 [2]，其中包含了開路、短路、耦合開路、耦合短路的電路結構，這些電路也採用 SDIE (space domain integral equation) 數值方法來計算其特性，結果顯示了微遮蔽線是一種低色散的傳輸線；由於微遮蔽線的結構為一金屬封裝結構，因此影響特徵阻抗的參數及範圍比傳統的傳輸線來得多，且其受電磁干擾的機率也比較小；另外，它還具有容易製作、低成本、低重量及低體積的優點。在 1993 年，有學者首次提出微遮蔽線電路的實驗結果 [3]，其所應用的層面為步階低通濾波器。對於金屬損耗和

等效介電常數的討論，以及微遮蔽線到傳統波導的轉接，在 1995 年也被提來出加以探討[4]。除此之外，也有學者研發出插入損為 1.7dB 的微機電帶通濾波器[5]。

到了 1995 年，高頻單晶電路的封裝開始採用微機電技術[6],[7]，使得矽板上的電路密度得以增加。接著這種觀念，被應用到更高頻的 W-band 濾波器的設計上，也得到不錯的結果。在 1998 年，這種技術被應用在 30-60GHz 的濾波器的設計上，其頻率響應相當的陡峭[8]。最後，在 1999 年有學者提出具有高質響應的雙工器，其兩個頻帶的插入損分別是 1.4 及 0.9dB，比傳統的平面電路 3dB 好很多[9]。

1.3 章節內容

本文的結構流程如下所述：在第一章，對於研究動機及前人做過的研究作一番講述，接著著手於雙工器的設計，於第二章詳細地闡述我們所採用的理論基礎，並依據設計的結果使用微機電技術製作電路，這些結果都在第三章中有所解說，第四章輕描淡寫地描述我們製作的過程及注意的事項，最後，在第五章裡，為本計畫作一個總結。

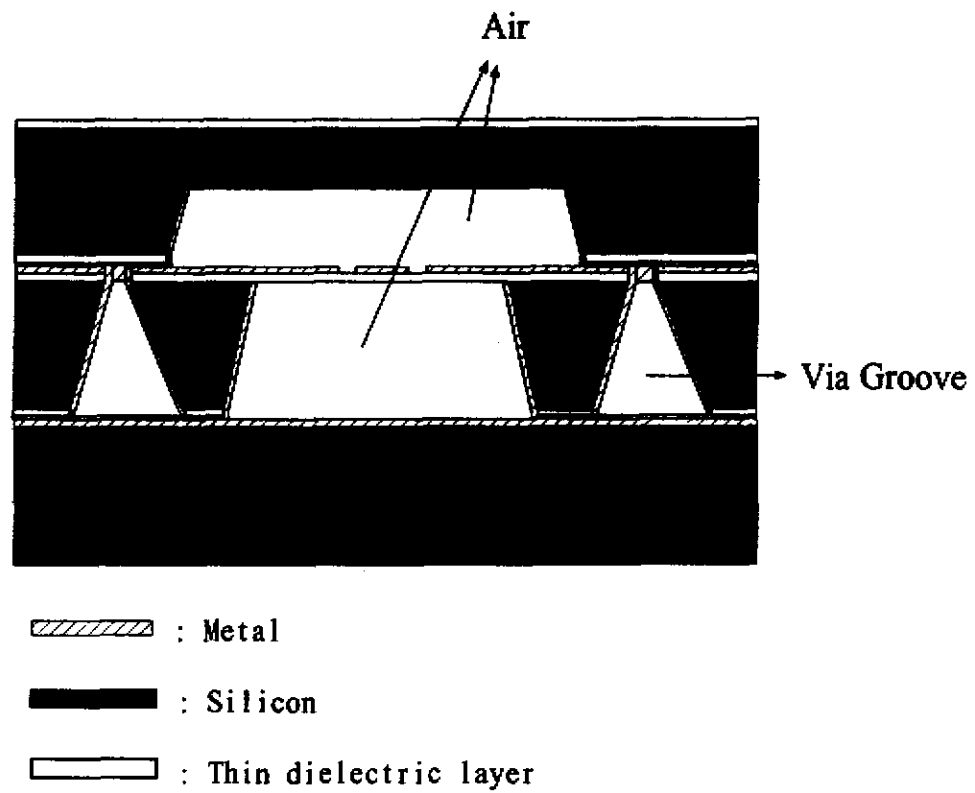


圖 1.1 微遮蔽線的橫切面結構圖

第二章

共面波導雙工器之理論分析

2.1 簡介

本計畫所擬設計的是 Ka 頻段的雙工器，由於雙工器中主要的組成機構為濾波器；因此，我們先設計兩個不同頻段的窄帶通濾波器，所使用的結構基本上屬於間隙耦合(Gap Coupled)型結合邊緣耦合(Edge Coupled)型濾波器，實際結構如圖 2.1 所示，基本上，比較適合用來設計窄通濾波器；接著，將這兩個窄通濾波器的第一節並接，就可得我們所需的雙工器，上視圖如圖 2.2 所示。以下我們將先描述整個設計流程，然後逐步地解說每個設計過程，以達成濾波器的設計。

2.2 分析理論

對於帶通濾波器的設計，我們將以一張流程圖，來解釋我們如何進行濾波器的設計，然後逐步地將每一個步驟實現，流程圖如圖 2.3 所示：

(1). 依據給定的濾波器規格如下表 2.1 所示，插入損對頻率響應示意圖如圖 2.4 所示：[10]

頻率	中心頻率 ω_0	ω_1	ω_2	截止頻率 ω_c
對應的插入損(IL)	$< L_1$	$> L_1$	$> L_1$	$> L_c$

表 2.1 濾波器規格

使用帶通到低通的轉換公式(2-1~2-3 式)，便可將圖 2.3 的帶通濾波器規格轉換成低通濾波器規格，如圖 2.4 所示。其中， ω_0 轉換到 $\omega=0$ ， ω_0 、 ω_1 及 ω_2 則分別對應到 ω_0' 、 ω_1' 及 ω_2' 。

$$\frac{\omega}{\omega_1} = \frac{1}{\Delta} \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \quad (2.1)$$

$$\Delta = \frac{\omega_2 - \omega_1}{\omega_0} \quad (2.2)$$

$$\omega_0 = \sqrt{\omega_1 \omega_2} \quad (2.3)$$

(2). 接著我們使用插入損方法(Insertion Loss Method)，來匹配轉換後的低通濾波器響應。雙埠電路的能量損耗如(2-4 式)所示，其中 P_{inc} 表示輸入這個電路的能量， P_{load} 表示傳輸到 load 上的能量。(2-5 式)為其轉換為其取對數(dB)的形式。

$$P_{Lr} = P_{inc} / P_{load} \quad (2-4)$$

$$IL \text{ (dB)} = 10 \log P_{Lr} \quad (2-5)$$

P_{Lr} 的形式可依設計者的需求選取，因為我們需要比較陡峭的頻率響應，所以在以下的設計中，我們選取 P_{Lr} 為 Chebyshev 的函數，因此 $IL(\text{dB})$ 可改寫成(2-6 式)；其中， $T_N^2(\frac{\omega}{\omega_c})$ 為一 N 階的 Chebyshev 級數， L_r 為通帶中最大的 ripple 值。

$$IL(\text{dB}) = 10 \log [1 + (10^{L_r/10} - 1) \times T_N^2(\frac{\omega}{\omega_c})] \quad (2-6)$$

跟著，我們將圖 2.5 所得的結果和(2-6 式)做比較，便可得我們所需要的低通濾波器原型，如圖 2.6 所示。其所需要的階數 N 及各階的數值 g_k ，則如下列方程式(2-7~2-12)所示。

$$g_1 = 2a_1 / \sinh(\frac{\beta}{2N}) \quad (2-7)$$

$$g_k = \frac{4a_{k-1}a_k}{b_{k-1}g_{k-1}} \quad k = 2, 3, \dots, N \quad (2-8)$$

$$g_{N+1} = \begin{cases} 1 & \text{when } N \text{ is odd} \\ \coth(\beta/4) & \text{when } N \text{ is even} \end{cases} \quad (2-9)$$

其中

$$a_k = \sin \frac{2k-1}{2N} \pi \quad k = 1, 2, \dots, N \quad (2-10)$$

$$b_k = \sinh^2 \frac{\beta}{2N} + \sin^2 \frac{k\pi}{N} \quad k = 1, 2, \dots, N \quad (2-11)$$

$$\beta = \ln(\coth \frac{L_r}{17.372}) \quad (2-12)$$

(3). 得到低通濾波器的原型之後，藉由低通至帶通的轉換，我們可得如圖 2.7 的帶通電路，轉換公式如下所示。其中，低通濾波器原型中的並聯電容，則經由(2-13~2-14)轉換成並聯的 LC 電路；串聯電感則經由(2-15~2-16)轉換成並串聯的 LC 電路。

$$L_k = \frac{g_k Z_0}{\Delta \omega_0} \quad (2-13)$$

$$C_k = \frac{\Delta}{\omega_0 g_k Z_0} \quad (2-14)$$

$$L_k = \frac{\Delta Z_0}{\omega_0 g_k} \quad (2-15)$$

$$C_k = \frac{g_k}{\Delta \omega_0 Z_0} \quad (2-16)$$

(4). 至此為止，我們已經完成帶通濾波器初步的設計，依據步驟(3)所得的電容及電感值，選取適當的集總元件 (lump element)，便可組成一個帶通濾波

器；但是由於集總元件 (lump element) 在高頻會有一些寄生效應，使得濾波器的響應不佳，因此我們試想把這集總(lump)電路轉換成distributed 電路，以期得到較佳的響應結果。藉由[11] 所推導的結果，圖 2.7 的帶通電路可以等效成圖 2.8 的電路，此電路乃由理想的傳輸線和 J-inverter 所串接而成。其中，各階的 normalized admittance inverter parameters $J_{n,n+1}/Y_0$ 值，可經下列公式(2-17~2-19 式)直接由低通濾波器原型求得，而在中心頻率 ω_0 ，每一段理想傳輸線的電性長度 $\theta = \pi$ (rad)。

$$J_{0,1}Z_0 = \sqrt{\frac{\pi\Delta}{2g_0g_1}} \quad (2-17)$$

$$J_{n,n+1}Z_0 = \frac{\pi\Delta}{2\sqrt{g_n g_{n+1}}} \quad n=2,3,\dots,N-1 \quad (2-18)$$

$$J_{N,N+1}Z_0 = \sqrt{\frac{\pi\Delta}{2g_N g_{N+1}}} \quad (2-19)$$

- (5). 圖 2.9 顯示了 J-inverter 的等效模型，這些模型中的參數和 J-inverter 可藉由(2-20~2-21 式)連結，如果圖中共面波導的間隙(gap)很小的話，則(2-20~2-21 式)則可改寫成(2-22~2-23 式)的近似公式：[11],[12]

$$J_{n,n+1}Z_0 = \left| \tan \left(\frac{\phi_{n,n+1}}{2} + \tan^{-1} Z_0 B_{Pn,n+1} \right) \right| \quad (2-20)$$

$$\phi_{n,n+1} = -\tan^{-1} (2Z_0 B_{Sn,n+1} + Z_0 B_{Pn,n+1}) - \tan^{-1} Z_0 B_{Pn,n+1} \quad (2-21)$$

$$\frac{B_{Sn,n+1}}{Y_0} = \frac{\frac{J_{n,n+1}}{Y_0}}{1 - \left(\frac{J_{n,n+1}}{Y_0} \right)^2} \quad (2-22)$$

$$\phi_{n,n+1} = -\tan^{-1}(2Z_0 B_{Sn,n+1}) \quad (2-23)$$

接著，我們將圖 2.8 中 $J_{1,2}$ 至 $J_{N,N+1}$ 的 J-inverter，以圖 2.9 的等效電路代換掉，其中，電容 $CS_{n,n+1}$ 值及電性長度 $\phi_{n,n+1}$ 可由(2-22~2-23 式)近似公式求得；如此，便可得圖 2.10 的帶通濾波器之電容及理想傳輸線模型， θ_0 可由(2-24 式)求得，其中 $\theta_0 = \pi$ (rad) at ω_0 。

$$\theta_n = \theta_0 + \frac{1}{2}(\phi_{n-1,n} + \phi_{n,n+1}) \quad \text{radian} \quad (2-24)$$

對於圖 2.10 中 $J_{0,1}$ 至 $J_{N,N+1}$ 的 J-inverter，我們則使用圖 2.11 理想的耦合線的等效電路代換掉，等效電路的公式如(2-25~2-26 式)所示，其中， Z_{0e} 及 Z_{0o} 分別代表耦合線共模及奇模的阻抗。如此，可得最終圖 2.12 的結構圖。

$$Z_{0e} = Z_0[1 + JZ_0 + (JZ_0)^2] \quad (2-25)$$

$$Z_{0o} = Z_0[1 - JZ_0 + (JZ_0)^2] \quad (2-26)$$

(6). 圖 2.10 轉換到圖 2.12 的過程當中，有一些細節細述如下：

1. 給定傳輸線的特徵阻抗值(Z_0)，使用準靜態分析 **CAP1**[13]計算其適當的傳輸線結構大小，如圖 2.13(a)所示，然後，使用商用軟體 **Sonnet EM** 算出其斜邊效應等效的直邊封裝大小，如圖 2.13(b)所示。
2. 依據圖 2.10 等效電路中各段的偶模阻抗 Z_{0e} 及奇模阻抗 Z_{0o} ，使用準靜態分析 **CAP1**[13]計算出其所對應的截面結構大小，如圖 2.14(a)所示，之後，使用 **Sonnet EM** 進行三維模擬，惟為便於分析，計算時以其等效直邊封裝大小來代替斜邊，如圖 2.14(b)所示。

3. 依據圖 2.10 等效電路中各段的電容值 $C_{S_{n,m}}$ 及電性長度 θ_n ，利用 1. 所算出的傳輸線截面尺寸，使用 Sonnet EM 算出奇所對應的間隙大小 $g_{W_{n,m}}$ 及傳輸線長度 l_n 。
- (7). 由於我們所使用的公式為近似公式(2-22~2-23 式)，且圖 2.12 中的耦合線非為理想開路，因為間隙 g_n 而有一接地電容，所以並非一理想的耦合線；因此，我們所得的傳輸線長度都要適度的修正，要稍微調得比算得的長度短些。
- (8). 修正後的尺寸，我們再以 Sonnet EM 進行全波分析，以得整個濾波器之頻率響應。
- (9). 將兩個濾波器的第一接並接，再微調因轉折傳輸線的長度，即可得我們所需的雙工器，如圖 2.2 所示。

在上述步驟(6)中，雖然對應於同一個阻抗的共面波導中心線寬及槽線寬的組合有很多，但是我們必須選定適當的中心線寬，才不致於使得符合 $C_{S_{n,m}}$ 值的間隙 $g_{W_{n,m}}$ 太大或太小，而造成製程上的困擾；再者，因為傳輸線為封裝的結構，我們必須根據濾波器的設計頻段，選定適當的金屬封裝大小(圖二(a))，使得設計頻段皆在高階模的截止頻率以下，以摒除高階模態的干擾。

在濾波器的第一階和最後一階，使用邊緣耦合線(edge coupled line)的原因有二，其一為：如此設計可以方便 T 形轉接的輸出；其二為：因為第一階和最後一階所需要的耦合(coupling)相當大，如果使用間隙耦合型式設計的話，則需要相當小的間隙或是相當大中心的線寬，這對製程上或整個電路體積上的考量，都是非常不利的。

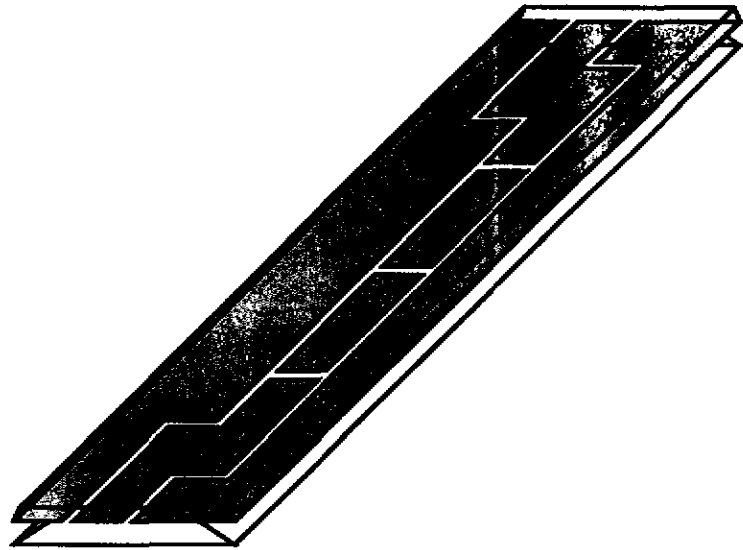


圖 2.1 微機電共面波導窄通濾波器之結構圖。

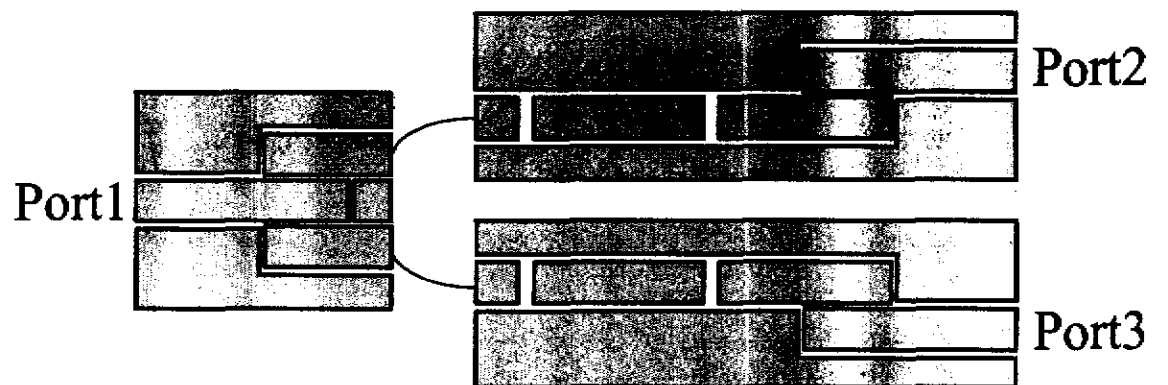


圖 2.2 微機電共面波導雙工器之示意圖。

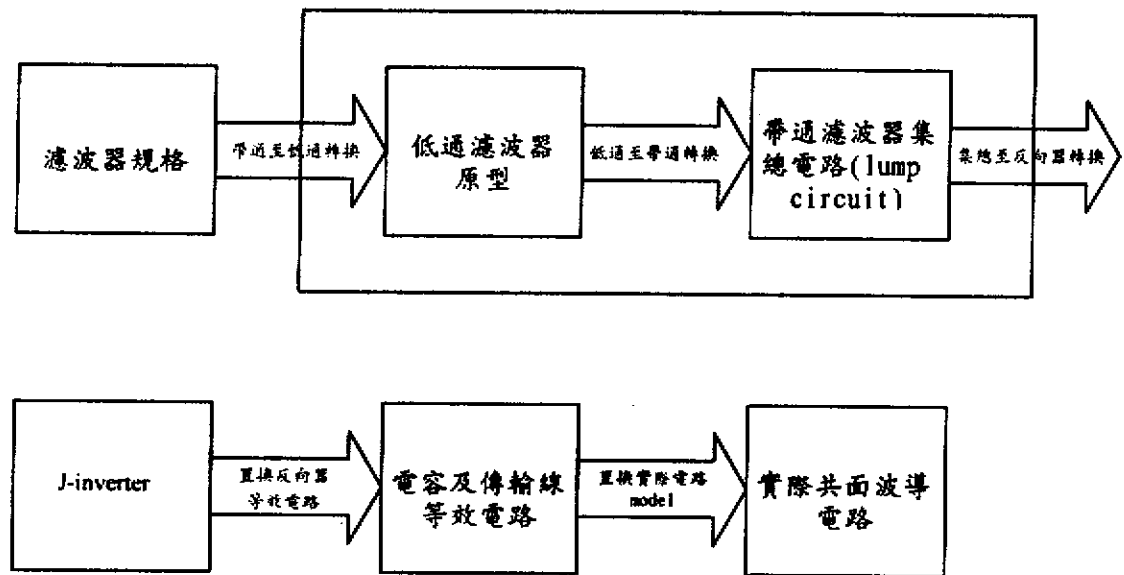


圖 2.3 微機電共面波導濾波器之設計流程圖。

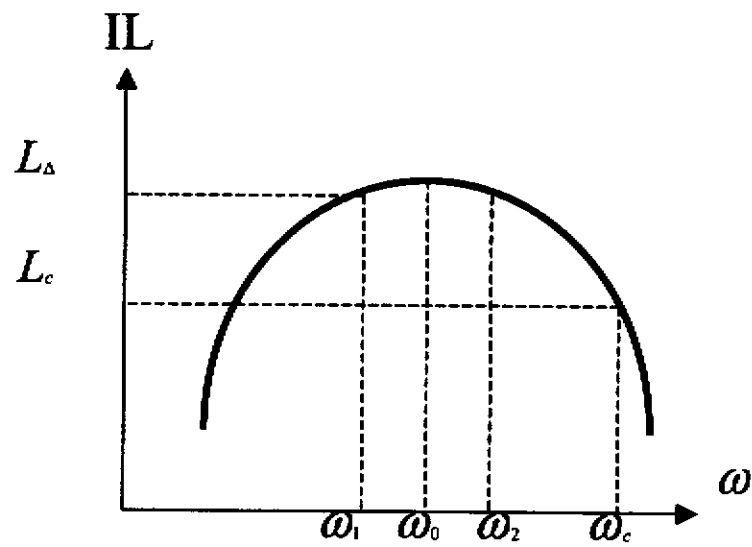


圖 2.4 帶通濾波器規格。

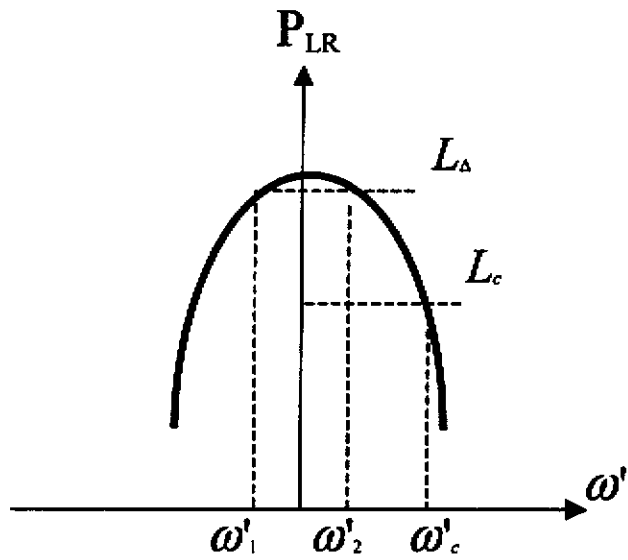


圖 2.5 經過轉換後的低通濾波器規格。

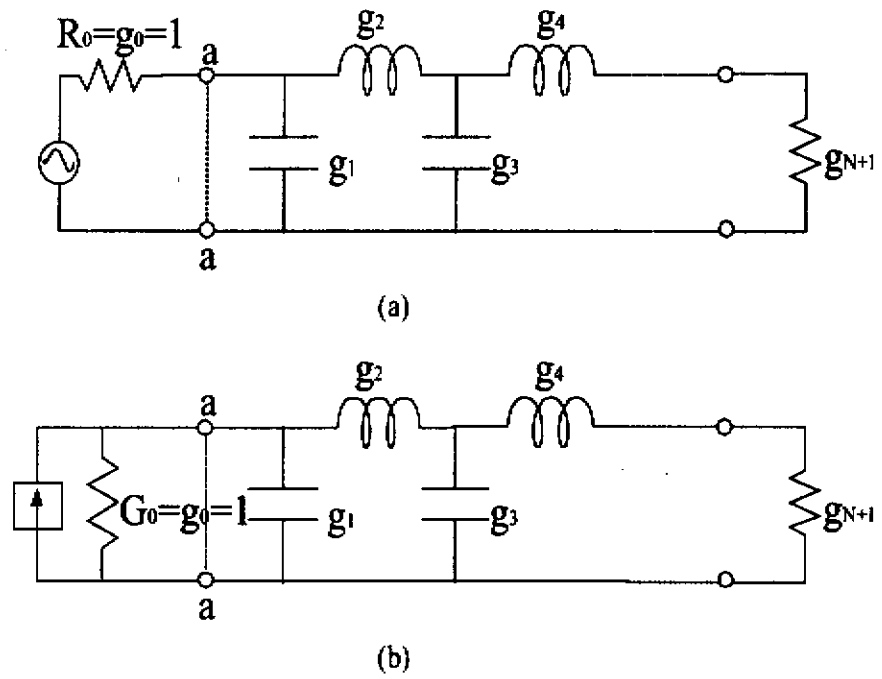


圖 2.6 低通濾波器 lump element 原型。(a).高輸入阻抗形式 (b).低輸入阻抗形式。

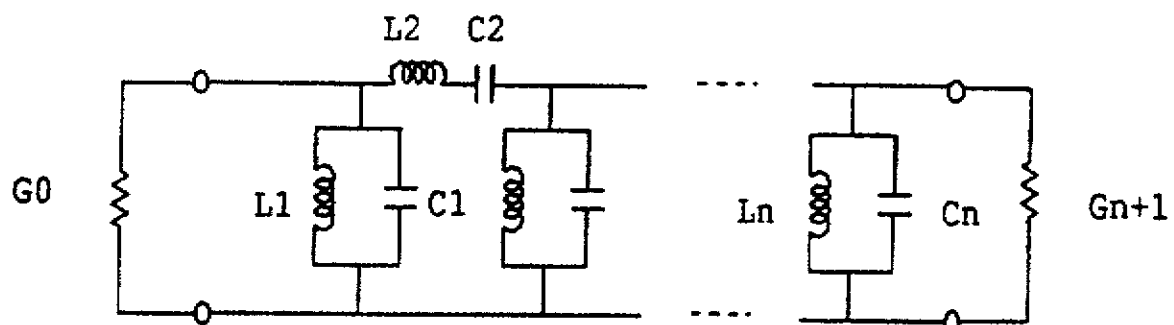


圖 2.7 帶通濾波器之 lump elements 模型。

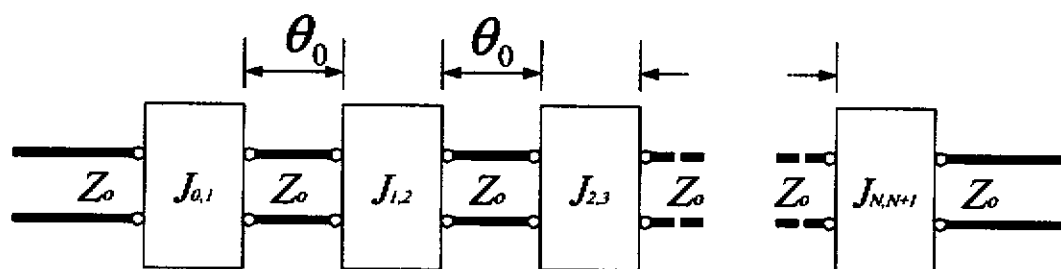


圖 2.8 帶通濾波器之 J-inverter 及理想傳輸線模型。

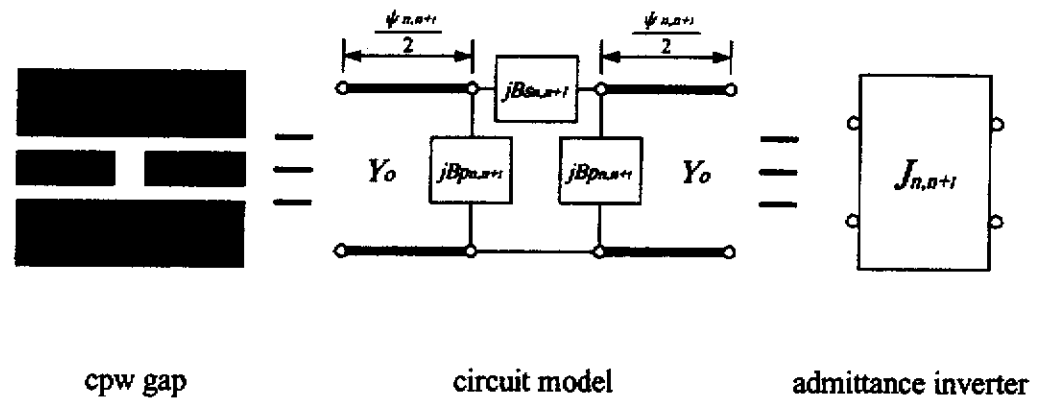


圖 2.9 J-inverter 之等效模型。

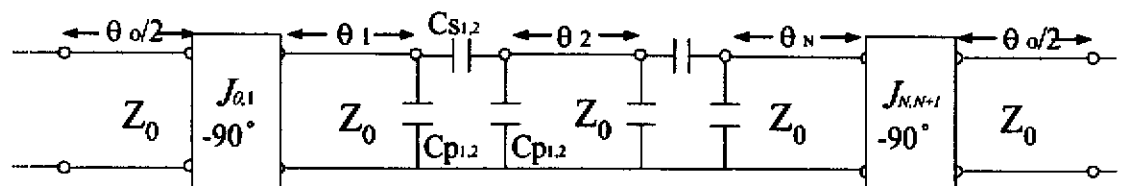


圖 2.10 帶通濾波器之電容及理想傳輸線模型。

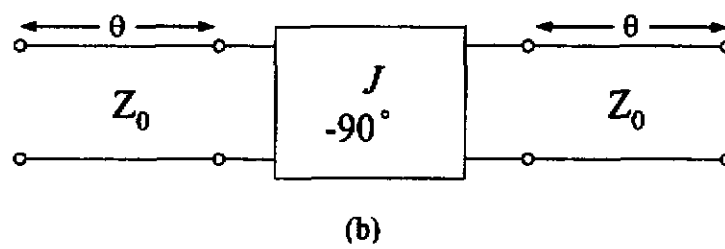
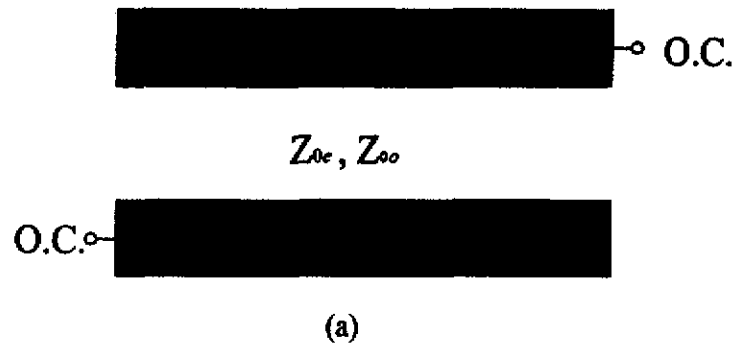


圖 2.11 邊緣耦合線(a).理想的耦合線 (b).理想耦合線等效電路。

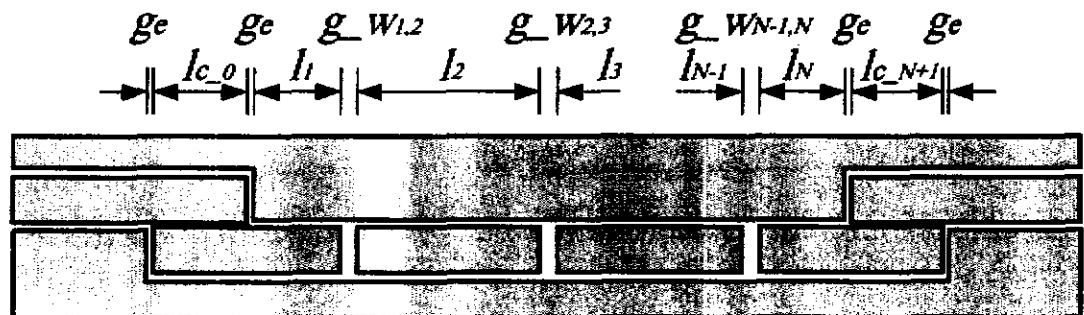


圖 2.12 帶通濾波器之實際 layout 結構。

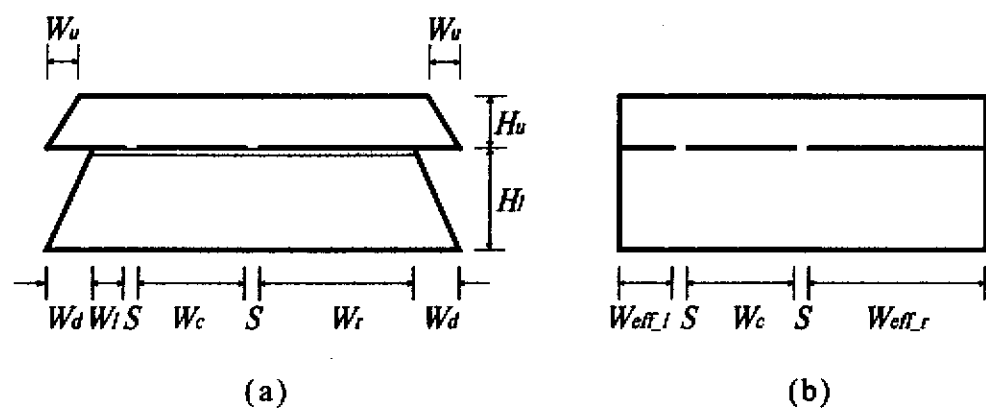


圖 2.13 微機電共面波導傳輸線之橫切面圖。(a).原圖 (b).等效圖

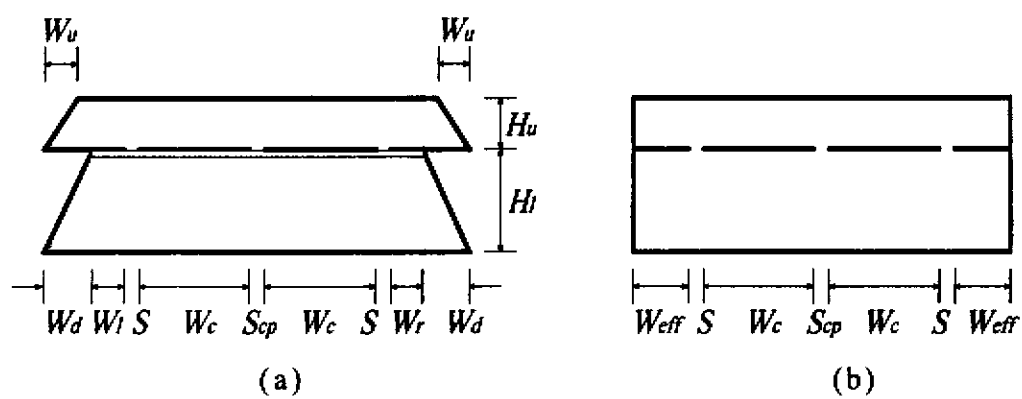


圖 2.14 微機電共面波導耦合線之橫切面圖。(a).原圖 (b).等效圖

第三章

共面波導雙工器之模擬及實驗的結果

3.1 簡介

傳統的窄通共面波導濾波器之平面結構如圖 3.1 所示，圖中黑色的部分表示金屬所在位置，由於其基板的介質損耗及輻射損，使得其 Q 值相當低，無法達到濾波器在截止頻帶有相當陡峭的頻率響應，同時在通帶時也會有相當大的插入損耗(insertion loss)。一般而言，共面波導的輻射損和表面波損耗是正比於頻率的三次方及 $(\epsilon_r - 1)^2$ [14]；為了要克服這個問題，本計畫嘗試引用微機電技術，發展橫切面圖如圖 2.13 的共面波導結構，此結構的基板已幾乎蝕刻殆盡，而且上下均有金屬封閉，其介質損耗及輻射損會降至最低，而達到雙工器中窄通濾波器的嚴格要求，以下將逐步地比較第二章所設計濾波器的模擬結果，及製程後所得的量測結果。

3.2 傳統共面波導濾波器

我們使用第二章的設計流程結合動差法(MoM) [15]，設計出一傳統的窄通濾波器如圖 3.2 所示；由圖 3.2(a) 可以看出在通帶的部分，量測的插入損比模擬的插入損大約少了 11dB 左右，由此可知傳統的濾波器介質損耗相當大；另外，量測的結果往高頻偏移，顯示所計算得的電性長度 $|\Phi_{n,1}|$ 稍微大了些，此部分一般均可在設計時略為調整尺寸即可達成；最大的問題可以由圖 3.2(b) 看出，在通帶的部份輻射損耗相當大，此部分基本上是由於共面波導結構之特性所致，無法用微調方式克服。

3.3 微遮蔽線的特性分析

無損耗的傳輸線特徵阻抗定義如(3-1 式)所示，由此方程式我們可知，特徵

阻抗是和單位長度的電容值成反比的：

$$Z_0 = \frac{1}{v_0 C_w} \quad (3-1)$$

其中， C_w 表示單位長度的電容值， v_0 表示光在真空中的速度。微遮蔽線 (micro-shielded line) 是一種新型的單晶傳輸線，因為這種結構可調的參數很多，因此它的特徵阻抗有很大的變化範圍。例如，加大圖 3.3 外部的封裝結構，傳輸線單位長度的電容值會因此而減少；依據無損耗傳輸線特徵阻抗的定義(3-1式)，特徵阻抗值則因而增加。

於下，我們將採用兩種不同的軟體，計算微遮蔽線的特徵阻抗。第一套軟體是由吳瑞北教授所開發的[13]，名為 **CAP1**；這套軟體的優點在於可以考慮斜邊的效應，因此我們採用它來計算圖 3.3(a)的封裝結構；另一套軟體則為商用軟體 **Sonnet EM**，只能考慮垂直的裝結構，如此只可計算如圖 3.3(b)的封裝結構。無論使用哪一套軟體，薄膜的厚度都是忽略的，因為由於薄膜的厚度大約只有 $0.25 \mu\text{m}$ ，相對於封裝空腔的高度 250 及 $500 \mu\text{m}$ 相去甚遠，所以可被忽略。

我們使用 **CAP1** 及 **Sonnet EM** 來計算特徵阻抗對槽寬的變化，如圖 3.4 所示。於此圖中，我們也改變不同的中心線金屬寬度，觀察特徵阻抗的變化。由圖我們可以看出，當固定某一中心線金屬寬度，這兩種方法在槽寬比較細時，其差異大約是 5%；在槽寬比較寬時，其差異大約只有 1% 左右，所以基本上斜邊的效應是可以忽略的。另外，對於不同的中心線金屬寬度，特徵阻抗的差異滿大的，如此乃是由於封裝的上下金屬板效應所致，故上下金屬板的高度，對於特徵阻抗值的量值，有著滿大的影響；但是由於製程上的限制，板子的厚度只有某些特定的規格，所以用高度來調整特徵阻抗，會因而有所限制。

圖 3.5 說明了有限接地金屬板(W_e)對特徵阻抗的影響。由圖我們可知，當 $(W/2+S+W_{ext}) / (W/2+S) > 1.5$ 時，再加長接地金屬板的寬度，特徵阻抗就沒什

麼變化；這是微遮蔽線共面波導優於傳統共面波導的特點，因為對於傳統的共面波導而言，當 $(W/2+S+W_{ext}) / (W/2+S) > 4$ 時，接地金屬的長度才可以忽略。基於這個特點，為遮蔽線共面波導電路的截面可以做得比較小。

封裝的微遮蔽線如圖 3.3 所示，其中對應於 50Ω 特徵阻抗的微遮蔽線參數如下所述：中心線金屬寬 $W=800\mu\text{m}$ ，槽寬 $S=80\mu\text{m}$ ，上層封裝金屬高度 $H_1=250\mu\text{m}$ ，下層封裝金屬高度 $H_2=500\mu\text{m}$ ，其中 $H=H_1+H_2$ ；接地金屬長度 $W_{ext}=900\mu\text{m}$ ，足以滿足特徵阻抗值不受斜邊影響的條件。值得注意的是，中心線金屬寬度和槽線寬度的比值為 10，遠比傳統的共面波導中心線寬度和槽線寬度的比值小，此乃由於上層的金屬封裝所致，這樣的結果可以使我們在製程上，鋪設金屬時有比較好的可靠度。

3.4 微機電共面波導濾波器

依照第二章的設計過程，我們設計了兩個 Ka-band 的濾波器，一個中心頻率在 28GHz 作為接收端濾波器，另一個中心頻率在 31GHz 作為發射端濾波器；此兩者用來組成一個雙工器，以供商用的 LMDS (Local Multipoint Distribution System) 使用。濾波的規格及對應於圖 2.8、圖 2.10 的參數如表 3.1 所示：

$f_0(\text{GHz})$	$J_{0,1(3,4)}Z_0$	$J_{1,2(2,3)}Z_0$	$Z_{0e0,1(3,4)}$	$Z_{0o0,1(3,4)}$	$C_{S1,2(2,3)}(\text{pH})$	$\theta_{1(3)}$	θ_2
28	0.213	0.0433	198.02	198.02	38.37	177.52	175.04
31	0.276	0.0722	237.67	237.67	57.75	175.87	171.74

$$N = 3, BW = 3\%, \text{ripple} = 0.5\text{dB}, \epsilon_r = 1$$

S_{21} in outband must be less than -30dB

表 3.1 等效電路參數及濾波器規格

圖 3.6(a) 為去除封裝後，濾波器實際電路的尺寸和結構圖，其中尺寸有兩個

規格，一個是發射端 31GHz 濾波器的尺寸，另一個是接收端 28GHz 濾波器的尺寸；另外，為了消除微機電封裝效應的寄生模影響，我們也設計了兩個折曲型濾波器，其尺寸及結構突如圖 3.6(b)所示；值得一提的是基於製程上的限制，這些電路的尺寸，最小的槽線寬都不得小於 $10\mu\text{m}$ ，以免造成製造上的誤差。這些電路我們都使用 Sonnet EM 進行分析，分析的結果將如下所述。

圖 3.7(a)及(a')為圖 3.6(a)的實際結構照相放大圖；其中，圖 3.7(a)為其上視圖，而圖 3.7(a')為其仰視圖；圖 3.7(b)及(b')為圖 3.6(b)的實際結構照相放大圖，其中，圖 3.7(b)為其上視圖，而圖 3.7(b')為其仰視圖。圖 3.8 為圖 3.7 的頭尾兩端探針量測點的放大圖，由圖我們可以看出下探針的地方，底下有一層二氧化矽的介質，而這種介質的損耗是相當大的，在模擬的過程中，這部分轉接的效應及介質損耗並沒有被列如考慮。圖 3.9 為圖 3.8 的實際結構照相放大圖，所有的電路製程，都將依循第四章的微機電製程進行，量測的方式是採用 $150\mu\text{m}$ pitch-to-pitch 的探針，於 HP8510C 向量網路分析儀進行量測，此外，我們於量測的過程中，也採用了 TRL 校準方式，其照相放大圖如圖 3.10 所示，量測的結果將如下所示。

對應於圖 3.7(a)的直線型 28GHz 濾波器，其模擬及量測結果如圖 3.11 所示，由圖可以看出，量測的結果比模擬的結果中心頻率低了 0.5GHz 左右，這乃是由於在模擬時，我們並沒有考慮薄膜的效應所致；另外，在通帶的部分，量測的插入損比模擬的結果少了 0~3dB 左右，這是由於我們模擬時，並沒有考慮轉接部分介質的損耗。圖 3.12 為直線型 31GHz 濾波器的模擬和量測結果的比較圖，由圖我們也可以看出，量測的結果比模擬的結果中心頻率低，且在通帶也有很大的損耗；附帶說明的是，在低頻截止帶部分，量測的結果和模擬的結果有著相當大的差異，我們推測這應該是由於量測所造成的誤差，或者有可能是封裝結構的寄生模所致。基於這個推測，我們設計了對應於圖 3.7(b)的折曲型 31GHz 濾波器，並把這個結果和直線型的濾波器做比較，其量測結果比較圖如圖 3.13 所示，由圖我們可以看出，在低頻截止帶的部分，折曲型的濾波器比直線型的濾波器好，

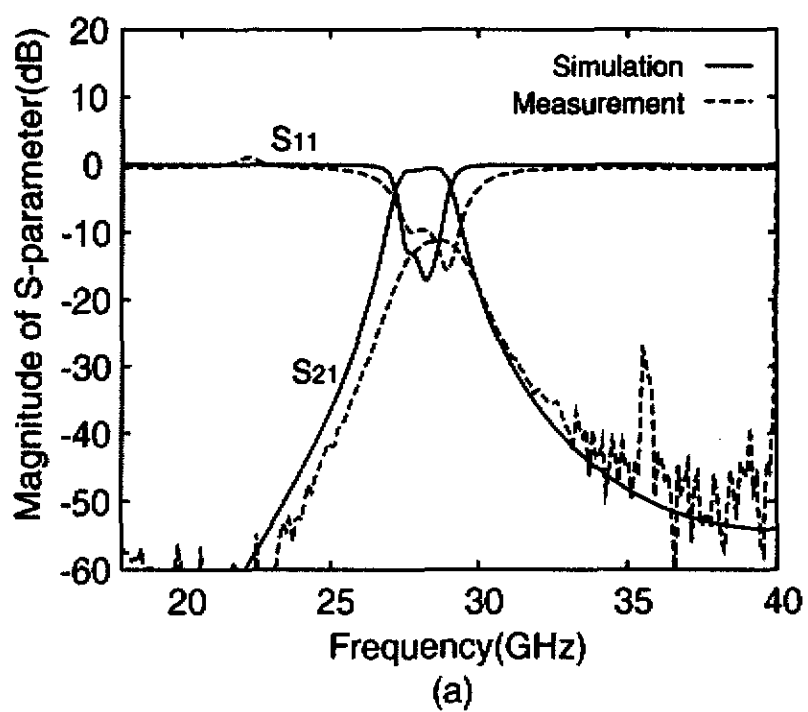
其反射損約有 40dB 左右，比直線型的 15dB 來的好。

3.5 微機電共面波導雙工器

微機電共面波導雙工器的設計過程，已於第二章時詳述；只要將兩個微機電共面波導濾波器並接起來，並將兩個濾波器折曲以避免其重疊，即可達成所需的雙工器。值得注意的是，由於第一段耦合線被折曲，所以其長度要稍微調整，但是必須維持的條件是：每一段共振長度必須符合 $\theta = \pi$ (rad) at ω_0 。圖 3.14 為此雙工器的上視結構圖，圖 3.15 為其照相放大上視圖，金黃色的部分為金屬的部分，藍色部分為槽線的部分。圖 3.16 為雙工器模擬和量測結果的比較圖，由圖我們觀察到，發射端 31GHz 量測的插入損大約為 3dB 左右，而模擬的結果大約為 1dB 左右；接收端 28GHz 量測的插入損大約為 4dB 左右，而模擬的結果大約為 1dB 左右；這樣的差異乃是由於我們在模擬的時候，並沒有考慮轉接部分的損耗，且實做電路時，下面空腔的金屬兩側並沒有封裝，以致造成損耗。



圖 3.1 傳統窄通共面波導濾波器之平面結構。



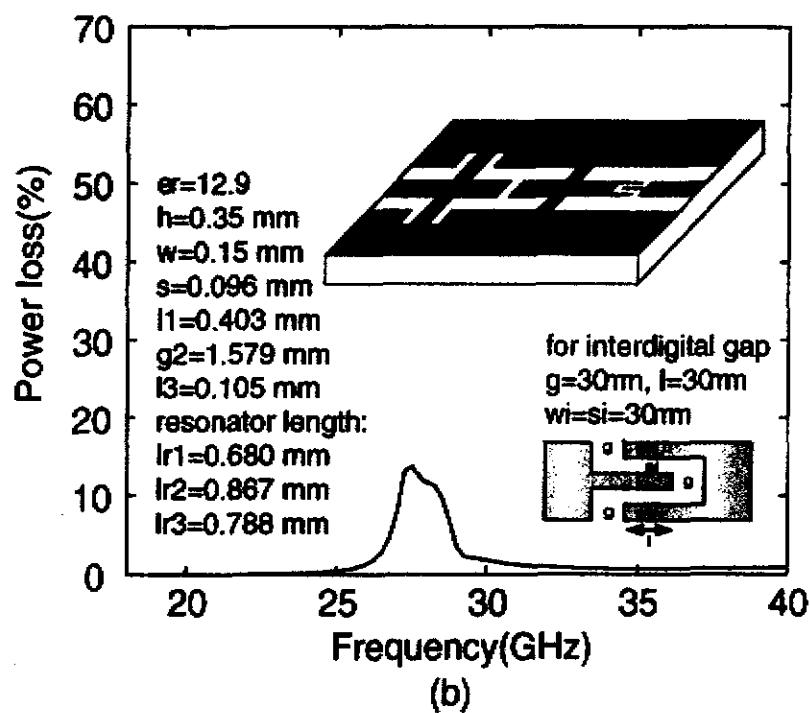


圖 3.2 傳統的窄通濾波器之設計實例之量測結果。(a).插入損及反射損(b).輻射損耗

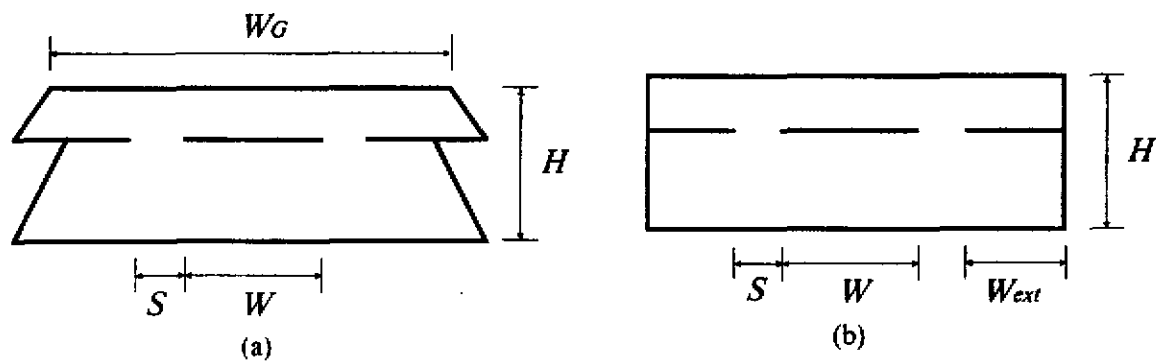


圖 3.3 傳統的窄通濾波器之設計實例及量測結果。(a).實際結構 (b).近似結構

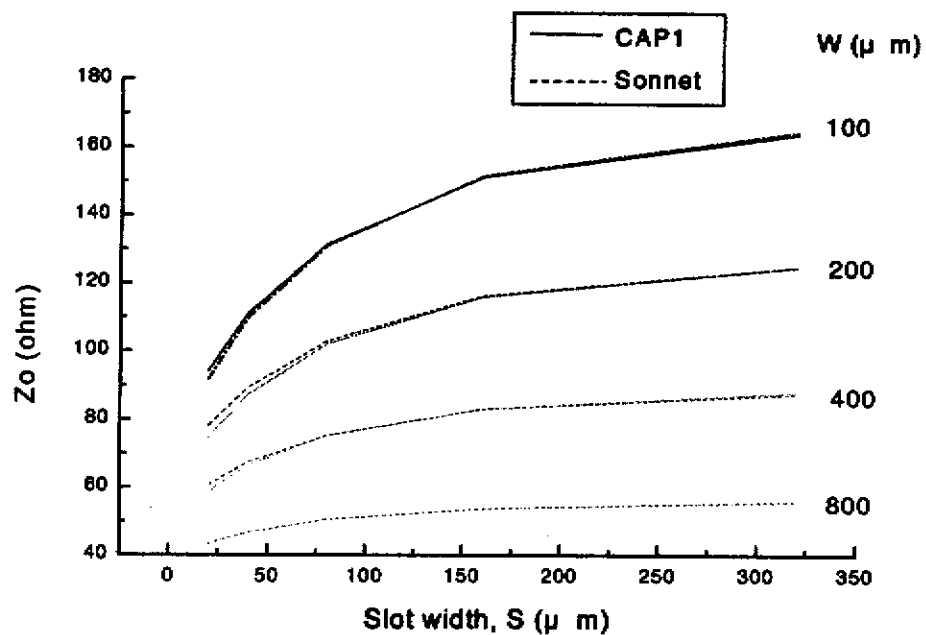


圖 3.4 微遮蔽線特徵阻抗對槽寬變化($W_G = 2500 \mu m$, and $H = 750 \mu m$)。

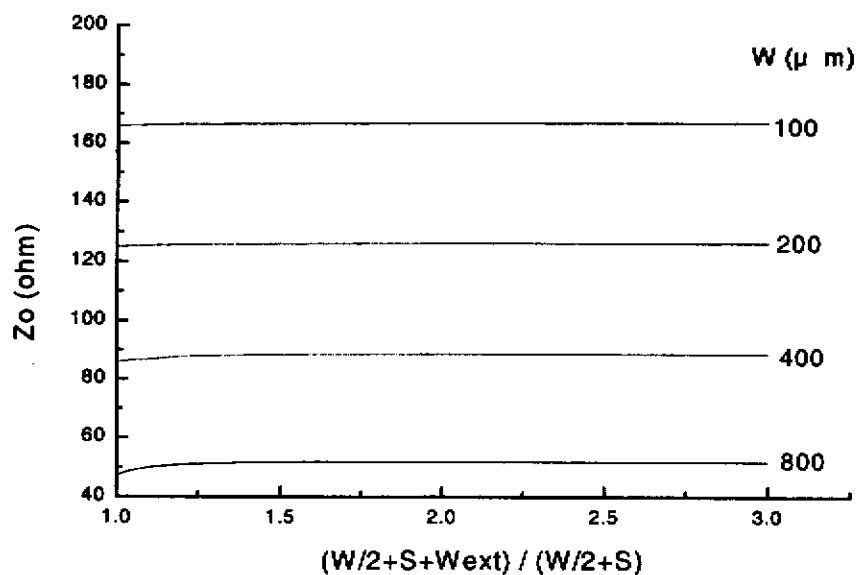
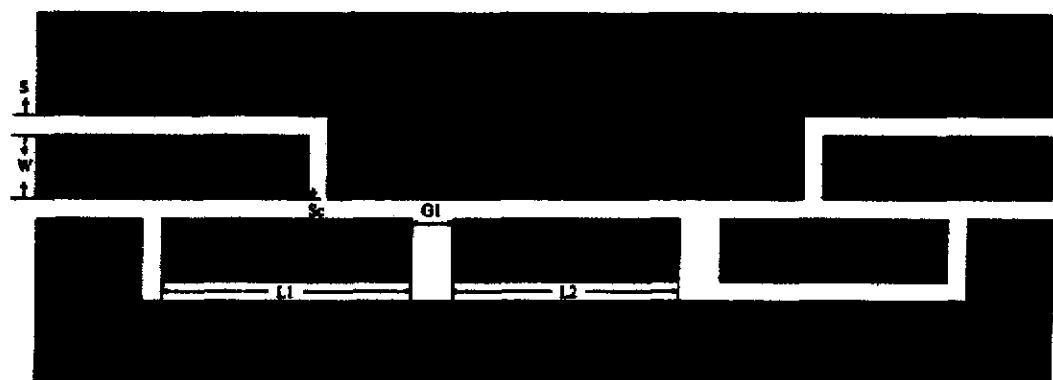
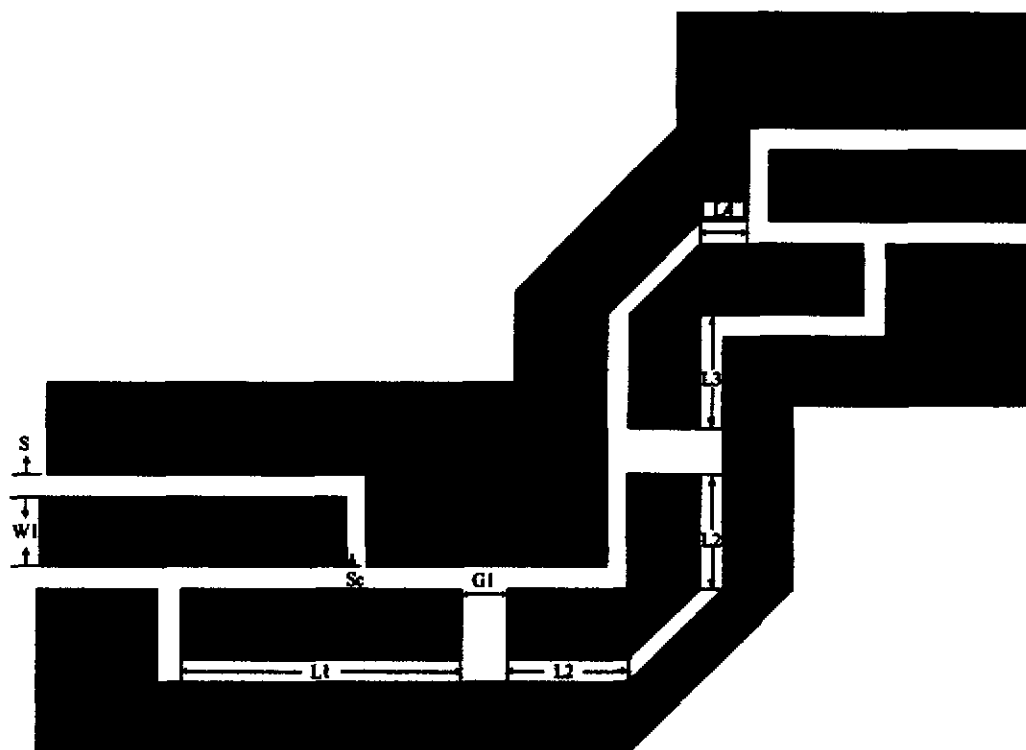


圖 3.5 微遮蔽線特徵阻抗對接地金屬長度的變化($W/2 + S = 500 \mu m$ and $H = 750 \mu m$)。



$f_0(\text{GHz})$	W	S	Sc	Lc	$L1$	$G1$	$L2$
28	800	80	40	2400	5000	100	5120
31.5	800	80	40	2100	4420	140	4520

(a)



$f_0(\text{GHz})$	W	S	Sc	Lc	$L1$	$G1$	$L2$	$L3$	$L4$
28	800	80	40	2400	5000	100	2320	1700	500
31.5	800	80	40	2100	4400	140	2100	1400	500

(b)

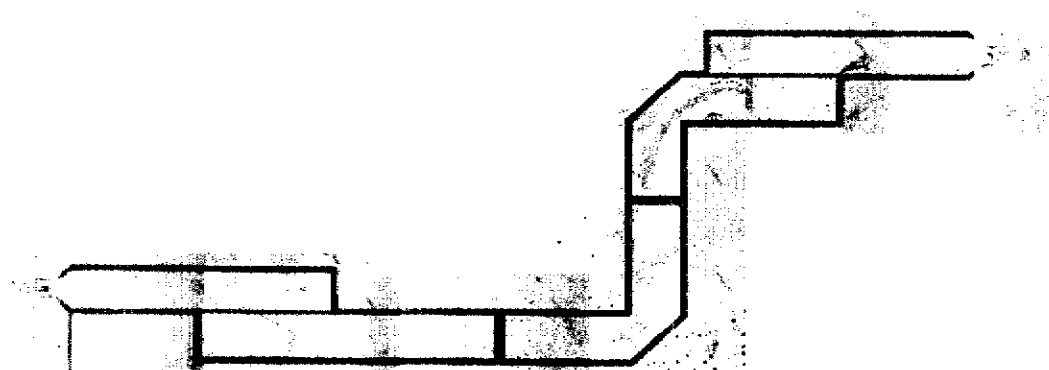
圖 3.6 微機電共面波導濾波器的平面結構和尺寸。(a).直線型 (b).折曲型



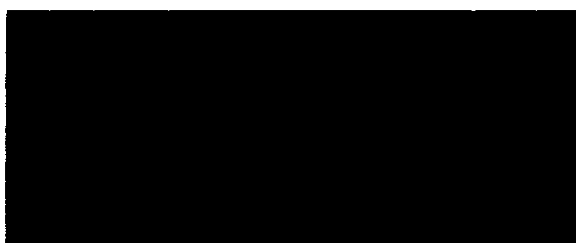
(a)



(a)



(b)



(b)

圖 3.7 微機電共面波導濾波器的照相放大圖。(a).直線型上視圖(a).直線型仰視圖(b).折曲型上視圖(b)折曲型仰視圖

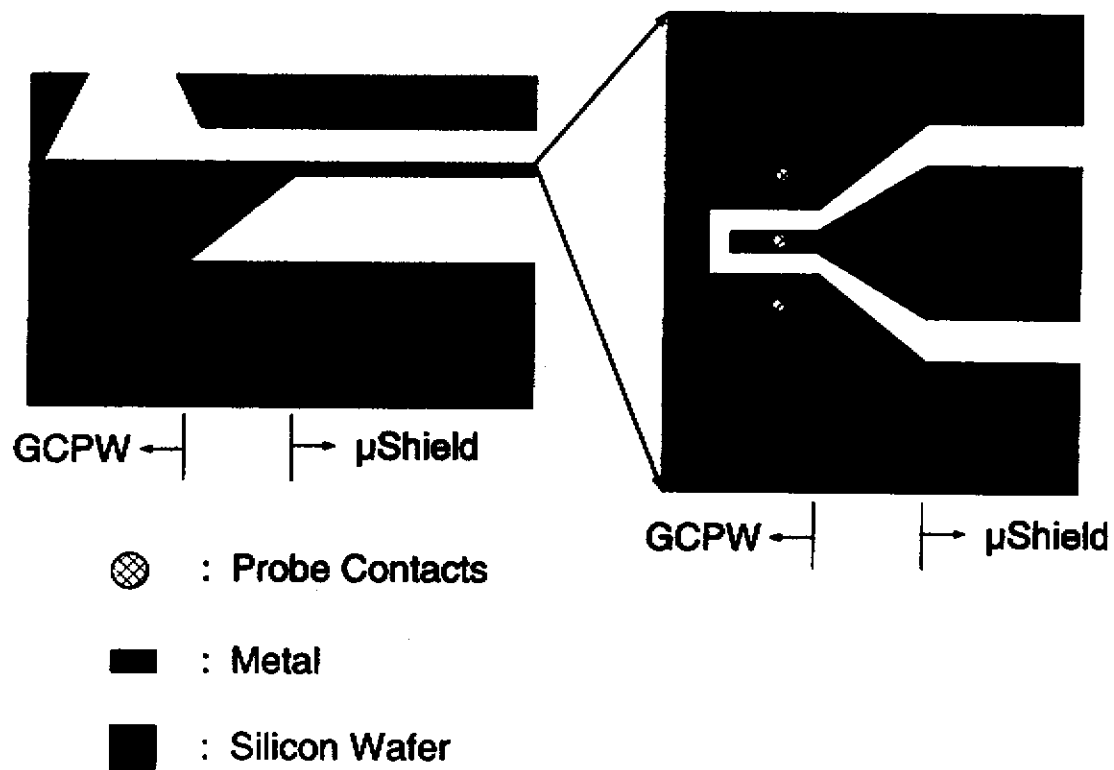


圖 3.8 CPW pad 到微遮蔽線的轉接。

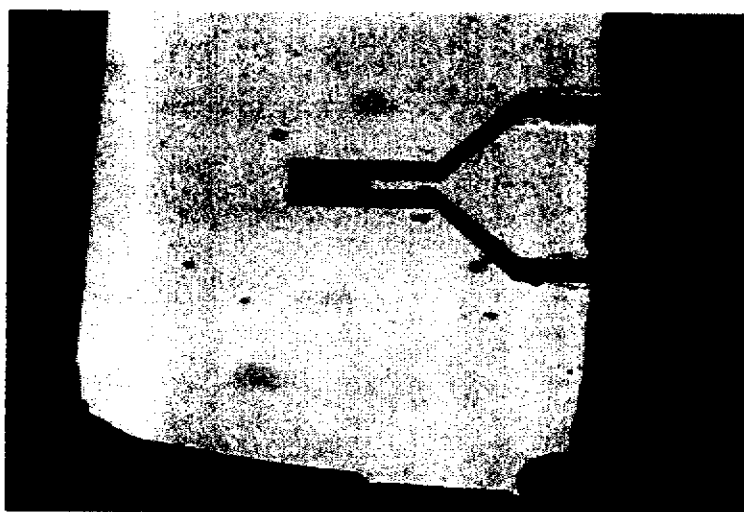


圖 3.9 下探針開口處的照相放大圖。

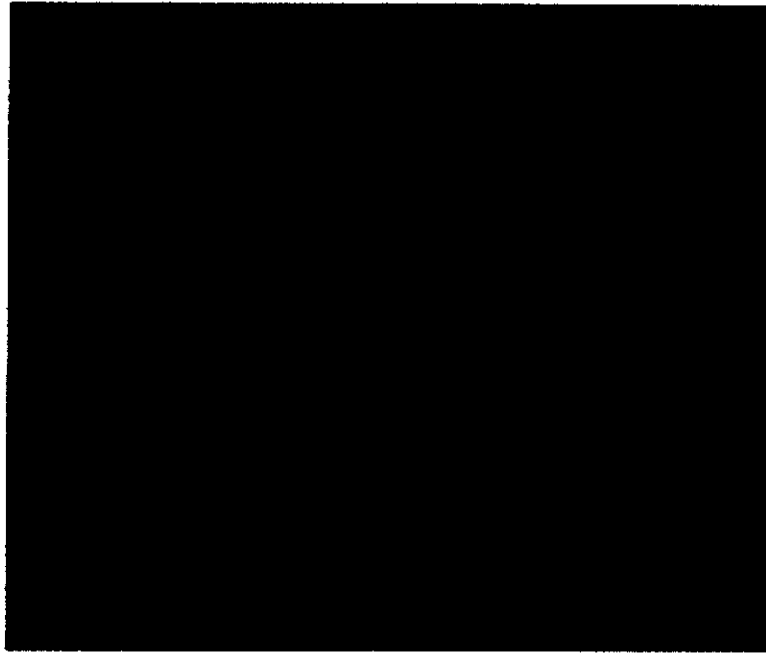


圖 3.10 TRL 校準電路的照相放大圖。

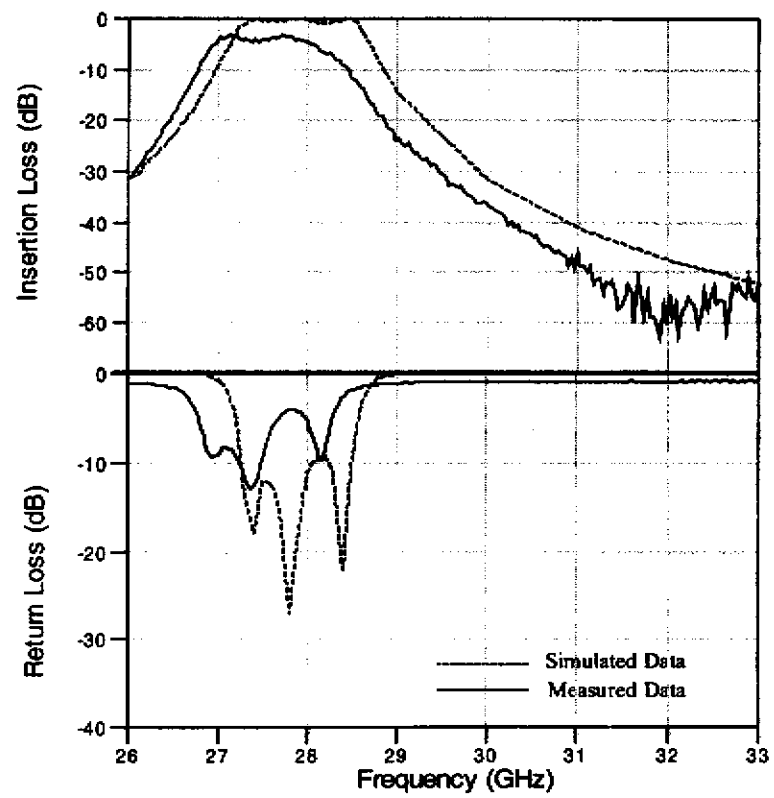


圖 3.11 28GHz 接收端濾波器：直線型的模擬和量測結果比較圖。

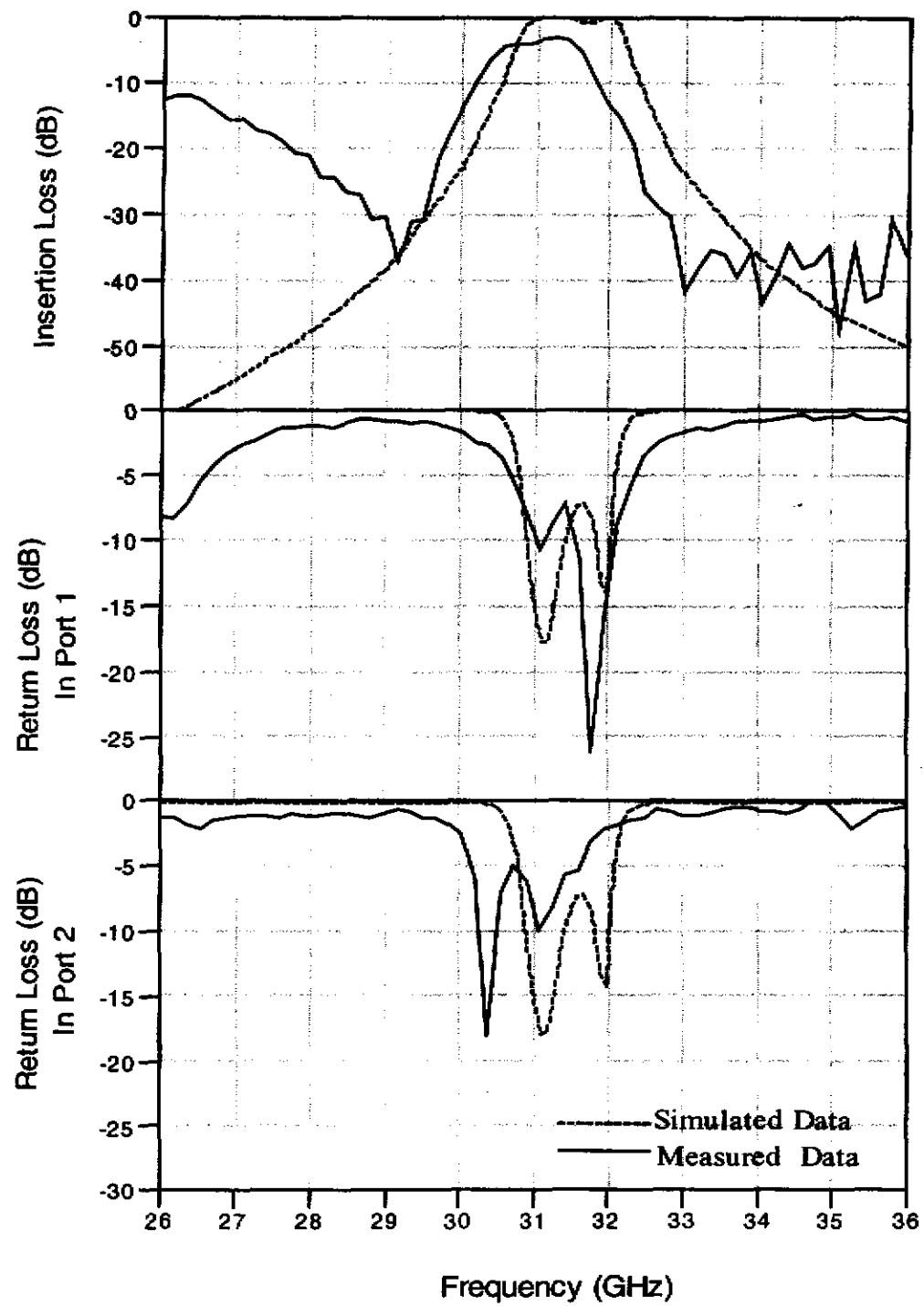


圖 3.12 31GHz 發射端濾波器：直線型的模擬和量測結果比較圖。

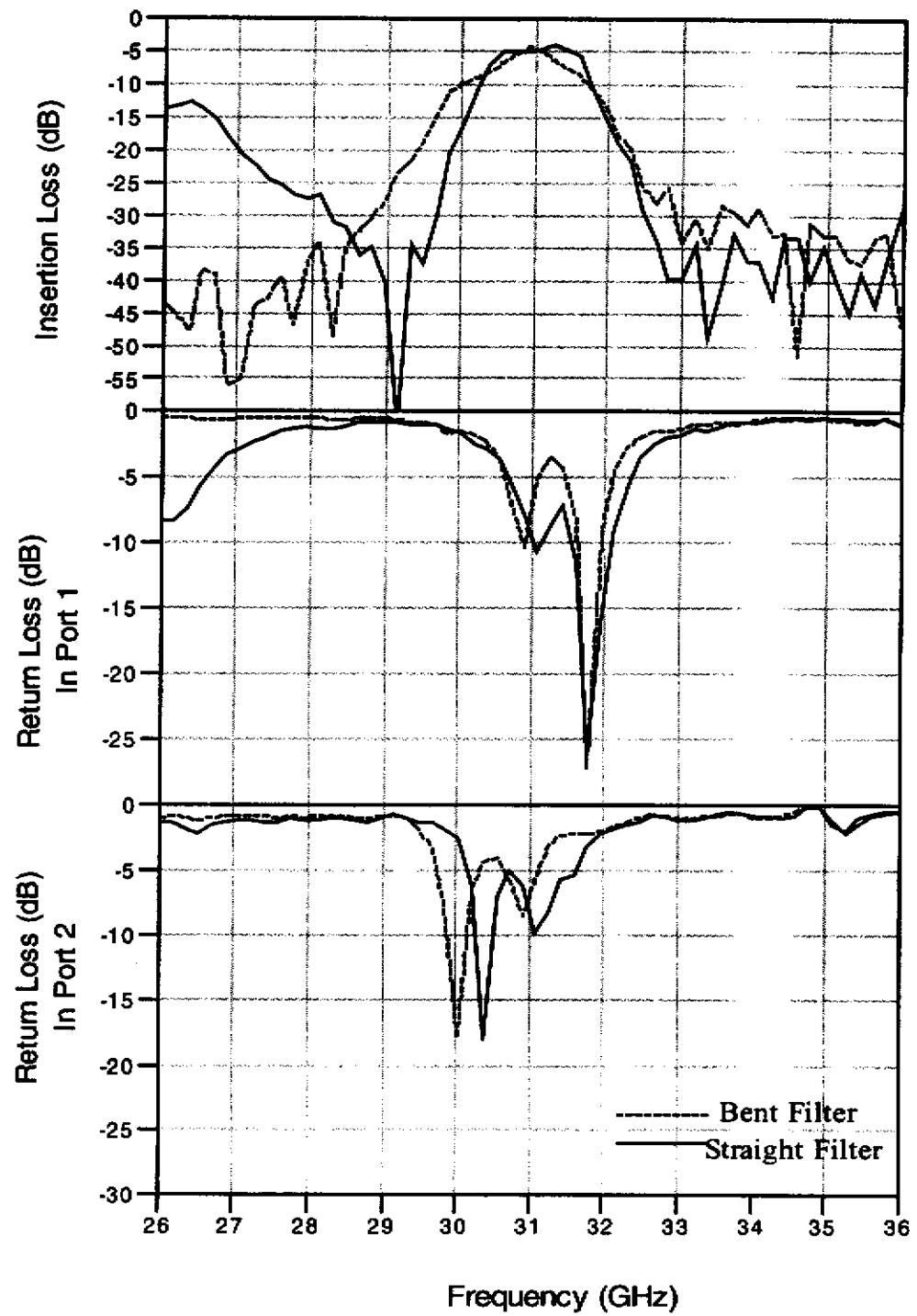


圖 3.13 31GHz 發射端濾波器:直線型和折曲型的量測結果比較圖。

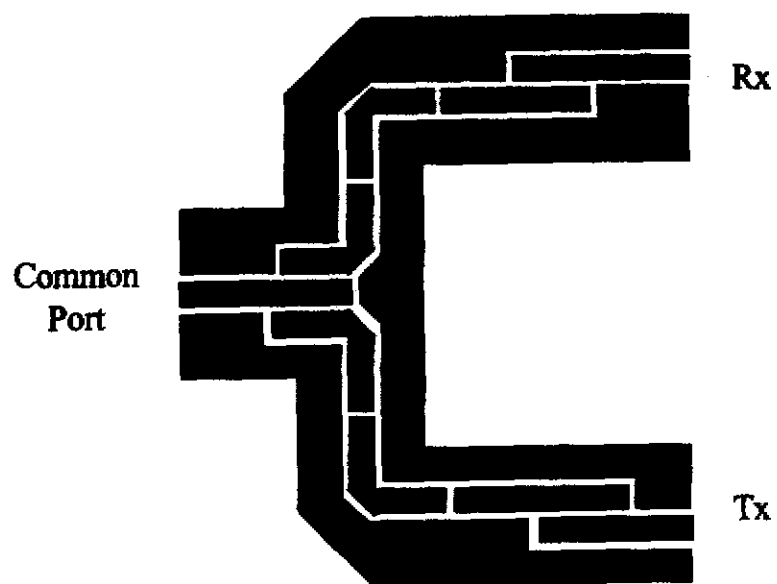


圖 3.14 微機電共面波導雙工器之上視圖。

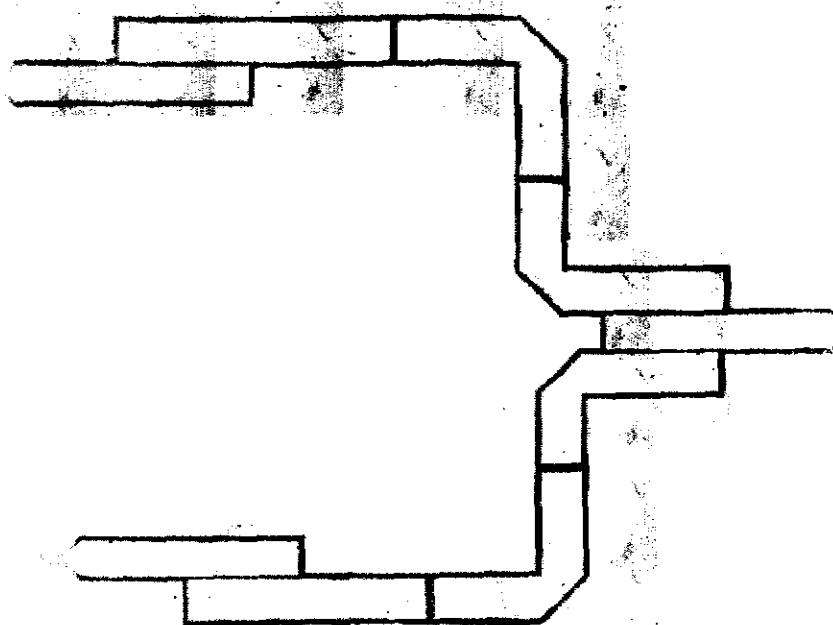


圖 3.15 微機電共面波導雙工器：照相放大上視圖。

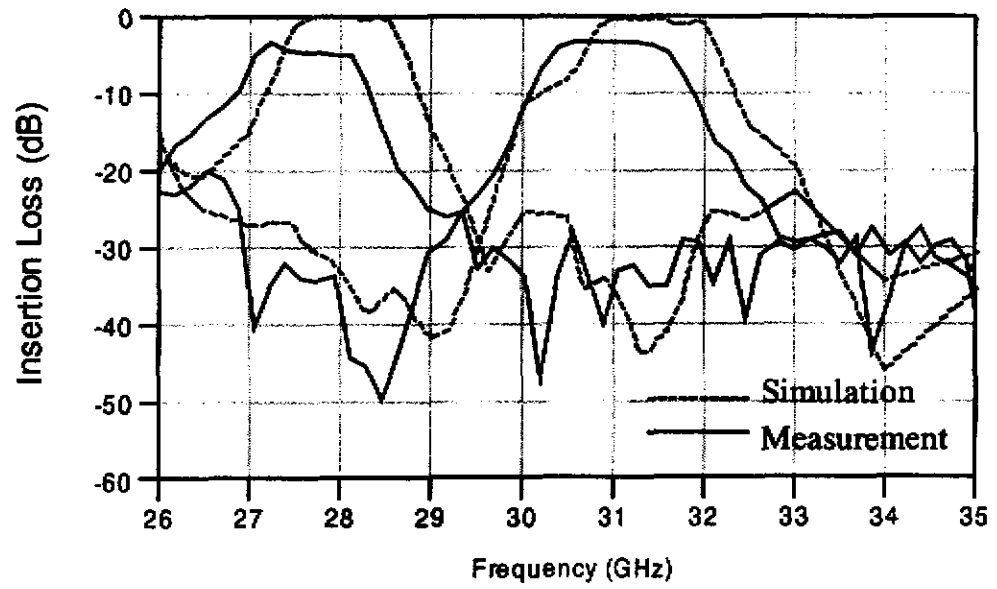


圖 3.16 微機電共面波導雙工器：模擬和量測結果的比較圖。

第四章

微機電共面波導雙工器之製造過程

4.1 簡介

基本上，本計畫所採用的微機電技術使屬於矽微機過程 (Silicon Micromachining Process) 的技術，這種技術已普遍地應用在感應器上，但是對於電路方面的應用，倒是極為少見。我們所採用的微機電架構，是由三個個別蝕刻的電路版，疊在一起所形成的；上層為封裝的金屬空腔，中層為主要的電路結構，下層為封裝金屬板，其結構如圖 4.1 所示。由於採用的電路結構為共面波導，對於不對稱的效應十分敏感，所以在製作的過程中，我們會使用 via 使其的接地面達成等電位，以消除奇模的干擾。以下我們分兩個章節，分別詳述上層金屬空腔及中層共面波導電路的製作過程，於其後也簡述一些製作的過程中所需要注意的事項。

4.2 上層金屬空腔的製作過程

上層金屬空腔及探針開口如圖 4.2 所示，這兩個部分的製作，可以在一次的蝕刻過程中，從兩邊同時進行蝕刻即可完成。製程的過程如下所示：

- (1). 我們先在厚度為 $500\text{ }\mu\text{m}$ 的矽板兩面，鋪上厚度為 $1000/1500\text{\AA}$ 的 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 介質層，如圖 4.3(a) 所示。
- (2). 接著我們使用乾式蝕刻法 RIE (Reactive Ion Etcher) 來形成空腔及開窗，步驟如下所示：
 - (a). 首先，在圖 4.3(a) 兩面塗上光阻，如 S1813 或 AZ5147。
 - (b). 然後，將圖 4.4(a) 上層空腔的光罩及圖 4.4(b) 探針開口的光罩放在圖 4.3(a) 的兩面，用紫外線照射。
 - (c). 在照射完之後，將電路送進烤箱裡面，以 120°C 烘烤 30 分鐘。

- (d). 使用 $O_2:CF_4(10:1)$ 的氣體進行 RIE，結果如圖 4.3(b) 所示。
- (3). 接著使用溼式蝕刻法：將電路放入 KOH 的溶液中，使電路的兩面分別蝕刻 $250\text{ }\mu\text{m}$ ，得到圖 4.3(c) 的結構。值得注意的是，由表 4.1 所示，因為 KOH 是不蝕刻 Si_3N_4 ，所以其底下的部分會被保留。
- (4). 最後，我們將電路清洗乾淨，把空腔的部分鍍上 Cr 及 Au，使其厚度達到 $1.5\text{ }\mu\text{m}$ ，如圖 4.3(d) 所示。先鍍上 Cr 的目的，乃是其對介質的吸附性比較好，所以先鍍上一層 Cr 再鍍上 Au。

依據以上的步驟，我們即可完成上層空腔及探針開口的製程，實際結構的照相放大圖如圖 4.5 所示。

蝕刻液	S 蝕刻率 ($\mu\text{m}/\text{min}$)	Mask	蝕刻率 ($\square/\text{min}$)
KOH (用水稀釋至 7M, 85°C)	1.4	Si_3N_4	不侵蝕
		SiO_2	28
EDP (115°C)	1.25	Si_3N_4	2~5
		SiO_2	1
		Au, Cr, Ag, Cu	不侵蝕

表 4.1 KOH 及 EDP 對不同物質的蝕刻率

4.3 中層共面波導電路的製程

中層共面波導電路的製作過程，如下面的步驟所示：

- (1). 在厚度為 $500\text{ }\mu\text{m}$ 的矽板兩面，鋪上厚度為 $1000/1500\text{Å}$ 的 SiO_2/Si_3N_4 介質層，如圖 4.6(a) 所示。
- (2). 使用乾式蝕刻法 RIE 及圖 4.7(a) 正面 vias 的光罩，將光罩的結構形成

在圖 4.6(a)的正面上，即可得圖 4.6(b)開槽的結構。

(3). 使用標準的 photolithographic 方法及圖 4.7(b)共面波導電路的光罩，在表面上形成所需要的電路，如圖 4.6(c)所示。

(4). 使用乾式蝕刻法 RIE 及圖 4.7(c)背面 vias 的光罩，將光罩的結構形成在圖 4.6(c)的背面上，即可得圖 4.6(d)開槽的結構。

(5). 使用溼式蝕刻法將電路放入 KOH 的溶液中，在電路背面蝕刻 $500\text{ }\mu\text{m}$ 的深度，如圖 4.6(e)的結構。

(6). 將背面 vias 的空腔鍍上金屬，如此接地的 via 即形成；另外，使用乾式蝕刻法 RIE 及圖 4.7(d)下面金屬空腔的光罩，將光罩的結構形成在圖 4.6(e)的背面上，如圖 4.6(f)所示。

(7). 使用溼式蝕刻法將電路放入 KOH 的溶液中，在電路背面蝕刻 $500\text{ }\mu\text{m}$ 的深度，如此及形成底下的空腔結構，如圖 4.6(g)所顯示。

經過了以上的步驟，如此我們所需要的中層電路即可形成，圖 4.8(a)為共面波導電路的實際結構照相放大正視圖，圖 4.8(b)為其背面的正視圖。在完成了上層金屬空腔及中層共面波導電路的製程之後，我們再製作一個單面金屬的砂板，然後把這三層板子疊在一起，即形成我們最終所要的微機電共面波導雙工器。

在溼式蝕刻的過程中，有一些細節需要注意，於下我們將之提出討論。KOH 是溼式蝕刻最常用的蝕刻液，在氣溫 80°C 時，它以 1:1 的比例和水形成均勻的透明飽和溶液；當氣溫增高時，它會因此而變得比較不均勻。以 KOH 蝕刻砂板時， SiO_2 的蝕刻速度比 Si 來得快，尤其當溶液的濃度為 4M 時，KOH 對於 $\text{SiO}_2(100)$ 晶面的蝕刻率會達到最大值，但是砂板表面的平滑度會因此而降低。不過，由於溶液濃度對平滑度的影響並不是很明顯，因此，我們採用濃度為 7M 的溶液當作我們的蝕刻液，以加速我們蝕刻的速度。但是當砂板蝕刻到只剩 $50\text{ }\mu\text{m}$ 時，蝕刻的速度需要降低，以免由於快速蝕刻所產生的擾動，造成電路的破損。

一般而言，蝕刻的過程是一段相當長的時間，需要耗損數個小時；加高溫度或是降低壓力，可以加快蝕刻的速度；另外，蝕刻的速度也受制於蝕刻槽及蝕刻

液的年限。對於矽板的蝕刻，KOH 會採用 $\langle 111 \rangle$ 晶面當作 $\langle 100 \rangle$ 晶面的截止面，因此蝕刻完成後，會形成如圖 4.1 中 54.7° 的斜角。

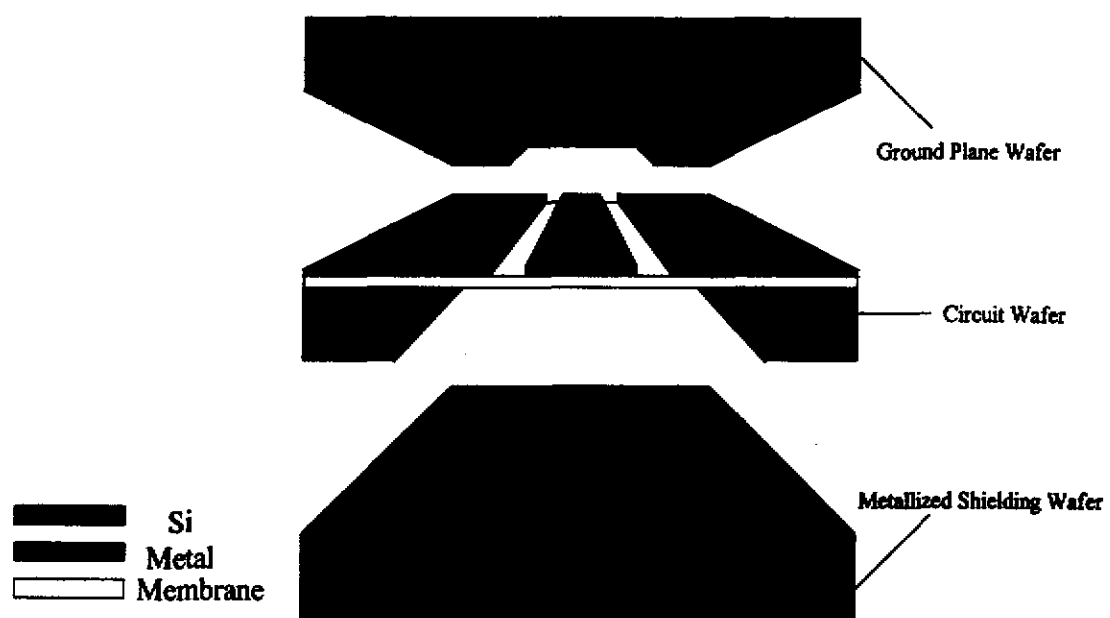


圖 4.1 微機電共面波導傳輸線之結構圖。

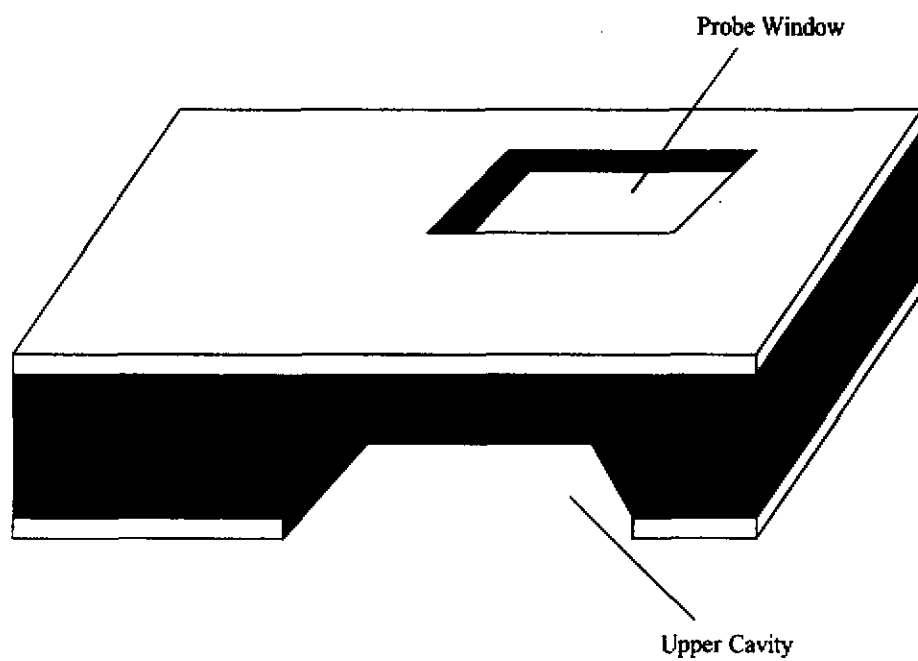


圖 4.2 上層封裝金屬空腔及探針開口。

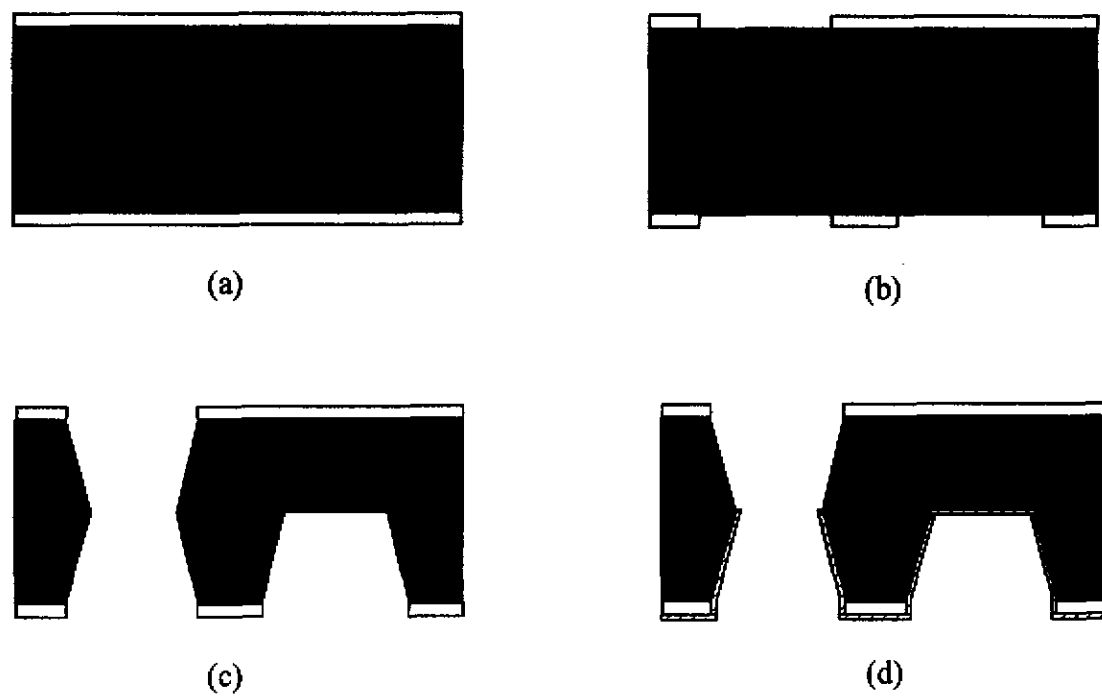
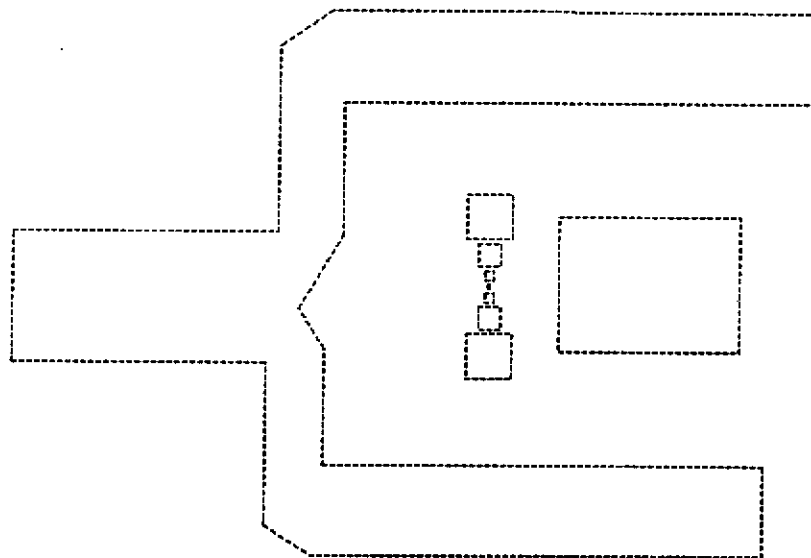
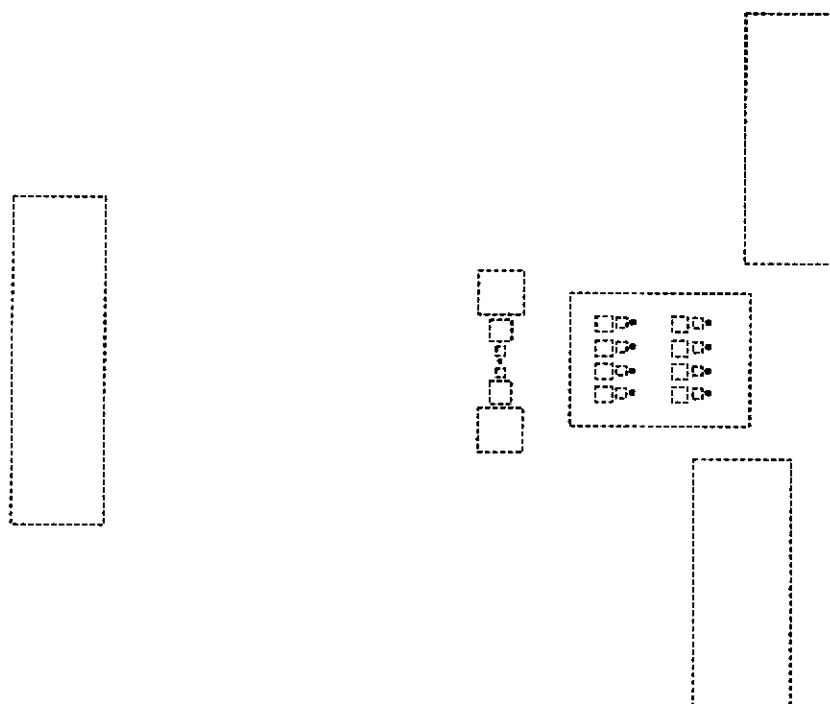


圖 4.3 上層金屬空腔及探針開口的製造過程

- (a). 在兩面各沈澱一層 Si_3N_4 的介質層後的圖形
- (b). 經過 RIE 乾蝕刻(Dry Etching)後的圖形
- (c). 經過 KOH 溼蝕刻後的圖形
- (d). 鍍上金屬後的圖形



(a)



(b)

圖 4.4 對應於圖 4.3 所需要用到的光罩

(a).上層空腔

(b).探針開口

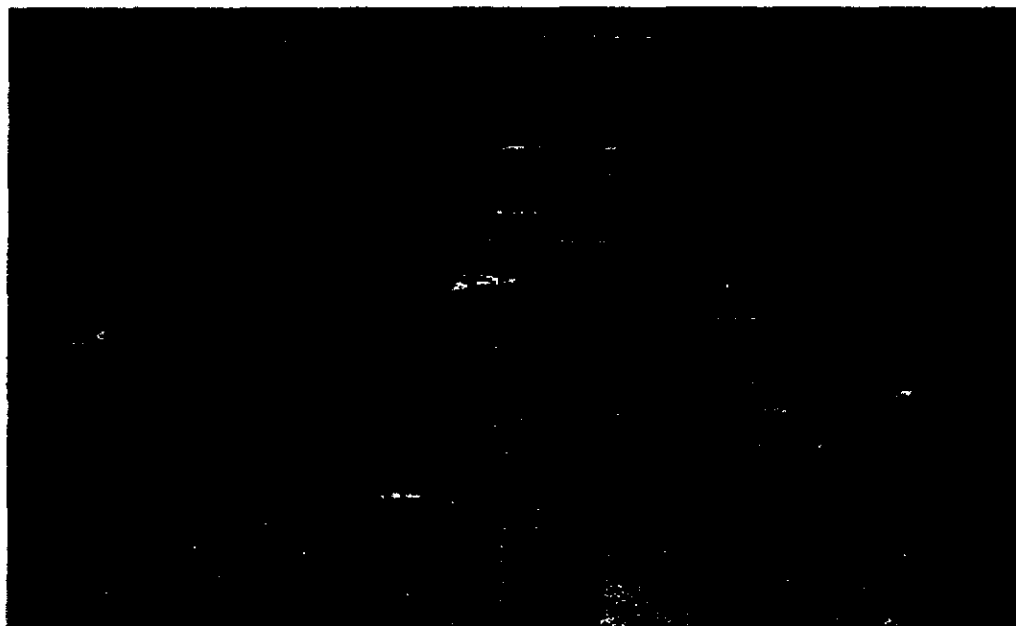


圖 4.5 上層金屬空腔的實際照相放大圖。

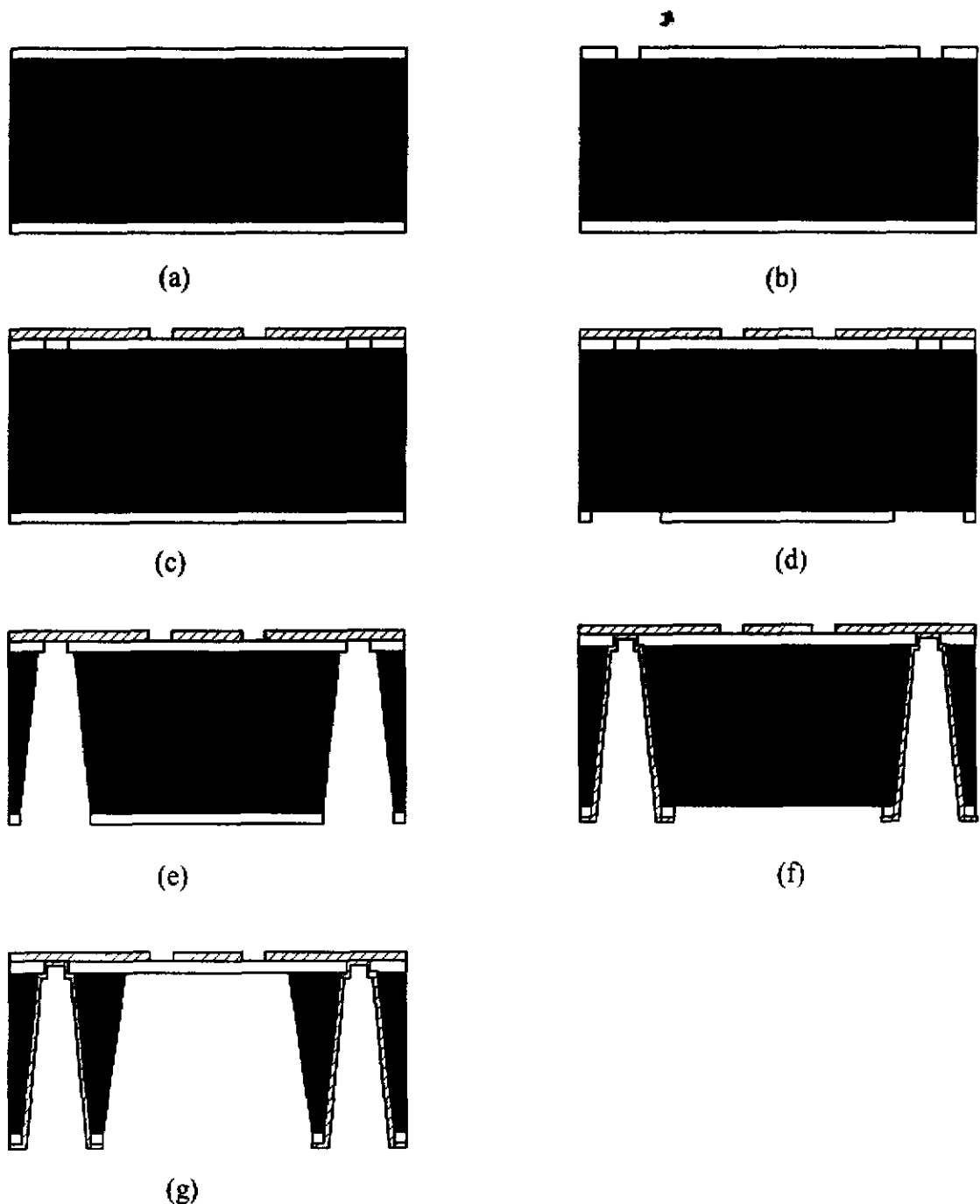
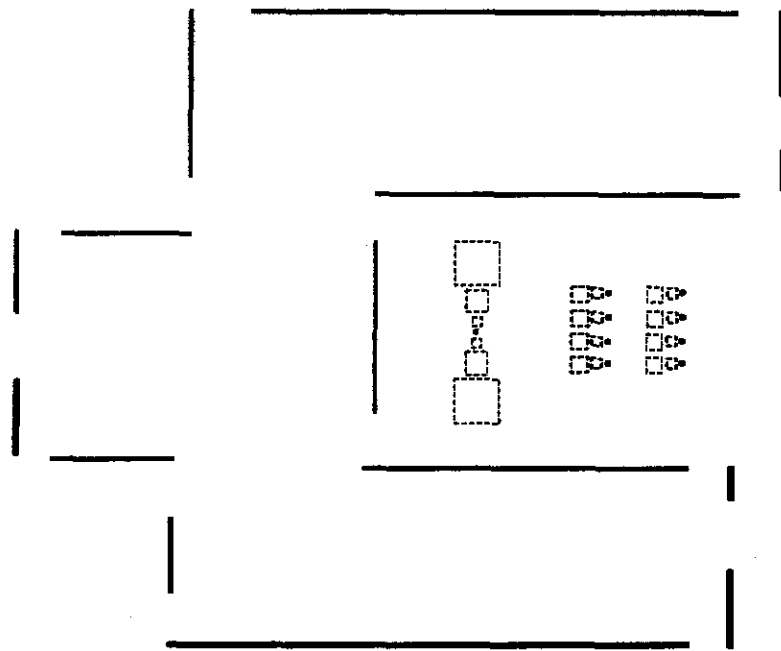
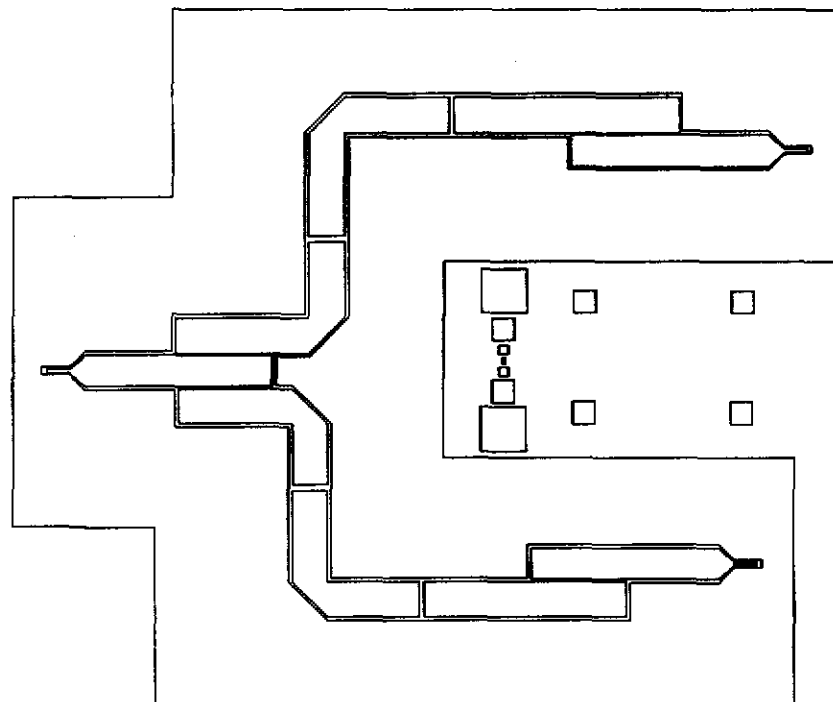


圖 4.6 中層共面波導電路及下層金屬封裝的製造過程。

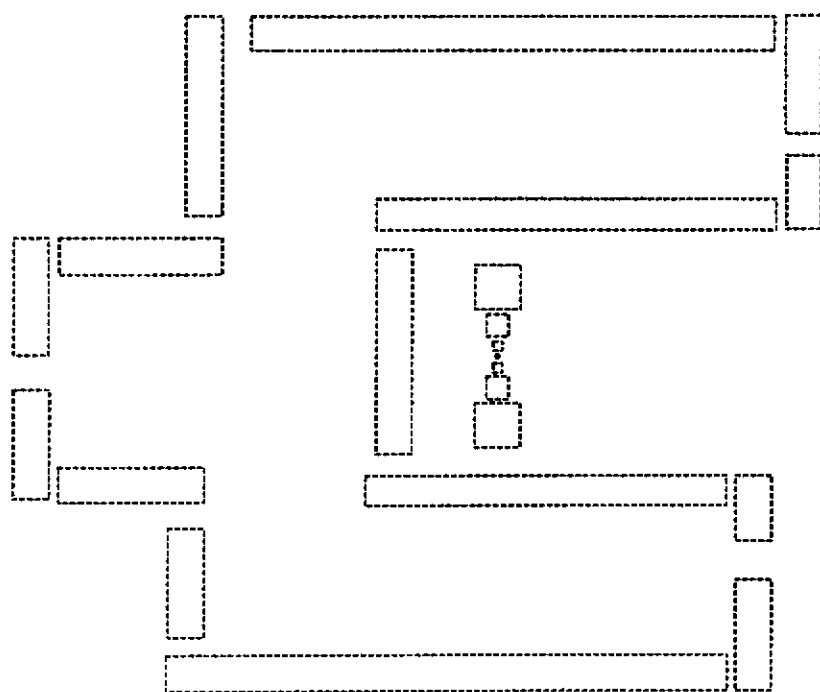
- (a). 在兩面各沈澱一層 Si_3N_4 的介質層後的圖形
- (b). 經過 RIE 乾蝕刻(Dry Etching)後的圖形
- (c). 使用 photolithographic 鍍上金屬後的圖形
- (d). 經過 RIE 乾蝕刻(Dry Etching)後的圖形
- (e). 經過 KOH 溼蝕刻後的圖形
- (f). 鍍上金屬後及經過 RIE 乾蝕刻(Dry Etching)後的圖形
- (g). 經過 KOH 溼蝕刻後的圖形



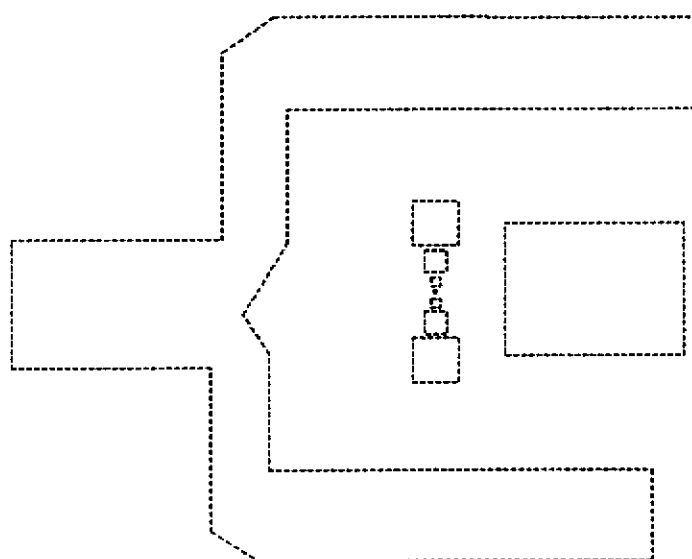
(a)



(b)



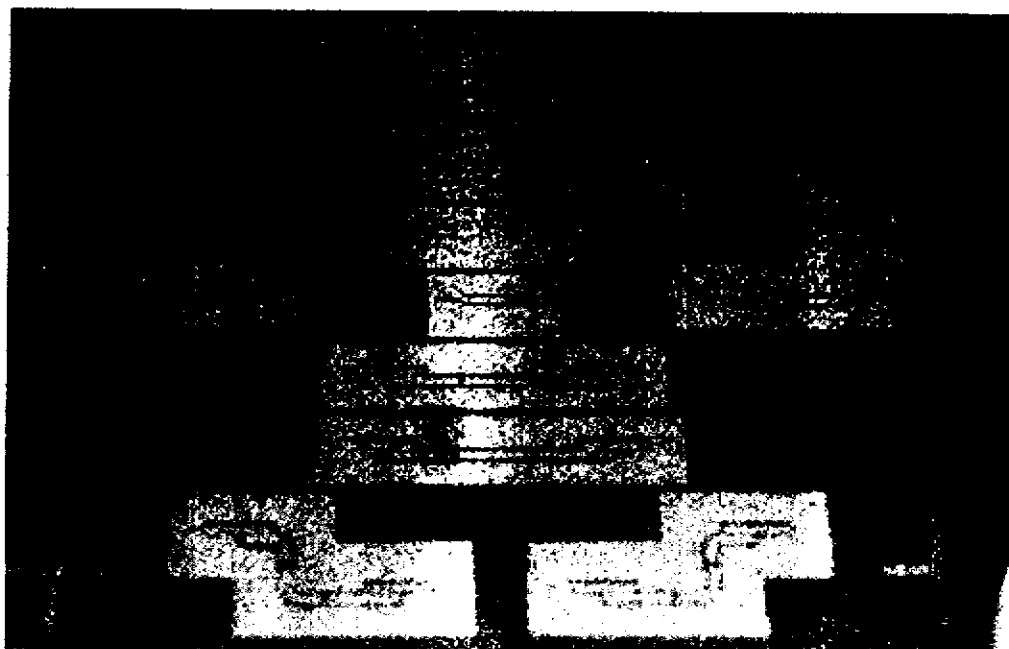
(c)



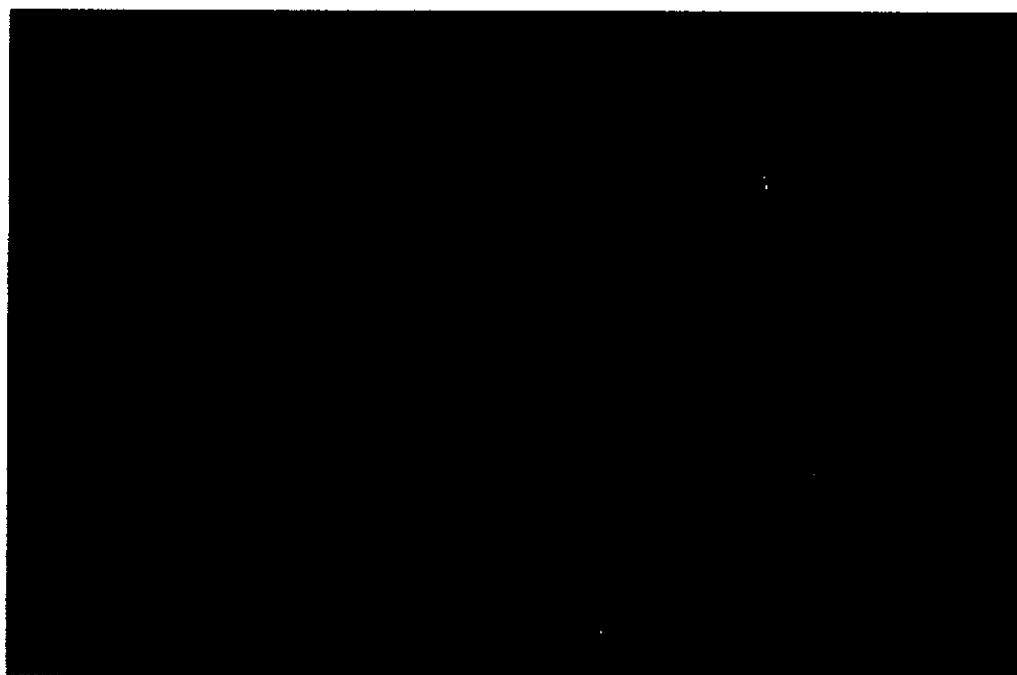
(d)

圖 4.7 對應於圖 4.6 所需要用到的光罩

- (a). 正面接地開槽
- (b). 共面波導電路
- (c). 背面銜地開槽
- (d). 背面封裝金屬空腔



(a)



(b)

圖 4.8 中層電路的實際照相放大圖

(a). 正面

(b). 背面

第五章

結論

本計畫所使用的濾波器型式為，間隙耦合型結合邊緣耦合型濾波器，採用這種結構的原因有二，其一因為濾波器為窄通濾波器，第一階的耦合量必須是很大，所以第一階採用邊緣耦合正合此意；其二為方便濾波器以簡單的方式整合成雙工器。使用這種方式所設計出來的微機電濾波器，量測的結果比模擬的結果中心頻率低了 0.5GHz 左右，這乃是由於在模擬時，我們並沒有考慮薄膜的效應所致；另外，在通帶的部分，量測的插入損比模擬的結果少了 0~3dB 左右，這是由於我們模擬時，並沒有考慮轉接部分介質的損耗，這些結果都比傳統的平面濾波器的 11dB 來得好。由設計出來的濾波器所並接的雙工器，在發射端 31GHz 頻帶，其量測的插入損大約比模擬的結果少 4dB 左右；對於接收端 28GHz 頻帶，其量測結果約比模擬的少 3dB 左右，而這兩的頻帶的隔絕損大約都在 30dB 以下。

微遮蔽線是一種新型的單晶傳輸線，這種結構可調的參數很多，因此它的特徵阻抗有很大的變化範圍。計算微遮蔽線的阻抗，我們採用可以考慮斜邊的效應的軟體 **CAP1**，並且和只能考慮垂直邊界的商用軟體 **Sonnet EM**，所計算出來的結果比較，得到滿吻合得結果，因此只要只要當 $(W/2+S+W_{ext}) / (W/2+S) > 1.5$ 時，斜邊的效應是可以忽略的。另外，對於不同的中心線金屬寬度，特徵阻抗的差異滿大的，如此乃是由於封裝的上下金屬板效應所致，故上下金屬板的高度，也可用來調整特徵阻抗；但是由於製程上的限制，板子的厚度只有某些特定的規格，所以特徵阻抗也會被限制；另外，為了避免高階模態的干擾，如何選擇適當的封裝結構尺寸，也是一門學問。雖然對應於同一個阻抗的共面波導中心線寬及槽線寬的組合有很多，但是我們必須選定適當的中心線寬，使得符合間隙耦合電容值的間隙太大或太小，而造成製程上的困擾。

對於電路蝕刻方面，本文的微機電技術所採用的有：一、乾式蝕刻法

RIE(Reactive Ion Etcher)及二、溼式蝕刻法 KOH 溶液兩種。對於採用溼式蝕刻法時，溶液的濃度及當時的溫度和壓力都是重要的因素。對於中層共面波導電路的製作，則是採用標準的 photolithographic 方法，鍍上的金厚度大約為 $2\mu\text{m}$ 左右，足以滿足金在此頻段 skin depth 的限制。

参考文献

- [1]. G. M. Rebeiz, D. P. Kasilingam, Y. Guo, P. A. Stimson and D. B. Rutledge, "Monolithic millimeter-wave horn imaging arrays," *IEEE Trans. Antennas Propagat.* vol. 38, pp. 1473-1482, Sept. 1990.
- [2]. N. I. Dib, W. P. Harokopus, L. P. B. Katehi, C. C. Ling, and G. M. Rebeiz, "Study of a novel planar transmission line," in 1991 *IEEE MTT-S Dig.* Boston, pp. 623-626.
- [3]. T. M. Weller, G. M. Rebeiz, and L. P. Katehi, "Experimental results on microshield line circuits," *IEEE MTT-S Dig.*, 1993, pp. 827-830.
- [4]. T. M. Weller, L. P. Katehi, and G. M. Rebeiz, "High performance microshield line components," *IEEE Trans. Microwave Theory Tech*, vol. 43, no. 3, pp. 534-543, Mar. 1995.
- [5]. C. Y. Chi, and G. M. Rebeiz, "A low loss 20 GHz bandpass filter," in 1995 *IEEE MTT-S Dig.* pp. 1531-1534.
- [6]. R. F. Drayton and L. P. B. Katehi, "Development of self-packaged high frequency circuits using micromachining techniques," *IEEE Trans. Microwave Theory Tech*, vol. 43, no. 9, pp. 2073-2080, Sept, 1995.
- [7]. S. V. Robertson, L. P. B. Katehi, and G. M. Rebeiz, "Micromachined self-packaged W-band bandpass filter," *IEEE MTT-S Dig.*, 1995, pp. 1543-1546.
- [8]. P. Blondy, A. R. Brown, D. Cros, and G. M. Rebeiz, "Low loss micromachined filters for millimeter-wave communication systems," *IEEE MTT-S Int. Microwave Symp. Dig.*, 1998, pp. 1181-1184.
- [9]. A. B. Brown, and G. M. Rebeiz, "A high-performance integrated K-band diplexer," *IEEE Trans. Microwave Theory Tech*, vol. 47, no. 8, pp. 1477-1481,

August, 1999.

- [10]. R. E. Collin, *Foundations for Microwave Engineering*, 2nd ed., New York: McGraw Hill, 1992.
- [11]. G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Network, and Coupling Structures*. Dedham, Massachusetts: Artech House, 1980.
- [12]. David M. Pozar, *Microwave Engineering*, pp.506-517, Addison Wesley, 1993.
- [13]. 吳瑞北等，傳輸線的時域模擬，國科會專題研究報告，NSC80-0404-E002-36
- [14]. R. W. Jackson, "Considerations in the use of coplanar waveguide for millimeter-wave integrate circuits," *IEEE Trans. Microwave Theory Tech*, vol. MTT-34, no. 12, pp. 1450-1456, Dec. 1986.
- [15]. F. L. Lin and R. B. Wu, *Coplanar Waveguide Discontinuities Full-wave Analysis and Filter Design*, Ph.D dissertation, National Taiwan University, 1997.