

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫三：可重組化多媒體運算引擎之設計與實現(2/3)

計畫類別：整合型計畫

計畫編號：NSC92-2215-E-002-015-

執行期間：92 年 08 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

計畫參與人員：陳良基

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 6 月 1 日

多媒體通訊系統中可重組化運算技術之研究—子計劃三

可重組化多媒體運算引擎之設計與實現(2/3)

Design and Implementation of Reconfigurable Multimedia Computing Engine

計劃編號：92-2215-E-002-015

執行期限：92/08/01 93/07/31

子計劃主持人：陳良基 教授 Email: lgchen@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電子工程學研究所

一、中文摘要

隨著多媒體通訊相關產業的蓬勃發展，新興的多媒體應用需求更多的功能性、更好的壓縮效率及更普遍的使用性，使得多媒體編碼系統的運算複雜度，伴隨核心演算法的複雜化、即時處理的限制及多重標準的應用需求而不斷的提升。現存的多媒體運算處理器雖然結合了各式增強型架構以達到加速多媒體處理之效能，但其架構僅針對早期的壓縮技術來做設計考量，因而難以支援演算法越來越複雜的新興多媒體編碼系統。本計畫提出以可重組化運算技術為基礎的可重組化多媒體運算引擎，藉由可重組化運算系統在架構本體上的創新性，達到新興多媒體編碼系統的運算需求。

ABSTRACT

As the rapid development of multimedia communication systems, the emerging multimedia applications require more functionality, better compression efficiency, and more application generality. Accordingly, the complexity of multimedia coding system increases continuously due to the complexity of core algorithm, the constraint of real-time processing, and the requirement of multi-standard. Gradually, existent multimedia processors can not support the emerging multimedia coding systems those are increasingly complex. This project is proposed to exploit reconfigurable multimedia processing engines and the novelty of reconfigurable processing systems such as to keep up with the requirement of emerging multimedia coding systems.

二、緣由與目的

本計畫以研發整體性的可重組化多媒體運算系統為目標，研究重點分為系統分析與整合、系統架構及模組架構三大部分。由系統分析之研究來探討各影像與視訊編碼系統的可重組化運算特性，以提供系統架構與模組架構之研發參考及系統整合時的重要依據。由系統架構之研究來研發平台架構的骨架及重組機制，以建立多樣化且有效率的、可重組化多媒體運算系統平台架構。而由模組架構之研究，研發各核心功能之可重組化硬體架構。以 FPGA 雛形與晶片實現來驗證所研發的可重組化架構之可行性，最後經由 FPGA 系統雛形環境來進行各影像與視訊編碼系統的整合設計與分析，以完成完整影像與視訊編碼應用的系統整合之實現。

三、研究方法與成果

■ 模組架構之研究

可重組化模組架構係針對各影像與視訊編碼系統中的核心功能模組，以系統分析與整合研究方向中的模組層次可重組化特性之分析與 FPGA 模組雛形環境為輔，研發各核心功能模組的可重組化模組架構。在本年度的研究中，我們針對視訊編碼系統中的核心運算單元 -- Motion Estimation 做可重組化運算之設計考量，並且完成了兩個晶片設計，分別是 Ultra Low-Power Full-Search Motion Estimation Processor 和 Multi-Mode Power-Aware Reconfigurable Motion Estimation Processor。首先分析在視訊編碼系統中

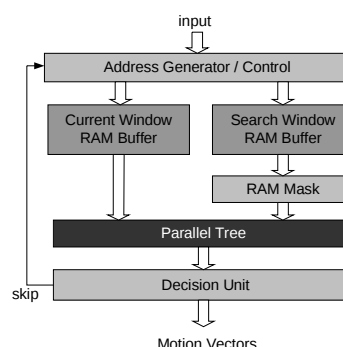
Motion Estimation 為了提供功能彈性度而在運算上所增加的複雜度，接著針對該運算提出有效率的設計方法以得到最佳化的可重組化運算架構，進而完成架構之 FPGA 雛形與驗證和晶片實現與測試。

A. Ultra Low-Power Full-Search Motion Estimation Processor

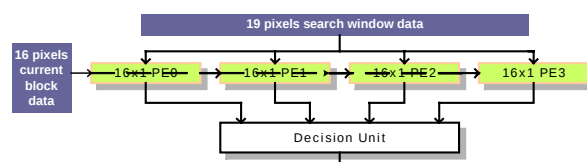
近年來由於超大型積體電路設計技術的快速發展，許多以多媒體為主要訴求的處理器已紛紛被開發出來，其中運算複雜度最高的應用就是即時視訊壓縮。Motion Estimation 被所有視訊壓縮標準所採納，例如 H.261、H.263、MPEG-1、MPEG-2、MPEG-4 以及 H.264 等等，它可刪除視訊序列中的時間重複性以達到高壓縮率。在許多的移動估計演算法中，Full-Search Block-Matching Algorithm 的運算品質最好，但其運算量十分龐大，對即時性應用而言，遠超過現今一般微處理器的能力。由於全搜尋區塊比對演算法的資料流十分規律，許多平行化、多管線（Pipelined）硬體架構已被提出，但在這些架構中，一維陣列的處理能力太弱，對於大畫面與大搜尋範圍的應用，其操作頻率必須大幅增加；二維陣列的處理能力很強，但其邏輯閘的數量過於龐大，成本過高；樹狀架構雖然速度與面積的表現十分良好，但其所需要的記憶體位元寬度太大，使其可行性大幅減低。因此，發展一個低成本且低功率的全搜尋區塊比對的硬體架構是非常必要的。

本超低功率全域搜尋移動估計處理器主要分為幾個部分，如圖一所示。AG 控制記憶體讀取位置，RAM Buffers 減少外部記憶體讀取。提出的 Parallel Tree 架構計算比對誤差，Decision Unit 決定出正確的移動向量。增加運算的平行度，可有效的降低運算時脈，如一般二維陣列或是樹狀架構的解決方法，但是無法有效的省略不必要的運算。針對之前陣列架構以及樹狀架構的缺點，我們提出了 Parallel Tree 架構。Parallel Tree 架構不但能有效的增加運算平行度，而且能有效的省略不必要的

運算以及減少緩衝區讀取位元數。基本的架構如圖二所示，是一個平行度四的 Parallel Tree 架構圖。



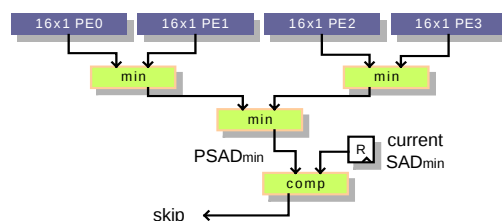
圖一 LP-ME 功能方塊圖



圖二 平行度四的平行樹狀架構示意圖

每個 16×1 PEx 為一個加法樹(Adder Tree)，每個時脈從目前區塊以及搜尋區域接收各 16 像素以累積誤差。搜尋區塊一次送出 19 像素，而每個 16×1 PEx 接收相對應的 16 像素。平行樹狀架構本身是一個可根據不同平行度 Scalable 的架構，例如平行度 16。Parallel Tree 架構中的每個 16×1 PEx，把累積的部分 SAD 送到 Decision Unit，決策單元中有一套樹狀比較器，如圖三所示。樹狀比較器比較 Partial SAD (PSAD)，並且決定出 $PSAD_{min}$ 。最後 comp 單元比較 $PSAD_{min}$ 和之前得到的 SAD_{min} 。如果 $PSAD_{min}$ 比之前 SAD_{min} 大，那麼剩下不必要的運算便可以省略，並且產生 skip 信號。

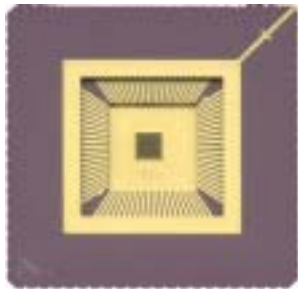
經過 Cell-Based IC Design Flow 以完成晶片實現與測試，表一所示為晶片規格，圖四則為晶片的 Chip Package Photo。



圖三 決策單元內樹狀比較器示意圖

表一 LP-ME 晶片規格

Technology	UMC 0.18um CMOS 1P6M
Package	84 CLCC
Die Size	2.3993 mm x 2.3948 mm
Gate Count	93697
On-Chip Memory	20.48 Kbits
Max Clock Rate	40MHz
Work Clock Rate	QCIF 15 fps @ 2.5MHz CIF 30 fps @ 20MHz
Power Consumption	13.5 mW @ 20MHz, 1.35V 1.5 mW @ 2.5MHz, 1.2V
Input Pad	43
Output Pad	21
Power Pad	16

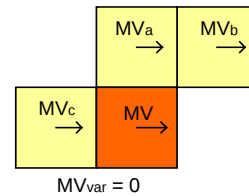


圖四 LP-ME Chip Package Photo

B. Multi-Mode Power-Aware Reconfigurable Motion Estimation Processor

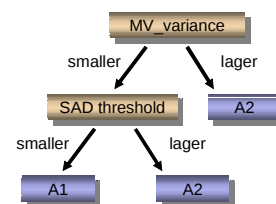
Full-Search Block-Matching Algorithm 的運算品質最好，但其運算量十分龐大，在可攜式裝置中會消耗過多的電池能源。其他快速演算法如[1][2][3][4]等，能有效的減少運算量至 Full-Search 的 1/20。但在具有複雜運動的畫面中，往往找不到正確的移動向量使得運算結果較差，進而導致峰值信號雜訊比（PSNR）的降低。在不同的運算量以及不同畫面複雜度中，各種 Motion Estimation 演算法有其不同的特性。如果可以根據畫面本身的內容，自動判斷採用何種演算法，就可用最少的運算資源達到最佳的運算品質，也就是 Power-Aware 的演算法[5]。針對各種不同的演算法，已有許多不同平行化、多管線硬體架構被提出。但如果針對 Power-Aware 演算法，則必須有能夠動態調整不同演算法組態的硬體架構，也就是 Reconfigurable Architecture。因此，發展一個 Power-Aware 演算法，以及對應各種不同演算法的 Reconfigurable Architecture 是非常必要的。

提出的 Power-Aware 演算法主要根據兩個條件：判斷移動向量的複雜度，以及判斷移動向量的準確度。定義處理目前區塊時，周圍區塊的移動向量複雜度為左方、上方、及右上方移動向量的 variance。如圖五所示，當 variance 很小時，以 MV 為中心點作快速演算法代替全搜尋區塊比對演算法，能夠大量減少運算且得到不錯的運算品質。這些快速演算法計算出移動向量的正確與否，絕大部分取決於一開始的預測向量是否準確。當計算完預測向量所指的候選區塊後，會得到比對後的最小 SAD 值。假如這 SAD 值超過一定範圍，可以得知這些預測向量是不太準確的，這時就可用適合移動向量較複雜的演算法以提昇運算品質。綜合以上判斷法則，提出的 Power-Aware 演算法如圖六所示。A1 為適合移動向量較單純的演算法，而 A2 為適合移動向量較複雜的演算法。

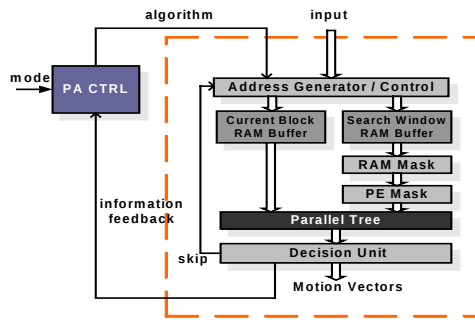


圖五 目前區塊的移動向量複雜度示意圖

在硬體設計上，本 Processor 主要分為幾個部分，以之前的 LP-ME 架構為基礎。PA CTRL 為 Power-Aware 演算法控制單元，PE Mask 可以 Reconfigure 成為適合不同演算法的組態，如圖七所示。



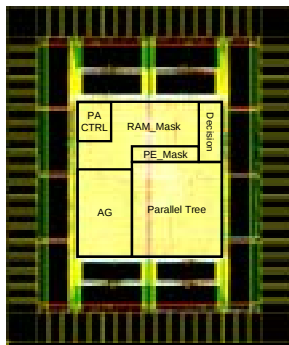
圖六 Power-Aware 演算法流程圖



圖七 PA-ME 功能方塊圖

表二 PA-ME 晶片規格

Technology	UMC 0.18um CMOS 1P6M
Package	84 CLCC
Die Size	1.8496 mm x 2.1983 mm
Gate Count	57719
On-Chip Memory	21.504 Kbits
Max Clock Rate	100MHz
Work Clock Rate	48.67MHz
Processing Speed	CIF 30 fps @ 48.67MHz
Power Consumption	FS : 51.27 mW SR_8/SR_16 : 24.88 mW E4SS/FS : 13.76 mW E4SS/3SS : 8.46 mW
Pad	72



圖八 PA-ME Layout 圖

經過 Cell-Based IC Design Flow 以完成晶片實現，表二所示為晶片規格，圖八則為晶片的 Layout。

■ 系統架構之研究

影像與視訊編碼系統屬於混合編碼的系統架構，即系統架構之中包含了多個不同的編碼功能方塊，如轉換、移動、量化、空間預測、掃描、熵編碼、位元流分析及形狀編碼等，而此混合編碼之系統架構中的每一個編碼功能方塊，往往又具有截然不同的運算特性。因此，為了適合各影像與視訊編碼系統，我們提出一個開放式的可重組化多媒體運算系統平台架構，該系

統平台架構是一個異種的可重組化運算系統，運用了多個異種的可重組化硬體模組，而且基於影像與視訊編碼系統中的多項編碼功能方塊都具有高度的運算平行度，這些可重組化硬體模組也可運用平行處理之架構來達到更高的運算效能。運用了異種的平行式可重組化運算技術於開放式的系統平台架構上之後，使系統平台架構不但具有一般開放式系統平台的優點，亦即其基本骨架可以被重複應用，且在平台上的功能方塊，可依據特定應用之需求，而在設計層次時做不同的變更，達到以平台為基礎的設計之效益，這些功能方塊更可以提供更多樣化且更有效能的系統架構，同時依據特定應用之可重組化運算需求，進行動態之系統架構重組，以達到更有彈性之功能。

■ 系統分析與整合之研究

除了進行了各影像與視訊編碼系統的系統層次可重組化運算特性之分析以提供模組架構之設計參考外，我們另外也建立了 FPGA 模組與系統雛形環境以提供各影像與視訊編碼系統的整合設計與分析使用。

四、結論

本子計劃已達成第一和第二年之預定目標，在模組架構之研究方面，也已經完成了晶片實現與測試。在接下來的年度中，將繼續從事第三年之預定目標，完成系統架構之研究，並進而研發更有效率之可重組化模組架構，進而完成可重組化影像與視訊編碼系統整合之目標。

五、參考文獻

- [1] T. Koga, K. Linuma, A. Hirano, Y. Iijima, and T. Ishiguro, "Motion-compensated interframe coding for video conferencing," in Proc. NTC 81, pp. C9.6.1-9.6.5, New Orleans, LA, Nov./Dec. 1981.
- [2] L.M. Po, W.C. Ma, "A new center-biased search algorithm for block motion estimation," IEEE Trans. on Image Processing, vol. 1, pp. 23-26, Oct 1995.
- [3] S. Zhu, K.K. Ma, "A new diamond search algorithm for fast block matching motion estimation," Information,

Communications and Signal Processing, vol. 1, pp. 9-12, Sep 1997.

[4] C. Zhu, X. Lin, L.P. Chau, "Hexagon-based search pattern for fast block motion estimation," IEEE Trans. on Circuit and System for Video Technology, vol. 12, pp. 349-355, May 2002.

[5] Bhardwaj, M.; Min, R.; Chandrakasan, A.P., "Quantifying and enhancing power awareness of VLSI systems," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , Volume: 9 , Issue: 6 , Dec. 2001. *Technology*, vol. 10, no. 8, pp. 1489-1495, Dec. 2000.