

行政院國家科學委員會專題研究計畫 成果報告

總計畫(I)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-002-018-

執行期間：93 年 08 月 01 日至 94 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：劉致為

共同主持人：劉國辰，張書通

計畫參與人員：李秋宗

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 9 月 28 日

執行期間：93 年 08 月 01 日至 94 年 07 月 31 日

計畫參與人員：李秋宗

☐ 國際合作研究計畫國外研究報告書一份

☐ 涉及專利或其他智慧財產權，☐ 一年☐ 二年後可公開查詢

中 華 民 國 94 年 7 月 31 日

行政院國家科學委員會專題研究計畫成果報告

前瞻矽鍺/高介電質/金屬閘極元件及模組技術－總計畫(I)

計畫編號：NSC 93－2215－E－033－003－

執行期限：93 年 08 月 01 日至 94 年 07 月 31 日

主持人：劉致為

國立台灣大學電子所

共同主持人：張書通

私立中原大學電子系

劉國辰

私立長庚大學光電所

計畫參與人員：

一、中文摘要

本整合型總計畫將以 high k、SiGe 及 metal gate(子計畫三與子計畫四)三項模組技術為主，模擬並設計新型元件、MOS 電子元件及光電元件(子計畫一)，因為要增加 CMOS 的附加價值，如光電元件及記憶體元件可擴大 CMOS 的應用市場，是需要學校發展創意與理論分析的好題目，而 CMOS 元件本身的 scaling，在本計畫則是在理論分析與模擬(子計畫一)，與模組驗證(子計畫三與四)上來進行研究。本計畫研究 SiGe、high k、metal gate 三項技術並加以整合成模組技術。

各子計畫的摘要如下。

子計畫一：

蒙地卡羅模擬軟體 ISE-SPARTA™ 來模擬分析在應變矽 N 型及 P 型金氧半場效電晶體中，當有效通道長度漸次縮短至 10nm 時，因應變而造成之效能提升的情形。當應變矽/鬆弛矽鍺結構之 N 型及 P 型金氧半場效電晶體在其矽鍺基板之鍺濃度為 40%，且有效通道長度僅剩 10nm 時，所得到之驅動電流增益仍能個別維持在 25% 與 17%。

研究以矽鍺為中心體的應變矽新型鰭形三閘場效電晶體其電特性。發現由於應變矽通道的遷移率增加與異質接面的侷限電子效果，使其在 NMOS 的 subthreshold 上有不錯的改善。而 PMOS 則因異質接面

對電洞會形成埋層通道效應，所以改善情況不是很好，但使用漸變矽鍺界面後，其情況以大幅改善。

研究 MOS 結構之 Ge/Si QDIPs 在長波長偵測器應用上 3-10 μm 的特性，並利用 K.P 理論計算由 wetting layer 造成之矽/鍺價電帶結構的次能帶，與可能之吸收頻譜躍遷，並與實驗之 PL 比較，驗證 3-10 μm 的響應來自於 wetting layer。

子計畫三：

由於半導體工業之製程技術快速發展，過去以尺寸微縮的方式，藉由元件個數的提升來增加其傳輸之速度。然而發展至今，傳統以矽(Si)為基底之元件，因受到本身基底材料特性之限制，若欲持續在使元件之尺寸向下微縮，將造成許多製程上之影響。因此，我們尋求以碳和矽之間所形成的異質接面及利用其晶格不匹配等特性所成長出的應變碳化矽/矽基板當成新的基底材料，以延續摩爾定律模式並持續發展新世代的微電子技術。子計畫三主要的研究了(1)應變碳化矽當基板製作之二氧化矽薄膜電容器的製程開發。(2)高介電係數材料應用在碳化矽基板之漏電流機制分析能力建立。

子計畫四：

光電產業被認為是下一個具有發展潛力的明星產業。目前全球光電元件的產值約佔整個半導體產業的 6 % (10 B 美金)，

並且其比重會隨著時間繼續增加。以2002年為例，台灣光電產業產值即高達3000億新台幣，其中光電顯示器及光儲存產品佔大多數，而光通訊用元件及發光、光偵測元件則相對較少。而在這些光電產品中，矽基元件多用在CMOS image sensor（數位照相用），liquid crystal on Si（顯示器用），及array waveguide grating（光通訊用）上。因此若是能利用CMOS產業所發展的技術來製造光電元件，增加矽的功能（有人稱為“silicon+”），即是研究CMOS optoelectronics的目的。本研究即希望能利用先進的矽鍺、high k及metal gate技術並結合其他子計畫來製成新型量子光電元件及高頻光通訊用零組件。

關鍵詞：矽鍺、應變、遷移率、量子點、矽碳、高介電材料、金屬閘極

Abstract

The main project covers three module technologies, including high K, SiGe and metal gate (subproject 3 & 4), and four device technologies including simulation and modeling of nano-scaled electronic and optoelectronic devices (subproject1), MOS electronic device (subproject 3), and CMOS optoelectronics (subproject 4). Based on the concept that “It will be CMOS, if CMOS can do,” we try to extend the CMOS kingdom to new applications using CMOS-based new technologies. In this main project, SiGe, high k, and metal gate technologies have been investigated and integrated in the modulus technology.

The abstracts of subprojects are scheduled as following.

Subproject 1:

A commercial Monte Carlo simulator ISE-SPARTATM was used to simulate the strain-induced performance enhancement in N- and P-type strained Si MOSFETs with L_{eff} scaling down to 10nm. When the effective gate length of N- and P-type MOSFETs with Ge content of 40% in SiGe substrate are close to 10nm, the on-current still has 25% and 17% enhancement,

respectively.

Strained Si surrounding the SiGe embedded body on a SOI (silicon on insulator) substrate forms a novel Tri-gate FET. This novel device with the enhanced carrier mobility and heterojunction confinement is demonstrated with greatly improved performance for NMOS by 3-D simulation. The PMOS is not improved as much as NMOS due to the buried channel at the Si/SiGe abrupt heterojunction. Using grade-back layer among strained Si and relaxed SiGe body can significantly improve the performance of PMOS. The MOS Ge/Si QDIPs for 2~10 μ m are successfully demonstrated. Since the Ge wetting layer could be seen as simply quantum well structure, the valance band bound state energy is calculated by $k \cdot p$ method. By calculating the total intersubband transitions, a absorption peak is located at 7.5 μ m. From PL spectrum and the theoretical calculation results, the quantum dot structure is responsible for 2~3 μ m response with high operation temperature and the wetting layer structure (quantum well) is responsible for 3~10 μ m response.

Subproject 3:

A high-quality ultra thin HfO₂/Hf silicate film is deposited on tensile-strained-SiC alloy layers using the HfO₂/Hf gate stack technique. The electrical characteristics of Pt/Hf-silicate/SiC/p-Si/Al structures are similar to those of Pt/Hf-silicate/p-Si/Al structures. The significant improvements in the electrical characteristics such as leakage current, effective dielectric constant, interface state density and fixed oxide charge density are observed for HfO₂/Hf gate stacks as compared with HfO₂ films on SiC alloy layers. Using this gate stack technique, a high dielectric constant (~15.5) for HfO₂/Hf silicate can be obtained, and this technique can be applied to fabricate ultra short SiC surface channel metal oxide semiconductor field effect transistor (MOSFET) devices.

Subproject 4:

The optoelectronics industry is a star industry with potential. The value of output in optoelectronics devices is about 6 percentages (10 B US dollar) of total

semiconductor industry, and it will be increased with time. For example, the value of output in optoelectronics industry in Taiwan is 3000 hundred million, which is almost contributed by display and storage. The optical communication, emitting, optical detection device have few contribution to the value of output in optoelectronics industry. In the past, the COMS image sensor (for digital camera), liquid crystal on Si (for display), and the array waveguide grating (for optical communication) are all Si base device. So that it is the purpose for researching COMS optoelectronics to enhance the function of Si (called “silicon+”) if the optoelectronics device can be made of COMS technology. The combination of advance SiGe, high k, and metal gate for novel quantum optoelectronics device and high frequency optical communication is purpose in this research.

Keywords: SiGe, strain, mobility, Quantum Dot, SiC, high K, metal gate

二、緣由與目的

不論技術的困難與成本的增加，元件的縮小化提供了極大的空間能夠提昇主流矽工業的進步。根據『只要是CMOS 能做的，就用CMOS 做』的概念，我們試圖能夠透過提出對於奈米尺寸的CMOS 相關之新電子與光電元件模型與模擬來擴大CMOS 王國之版圖。在本子計畫中，對於創小尺寸以矽鍺為基底的應變矽MOSFET 元件與新型鰭形場效電晶體元件與鍺量子點紅外線偵測器在光電元件應用將深入之理論研究與分析。透過模擬與模型建立的方式來研究奈米尺寸矽鍺元件。(子計畫一之緣由與目的)

傳統以矽(Si)為基底之元件，因受到本身基底材料特性之限制而無法在有效的增加其傳導之遷移率，根據文獻[1]指出此種基板將有效地提升電子與電洞的載子遷移率，並且在尺寸持續鎖小，造成通道長度逐漸的微小化時，所引起的短通道效應也

可因碳原子的引進至短通道內而大大的阻止硼的擴散[2]及摻雜的輪廓退化(retrograde doping profile)[3~5]。然而，應變矽需要生長厚的鬆弛的矽鍺基底，因此造成材料內有許多缺陷，因此我們使用Tensile-strained SiC為研究對象。另一方面，本子計畫三也探討應用於碳化矽基板的漏電流探討。(子計畫三之緣由與目的)

對光電元件來說，響應和頻寬為相當重要的規格。本子計畫希望配合其他子計畫以及本計畫所研究之SiGe·high k及metal gate技術，整合製造出高響應及高頻寬的CMOS光電及量子光電元件，包含用於光通訊之850，1300，1550 nm MOS發光二極體(LED)及光偵測器，常溫長波長紅外光偵測器(2~20 μ m)，以及利用高介電值材料之波導等，即為本子計畫四之目的之一，相信必會對我國高階光電產品的研發有所助益。光電產業約可分為以下幾大類：光電顯示器（如液晶螢幕，手機顯示螢幕等），光儲存裝置（可複寫式光碟片），光學元件（用於影印機，掃描器，數位相機等），光電元件（光發射及光偵測器，光耦合元件），光通訊用零組件，以及其他應用（如醫療雷射）等。目前我國的光電產業產值以光電顯示器及光儲存裝置為主，光學元件及光電元件次之，而光通訊系統則是政府及民間近年大力投資的目標。本子計畫四希望能整合其他子計畫以提升我國的半導體及光電產業競爭力，具有相當的意義及重要性。(子計畫四之緣由與目的)

三、研究方法與成果

[子計畫一部分]

第一部份：MOSFET 元件結構為在鬆弛矽鍺層($\text{Si}_{1-x}\text{Ge}_x$)上磊晶矽薄膜之應變矽結構(如圖一。此金氧半場效電晶體含淺摻雜結構(LDD)，氧化層厚度為2nm，矽薄膜厚度約為20nm，有效通道長度為10至75nm。矽薄膜上之應力會使汲極與源極的As和P摻雜擴散距離增加，以 $L_{\text{gate}}=100\text{nm}$ 而言，其有效通道長度僅50nm。我們研究應變矽從有效通道75nm至10nm等四種不同長度之驅動電流，以及分析應變前後之元件特性。圖二為最小有效通道長度 $L_{\text{eff}}=10\text{nm}$ 條

件下未應變以及應變後之 NMOSFET 輸出特性。圖中<110>與<100>通道之不對稱性在應變後仍可輕易觀察到。在線性區時，兩者的汲極電流與低電場時之一般塊材(bulk)元件的電流相同，這代表介面粗糙散射(surface roughness scattering)不會影響對稱性[1]。非對稱特性只有在高汲極電壓時，會使<100>方向之通道汲極電流較<110>方向高出 10%。由圖三可得知，儘管由應變所產生的 NMOSFET 驅動電流增強隨著有效通道長度縮短而減少，但仍然維持相當的增量。此圖中也同時顯示在<110>方向有效通道長度 $L_{\text{eff}}=67\text{nm}$ 時，所對應之 35%的驅動電流增強符合文獻 [2]中圖 10 所量測出的結果。圖四為 NMOSFET 驅動電流增強與應變的關係圖，其中有考慮文獻[3]中提及之低電場遷移率效應。低電場時電子遷移率的增強在銻濃度為 20%時呈現飽和，但模擬顯示驅動電流至銻濃度到 40%為止仍然呈上升趨勢，原因可能是因為電子 transient velocity overshoot 現象所導致。由圖五中可得知 PMOSFET 汲極電流在所有偏壓條件下皆隨應變(銻濃度 0%~40%)而提升。而 PMOSFET 之驅動電流與通道長度以及應變大小的關係則顯示於圖六，由其中可得知驅動電流增強會隨著通道長度縮小而減少。然而當銻濃度為 40%時，在通道長度 (L_{eff}) 為 10nm 時仍有約 17%的驅動電流增益。

第二部分[4-9]：模擬了新型鰭形結構之 MOSFET 電晶體的直流特性。圖七為元件結構圖。其中 NMOSFET 的次臨界斜率 S 與臨界電壓隨鰭形的寬度與長度尺寸大小變化情形如圖八與圖九。發現鰭越寬對次臨界斜率越不好，同時對臨界電壓也會越負。有矽銻為中心體的應變矽鰭形元件相對沒有中心體的傳統元件在次臨界斜率上要好一些。對於 PMOSFET 而言，由於異質接面的關係，使其會有較嚴重的埋層通道產生，也就是在矽銻中心體也會有導通

電洞產生。經過改良，我們採取在 Si/SiGe 界面用漸變矽銻接面方式來改善此一缺點，其結果比較如圖十與十一所示。本部分模擬之結果可透過改變閘極的功函數變成 metal gate 與氧化層介電係數變成 high k ，其影響主要在於臨界電壓的偏移，可透過適當之設計使其達到 ITRS 與一般電路設計上之要求。

第三部分[10-12]：我們研究如圖十二銻量子點結構應用在偵測器上的理論分析。從如圖十三的響應度實驗上發現在 $7.5\mu\text{m}$ 的地方有強的響應度峰值。因為從銻濕層(wetting layer)來看可被視作簡單的量子井，因此，我們利用了 k.p 的方法計算價帶中的束縛態如圖十四所示。透過計算總的谷間次能帶(intersubband)躍遷如圖十五所示，發現吸收峰值大約在 $7.5\mu\text{m}$ 左右，與實驗值相符。 $2-3\mu\text{m}$ 由 PL 實驗已驗證為銻量子點所造成。因此，我們推論 $3-10\mu\text{m}$ 的響應是由濕層所造成。

[子計畫三部分]

製程開發的是使利用 UH-CVD (ultra-high-vacuum chemical vapor deposition)成長應變碳化矽合金的基板，之後並在矽化碳基板上成長一層 Cap Si layer，再沉積二氧化鈣(HfO_2)薄膜。待薄膜成長完後，經由熱退火處理及閘極金屬的沉積，製作成 MOS 電容的結構。

對於應變碳化的薄膜的品質是利用 X 光繞射儀(X-ray diffractometer, XRD)分析，由圖 1-1 所示可證實所成長的碳化矽合金基板，的確存在伸張應變力。由於基板與 HfO_2 間形成一較厚之界面而大大影響電容之等效介電常數及不預期之高漏電流密度與界面狀態密度。為了改善此界面所造成之不良之結果，已有文獻[18][19]指出在沉積 HfO_2 薄膜前，先沉積一層 Hf 金屬將可有效地將阻止氧擴散至矽晶圓表面且與其反應加入 Hf metal 在 HfO_2 與矽基板之間，提高介電常數，降低 EOT，改善界面電荷

密度。由圖 1-2(a)(b)結果比較得知，先沉積 Hf 薄膜(1min)，可以觀察到在累積層的電容值明顯增加且分散效應可獲得改善。由上述結果，我們接著設計一系列 HfO₂/Hf 的結構長在應變矽與矽基板上的比較。

從 C-V 電性量測，所量測的電容在 Depletion region，其電容有顯著 kink 現象產生，如圖 1-3(a)及圖 1-3(b)所示，表示在 HfO₂ 氧化層與基板的界面處，有一些的 trap state，而造成接面電荷密度(Dit)存在，基板及 HfO₂ 界面處有可能因碳(C-related)擴散至此所造成。

等效電容厚度(CET)的變化將隨著 Hf 金屬沉積時間的增加而遞減。主要原因是 Hf 之陰電性(Electronegativity)比 O 之陰電性來的強，所以在界面處 O 逐漸被 Hf 取代，而形成 Hf-rich 之矽酸鹽結構(Silicate)之界面。由圖 1-4(a)(b)結果可以知道，Hf-silicate 可以有效的降低界面的厚度及界面狀態密度。在磁滯現象(Hysteresis)及溫度對平帶電壓(V_{fb})的討論，利用量測高頻 C-V 圖形，掃描電壓由累積區到反轉區後，再從反轉區掃至累積區，以觀察介電質中兩條曲線的電壓差(ΔV)及其穩定度之情形。由圖 1-5，矽基板與應變碳化矽基板的 V_{fb} 電壓分別為 0.77 V 與 -0.09V，而造成此平帶電壓的差異在於應變碳化矽基板中的 Conduction band edge 較低的關係。且其磁滯電壓分別為~90mV(Si)及~70mV(SiC)。而為了量測 V_{fb} 穩定度的情形，我們設計在不同溫度下(25°C~125°C)，造成 V_{fb} 偏移的變化量。由於溫度升高在基板處產生較多載子，而載子注入到界面處，使得 trapping 和 de-trapping 的現象會明顯增加。由圖 1-6 比較，以應變碳化矽的試片所造成 ΔV_{fb} 偏移的量更為嚴重。本計劃研究成果首先於 International Conference on Solid State Devices and Materials 2004[20]發表。本實驗對漏電流做相關的分析，對於 HfO₂/Hf 結構與直接沉積 HfO₂ 做比較。為了要證實

界面的成份，我們利用 XPS 材料分析方式。從圖 1-7，XPS 可發現，Hf 4f_{7/2} 的 binding energy 為 18.4eV，比起 HfO₂ 的 16.5~17eV 還高了 1~1.5eV，可以知道此鍵結為 Hf-O 鍵結；由圖一(b)可以發現 Si 2p 兩個峰值的距離為 3.4eV，小於 SiO₂ 中 Si 2p 峰值間的距離(4.4eV)，由此可知此鍵結為 Hf-silicate。由於沉積一層 Hf 金屬可有效地將阻止氧擴散至矽晶圓表面與其反應，可改善不預期的高漏電流密度，由圖 1-8 可觀察使用 HfO₂/Hf 結構，漏電流可明顯獲得改善。

本研究成果陸續發表於 2005 Japanese Journal of Applied Physics[21]。如圖 2-1，以應變碳化矽當做基板的試片，發現 V_{FB} 偏移了 -30mV，由下列公式(1)可以發現，產生偏移的主要原因為電子親和力以及能隙的隨著碳濃度不同而改變，造成 conduction band offset(ΔE_c)改變(圖 2-2)。

$$V_{FB} = \chi + \frac{E_g}{2q} + \psi_B - \frac{Q_f}{C_{ox}} \quad (1) \quad [10]$$

如圖 2-3，我們發現在反轉區中，成長 Hf-silicate 在 SiC 基板上的漏電流比成長在 Si 基板大，主要的原因為 Hf-silicate/SiC 之間的介面本身的缺陷就比較多，因此在介面會有較多的 trapping 以及 de-trapping 現象，造成漏電流較高。

而計畫中另一個重點研究，在於 HfO₂/Hf-silicate 堆疊結構應用於碳化矽基板的漏電流探討。討論的方法是要將我們所實際量測到的漏電流數值作出一些轉換，並且考慮各個機制不同的電場和漏電流關係，配合各種機制做出不同的關係轉換。利用 Frenkel-Poole (F-P) and Schottky-emission (S-E) plots 得到主要漏電流來自於 HfO₂/Hf-silicate 堆疊結構裡存在著 interface trap、bulk trap 和 de-trapping behaviors。由圖 3-1 得知，在不同的電壓範圍之內有特定漏電流機制所主導。並在 Schottky-emission (S-E) plot(圖 3-2)，在

substrate injection情況下討論Band offsets (ΔE_c)；gate injection的情況下探討Barrier height(Φ_B)。利用漏電流機制的模組，解釋分析並比較用矽基板以和應變碳化矽基板，在電特性上的差異。上述研究成果即將發表於期刊上。

[子計畫四部分]

第一部份：矽鍺光電元件

對偵測器光電元件來說，響應和頻寬為相當重要的規格。製造出高響應及高頻寬的量子光電元件，例如常溫長波長紅外光偵測器(2~20 μm)，是相當具有挑戰性的。因此除了利用半導體可吸收光能量而產生電子電洞對的特性之外，再者利用鍺量子點結構所製作的金氧半光偵測器更可應用於長波長紅外光偵測上。紅外光偵測器在軍事，醫療及天文觀測上均有相當大的用處，目前多為III-V 族元件所製造，成本相當高，而利用矽鍺材料異質界面產生的量子侷限(quantum confinement)現象，亦可應用於紅外光偵測上。其原理是在逆向偏壓時的金氧半結構可以有效的減少導因於穿透氧化層的暗電流效應。被紅外線暴露在矽/鍺量子點/量子井所激發的電洞，可以藉著在P型半導體的relaxation，而傳輸進入背面的電極。delta摻雜在量子點/量子井裡可以有效的增加responsivity。因為電洞濃度的增加，介於矽鍺間價電帶的差異，造成在鍺量子點(井)的不連續的量子態，電洞的transition能量由量子點(井)裡的能帶結構所決定。

一個利用超高真空/化學氣相沉積(圖一)所長成具有3nm wetting層，二十週期的自對齊鍺/矽量子點，被做成金氧半穿隧式二極體。利用了低溫液像沉積的技術，而具有濃度 10^{19} cm^{-3} 的硼，在鍺量子點成長時被導入。圖二顯示NMOS 量子點紅外線光偵測器的IV特性，逆向偏壓時金氧半穿隧二極體的暗電流，由空乏區還有矽/二氧化矽表面缺陷之熱產生電子電洞對所主

宰。在累積偏壓時電子流從鋁電極穿透到P型基板 在紅外線照射及逆向偏壓時，被限制的電洞可以被激發形成光電流。一個3.5-5微米的吸收已經在小偏壓時被明顯的觀察到(圖四)。而2-3微米在15K偵測的吸收responsivity為 0.15 ma/W，起因於在鍺量子點P型delta-摻雜，其responsivity約比為摻雜的量子點紅外線光偵測器大100倍。然而暗電流還是因為更多的電洞從量子點的熱激發而增加。操作溫度因為暗電流上升而降低。操作溫度和responsivity其中之一高，另一個自然就會下降。如前所示量子點紅外線光偵測器元件可以用於2-3微米的偵測且低於180K運作如圖5所示。在電致發光量子點訊號的低能量邊緣頻譜相當於介於矽導帶與鍺的價電帶束縛態的能量差。因此矽鍺的能位障推算約為0.4電子伏特(3.1微米) 長波長偵測如3.5-5微米來自這量子點的intraband躍遷。delta 摻雜也被導入金氧半矽鍺量子井紅外線光偵測器，此結構與量子點元件相似，但量子點被五層3奈米厚的 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 量子井所取代，外加不同電壓的頻譜響應如圖七所示，量子井元件的吸收波長為一到較長的波長處，因為量子井元件的限制能量較量子點小，在 $V_G=5$ 且15K峰值responsivity為1.8 ma/W。矽鍺量子井偵測器有較量子點偵測器有較大的responsivity，被光激發的電洞可能會被之後的量子點/量子井層所捕陷。在量子井元件裡被捕陷的電洞較容易被熱激發導因於較小的限制能量，這將導致比量子點元件有較大的responsivity。量子井結構在吸收光譜低於3微米以下亦有較大的responsivity，在低溫時3微米的吸收波長包含interband & intraband transition，在高溫時似乎只有 interband transition被觀察到。

第二部分：high-k & metal gate

MOSFET 之閘疊為決定元件動作最重要的控制開關，隨製程持續微縮，閘疊絕緣層厚度必須隨之愈來愈薄以維持對電

晶體的良好控制能力與提高元件驅動能力(因為汲極輸出電流大小與閘極介電層的電容成正比)，同時可改善短通道效應。以現今製程能力，SiO₂為材料之絕緣層厚度可以微縮達到12Å，僅相當於三層SiO₂原子堆疊的厚度，實已接近獲得高品質且平整閘極絕緣層之物理極限。特別是當氧化層小於3 nm 時，由於直接穿隧(direct tunneling)機率的增強，引起閘極電流急遽的增加。另一方面，當氧化矽厚度小於1.3 nm 後，實驗上發現元件的驅動力不再隨厚度縮小而增強，因閘極寄生電阻有關反而呈退化的情形。由上面的說明可知，發展替代SiO₂的高介電係數(high-k)閘疊絕緣層材料與模組技術已是刻不容緩且勢在必行的關鍵技術。又因為high-k的成長溫度比SiO₂來的低，所以可以將其應用在矽鍺基板上，使其元件獲得較高的遷移率。

圖一為氧化鈉在矽和矽鍺基板上的穿隧電子顯微圖片。a 是在矽基板，b 是在矽鍺基板上用 6000C 退火 c 是在矽基板，d 是在矽鍺基板用 9000C 退火。只要用相同的退火溫度，矽鍺基板與氧化鈉的介面層，就會比矽基板上的介面層來的厚，如此可知，對於高溫的退火而言，矽基板的熱穩定性還是比矽鍺來的好。圖二是用來說明氧化鈉在矽和矽鍺基板上的 flatband voltage 與介面缺陷密度 (Dit) 隨著不同的退火的溫度的特性變化。由 flatband voltage 在矽或是矽鍺基板上的變化，可以得知，高溫退火應該是會產生負的電荷(包含介面與介電層內的電荷總和)。接下來再圖三中可以了解到氧化鈉在矽和矽鍺基板上的介面缺陷密度 (Dit) 隨著不同的量測頻率的特性變化。由介面缺陷密度在矽鍺基板上由低頻往高頻的時候，有明顯的減少，因為在矽鍺基板上的介面缺陷密度大都是slow traps所以才會跟不上高頻的量測。由於high-k材料與poly Si的介面會產生額外的氧化層以及poly depletion的現象需

要克服，所以搭配metal gate也是研究high-k材料中重要的一環。由圖四中可以看出在成長Ta₂N時不同的氮氣的流量之下電容值的變化。根據PMA9000C的趨勢變化，可以看出在氮氣流量超過13 sccm 時，電容的消散現象就十分嚴重。接下來可以從圖五中得知在不同的氧化層厚度之下金屬功函數對氮氣的流量的關係。很明顯的隨著氮氣流量的增加功函數也為之上升，但是依超過13 sccm之後的趨勢就不固定，這個可以由圖四的電容消散現象加以解釋。最後在圖六說明了high-k材料在光電元件上的應用，其中氧化鈉在矽基板上的光強度經過10000秒的定電流破壞的特性變化。有分別使用氮氣及氬氣退火去改善介面特性，很明顯可以看出，氬氣退火擁有比較穩定介面特性，且能夠經過長時間的電流破壞。

四、結論與討論

[子計畫一部份]

我們已研究了以矽鍺為基底的應變矽 MOSFET 元件的直流電特性，發現即使有效通道長度縮小至 10nm 人仍有 15%以上的驅動電流增強，顯見應變工程對元件縮小化上仍扮演重要的角色。對於新型的鰭形場效電晶體，則是以矽鍺為鰭的中心體，來產生應變矽通道，此一結構對 NMOS 較佳，PMOS 會有埋層通道效應出現，經由矽鍺漸變層的採用，可大大改善此一問題。此外，對於鍺量子點 MOS 結構偵測器，我們成功以理論計算釐清其 3-10 μm 之響應為來自鍺濕層的貢獻。

[子計畫三部份]

在這次的研究計畫中，首先是利用了二氧化鈪(HfO₂)高介電係數閘極氧化層材料並選擇磊晶的方法來沉積出碳化矽/矽之基板來提升載子之遷移率。而從其它一些期刊資料的查詢，還有其它可以提升載子之遷移率的方法。可以採用沉積碳化矽/矽之基板的製程，例如，可以考慮採用 ALD 等的高品質薄膜層積技術。藉由這種方法，可盡量將磊晶層的缺陷濃度降至最低，進而達到基板這方面的變因趨近最

小。為了可以朝這個目標作出更進一步的研究，我們必須要對其它許多種的基板材料之材料特性和製備方法及參數作出更進一步的了解。

由於這次的實驗中，我們沉積二氧化鈺(HfO_2)高介電係數閘極氧化層材料時是利用濺鍍的製成方式，而在使用這種製程方式時，其會對元件的介面和材質本身產生一些物理性之破壞。因此，在製程中所產生的界面層會有許多需要進一步實驗的必要。除了在這次實驗中我們所使用到的濺鍍法以外，製備高介電係數閘極氧化層的方式其實還是有非常多種不同的方式的。從一些其它的研究團隊中，我們就可以看到有很多團隊是利用化學氣態沉積(CVD)的製程方式來備製二氧化鈺(HfO_2)高介電係數閘極氧化層材料，而從他們的資料來看，對這一方面做一些修正對提升元件之特性還是有相當大的潛力的。

[子計畫四部份]

在矽鍺光電元件方面，我們研究了以超高真空/化學氣相沉積具有 3nm wetting 層，二十週期的自對齊鍺/矽量子點，被做成金氧半穿隧式二極體。利用了低溫液像沉積的技術，而具有濃度 $10\text{-}19\text{ cm}^{-3}$ 的硼，在鍺量子點成長時被導入。在小偏壓時發現一個 3.5-5 微米的吸收峰值，而 2-3 微米在 15K 偵測的吸收 responsivity 為 0.15 ma/W ，起因於在鍺量子點 P 型 delta- 摻雜，其 responsivity 約比為摻雜的量子點紅外線光偵測器大 100 倍。然而暗電流還是因為更多的電洞從量子點的熱激發而增加。操作溫度因為暗電流上升而降低。操作溫度和 responsivity 其中之一高，另一個自然就會下降。已成功製作出量子點紅外線光偵測器元件可以用於 2-3 微米的偵測且低於 180K 運作。以理論與實驗推測出，長波長偵測如 3.5-5 微米來自這量子點的 intraband 躍遷。對於 delta 摻雜被導入金氧半矽鍺量子井紅外線光偵測器，其量子點被五層 3 奈米厚的 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 量子井所取代，對於外加不同電壓的頻譜響應進行研究，研究指出量子井元件的吸收波長為一到較長的波

長處，因為量子井元件的限制能量較量子點小，發現在 $V_G=5$ 且 15K 峰值 responsivity 為 1.8 ma/W 。結果發現矽鍺量子井偵測器有較量子點偵測器有較大的 responsivity，被光激發的電洞可能會被之後的量子點/量子井層所捕陷。此外，在量子井元件裡被捕陷的電洞較容易被熱激發導因於較小的限制能量，這將導致比量子點元件有較大的 responsivity。量子井結構在吸收光譜低於 3 微米以下亦有較大的 responsivity，在低溫時 3 微米的吸收波長包含 interband & intraband transition，在高溫時似乎只有 interband transition 被觀察到。

在 high 與 metal gate 的整合應用上，我們研究了氧化鈺在矽和矽鍺基板情形。發現只要用相同的退火溫度，矽鍺基板與氧化鈺的介面層，就會比矽基板上的介面層來的厚，如此可知，對於高溫的退火而言，矽基板的熱穩定性還是比矽鍺來的好。我們亦研究氧化鈺在矽和矽鍺基板上的 flatband voltage 與介面缺陷密度 (Dit) 隨著不同的退火的溫度的特性變化情況。由 flatband voltage 在矽或是矽鍺基板上的變化，可以得知，高溫退火應該是會產生負的電荷(包含介面與介電層內的電荷總和)。接下我們研究了氧化鈺在矽和矽鍺基板上的介面缺陷密度 (Dit) 隨著不同的量測頻率的特性變化。由介面缺陷密度在矽鍺基板上由低頻往高頻的時候，有明顯的減少，因為在矽鍺基板上的介面缺陷密度大都是 slow traps 所以才會跟不上高頻的量測。研究發現，由於 high-k 材料與 poly Si 的介面會產生額外的氧化層以及 poly depletion 的現象需要克服，所以搭配 metal gate 也是研究 high-k 材料中重要的一環。我們亦針對成長 TaN 時不同的氮氣的流量之下電容值的變化進行研究。根據前述 PMA900°C 的趨勢變化結果得知，氮氣流量超過 13 sccm 時，電容的消散現象就十分嚴重。在而已完成對於不同的氧化層厚度之下金屬功函數對氮氣的流量的關係的研究。結果發現，明顯的隨著氮氣流量的增加功函數也為之上升，但是依超過 13 sccm 之後的趨勢就不固

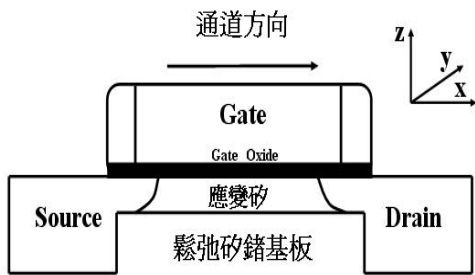
定，這個可以由電容消散現象加以解釋。最後研究了high-k材料在光電元件上的應用，其中氧化鈣在矽基板上的光強度經過10000秒的定電流破壞的特性變化。有分別使用氫氣及氟氣退火去改善介面特性，很明顯可以看出，氟氣退火擁有比較穩定介面特性，且能夠經過長時間的電流破壞。

計畫成果自評部份：

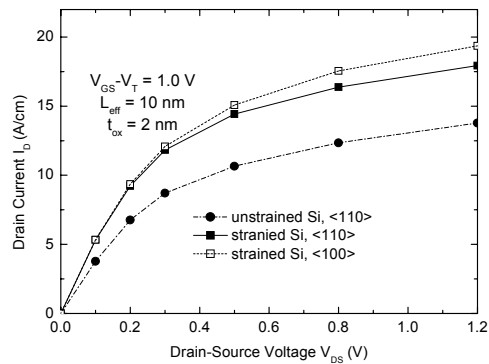
共發表期刊論文 31 篇，會議論文共 37 篇。
(參見附件一)

五、參考文獻

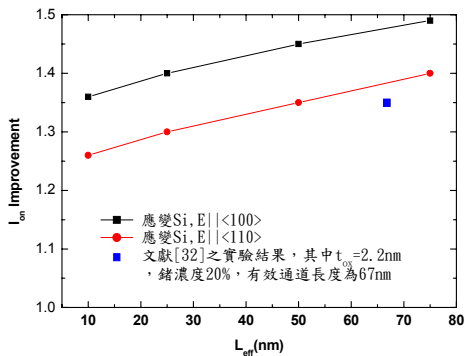
- [1] F. M. Bufler and Wolfgang Fichtner, IEEE Trans. Electron Devices, Vol. 50, p278~284, 2003
- [2] K. Rim, S. Koester, M.Hargrove, J. Chu, P. M. Mooney, VLSI, pp.59-60, 2001
- [3] Shin-ichi Takagi, Judy L. Hoyt, Jeffrey J.Welser, and James F. Gibbons, J. Appl. Phys. 80, 1567, August 1996.
- [4] H.-S. P. Wong: IBM J. Res. Develop., **46**, no. 2/3, (2002) 133.
- [5] J. A. Hutchby, G. I. Bourianoff, V. V. Zhirnov, and J. E. Brewer : IEEE Circuits Devices Mag. **18** (2002) 28.
- [6] Y. Taur : IBM J. Res. Develop. **46**, no. 2/3, (2002) 213.
- [7] E. J. Nowak: IBM J. Res. Develop. **46**, no. 2/3, (2002) 169.
- [8] ISE TCAD Release 10.0, DESSIS 3D device simulator.
- [9] G. Pei et al. : IEEE Trans. Electron Device **49**, (2002) 1411.
- [10] C. W. Liu et al., IEDM Tech. Dig., pp.749-752, 1999.
- [11] B.-C. Hsu et al., IEDM Tech. Dig., pp.91-94, 2002.
- [12] Vinh Le Thanh et al., J. Vac. Sci. Technol. B 20(3), pp.1259-1265, 2002.
- [13] E.J. Quinones et. al., IEEE Trans. On Electron Dev. Vol.47, p.1715~1725, 2000
- [14] H.-J. Gossmann et al, IEDM 1998, p.725~728
- [15] H. Ruckerc et. al, IEDM Tech. Dig. 1999, p.345
- [16] T. Ernst et al, VLSI 2002, P.92
- [17] F.Ducroquet et. Al, ISTDm P.39 2003
- [18] L.Kang etc. al. IEDM 31 (2000)
- [19] Bing-Yue and Hsiu-Wei Chang J.Appl. Phys. Vol.93, no.12, p.10119,2003
- [20] Y. S. Liu, S. Maikap, P. S. Cheng and K.C. Liu SSDM pp.538-539 2004
- [21] K.C. Liu, S. Maikap, and P. S. Chen JJAP vol.44 No.4B pp.2447-2449
- [22] S. M. Sze, Physics and Semiconductor Devices, Murray Hill, New Jersey (1981).
- [23] C. W. Liu et al., IEDM Tech. Dig., pp.749-752, 1999.
- [24] B.-C. Hsu et al., IEDM Tech. Dig., pp.91-94, 2002.
- [25] B.-C. Hsu et al., IEEE Electron Device Letters, vol. 25, pp. 544-546, 2004



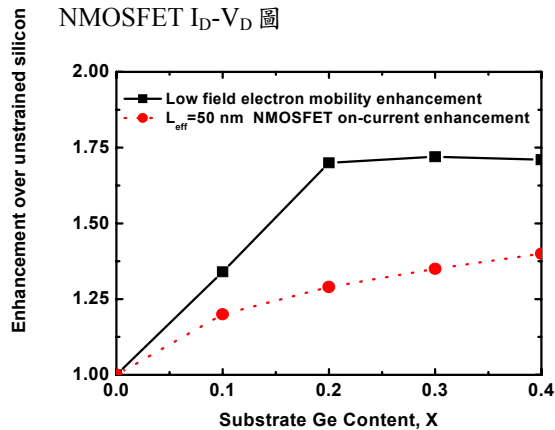
圖一 應變矽 MOSFET 之結構圖



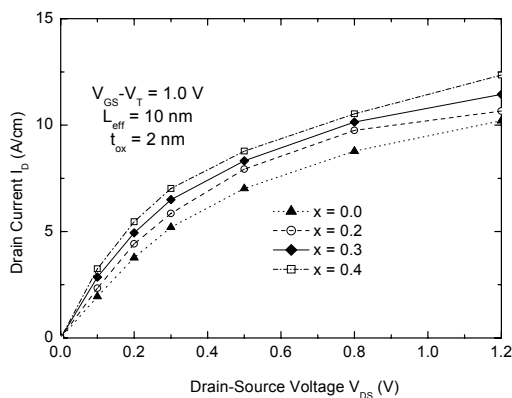
圖二 應變前後及不同通道方向下之 NMOSFET I_D - V_D 圖



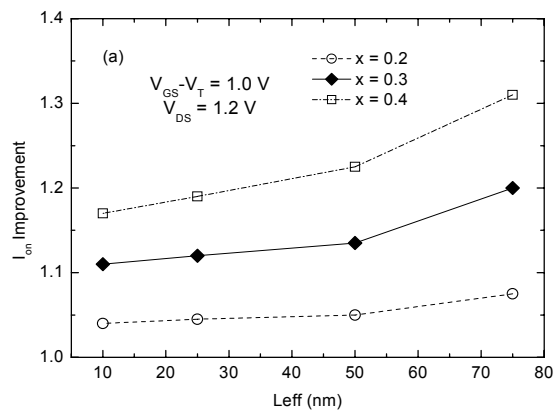
圖三 $\langle 1\ 0\ 0 \rangle$ 與 $\langle 1\ 1\ 0 \rangle$ 通道方向之 NMOSFET I_{on} - L_{eff} 關係圖。



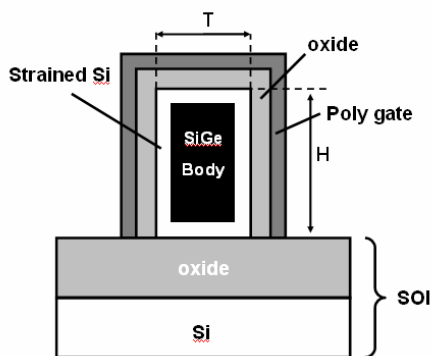
圖四 鍺濃度與電子遷移率及驅動電流增益關係圖。



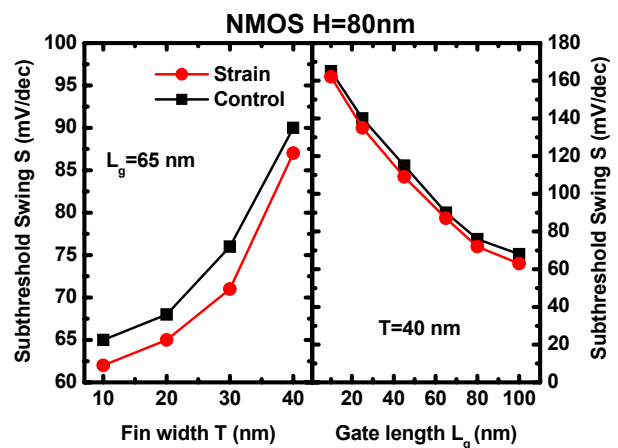
圖五 PMOSFET 中，鍺濃度由 $x=0\sim 0.4$ 時 I_D - V_{DS} 關係圖。



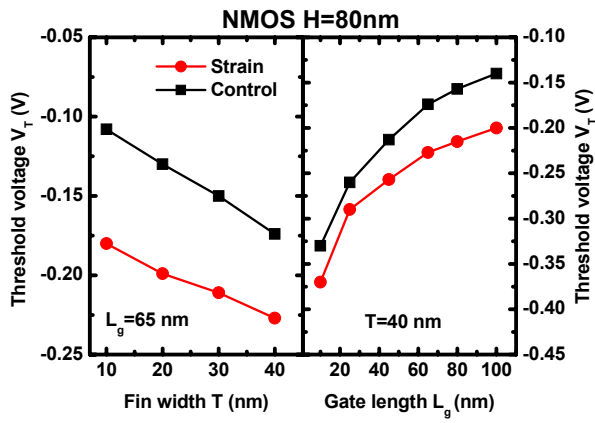
圖六 PMOSFET 中，不同鍺濃度之 I_{on} - L_{eff} 關係圖。



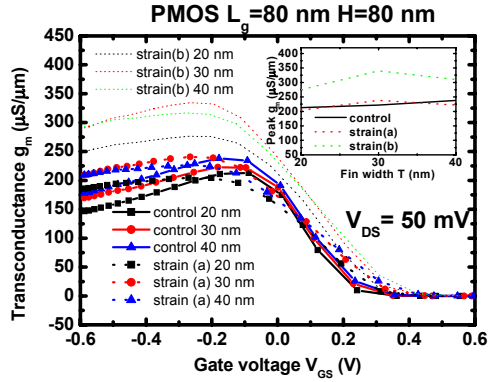
圖七 應變矽/矽鍺三開極電晶體之結構側面圖。



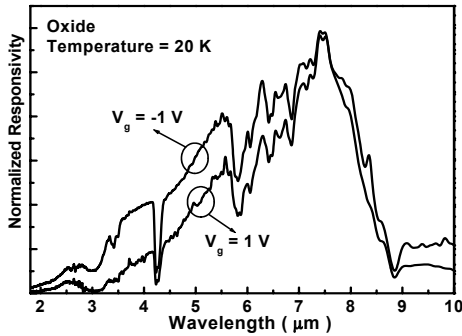
圖八 臨界斜率 S 與鍺寬 T 及通道長度 L_g 之關聯性。較窄的鍺寬有著較小的次臨界擺幅，較短的通道長度則有較大的次臨界斜率，與 control 元件比較下矽/矽鍺元件有較佳的次臨界斜率。



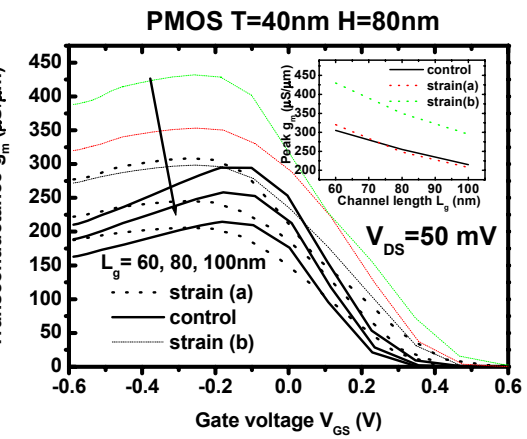
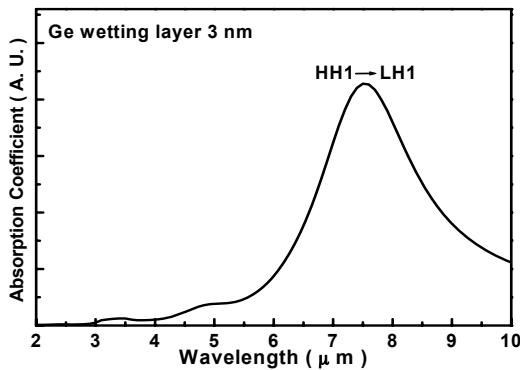
圖九 臨界電壓與閘極長度關係。應變矽/矽鍺元件臨界電壓下降較緩。



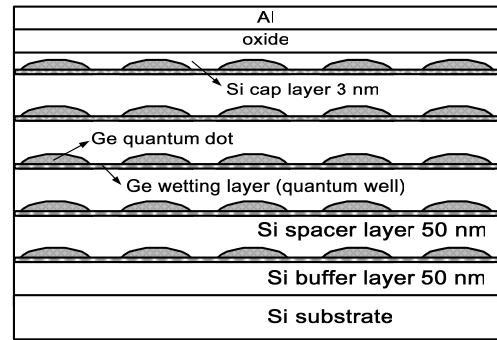
圖十一 矽/矽鍺與 control 矽元件之 PMOS 轉導對不同鰭寬作圖，圖中顯示出矽/矽鍺與 control 矽元件的 g_m 最大峰值，Strain (b) devices 與其他元件相較下有顯著較高的 g_m 。 g_m 則是除以經過元件的有效寬度 $W=(2H+T)$ 。



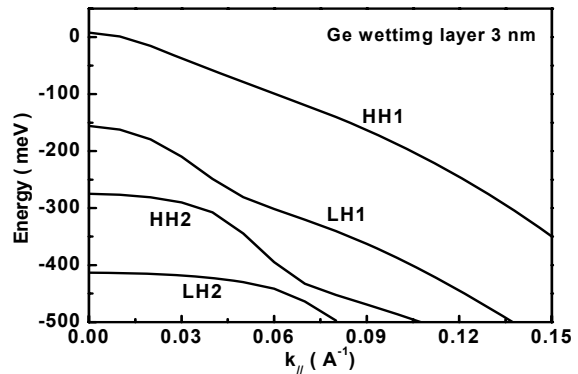
圖十三 QDIP 的響應度與波長的關係。在 1V(反轉層偏壓)以及-1V(堆積層偏壓)下有相似的光譜分析。



圖十 不同通道長度下矽/矽鍺與 control 矽 PMOS 元件之轉導， g_m 在 $|V_{GS}-V_T|$ 偏壓大時有明顯增加且兩種元件 (control and strain (a)) 的 g_m 最大值都出現在相同的位置，Strain (b) devices 與其他元件相較下有顯著較高的 g_m 。 g_m 則是除以元件的有效寬度 $W=(2H+T)$ 。

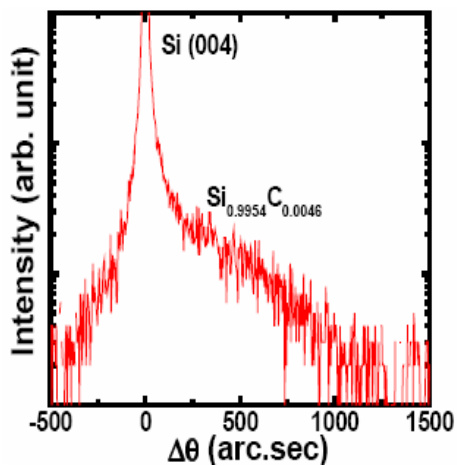


圖十二 金氧半鍺/矽 QDIP 結構，在鍺層中的量子井是以超高真空化學氣相沉積/化學氣相沉積所產生。

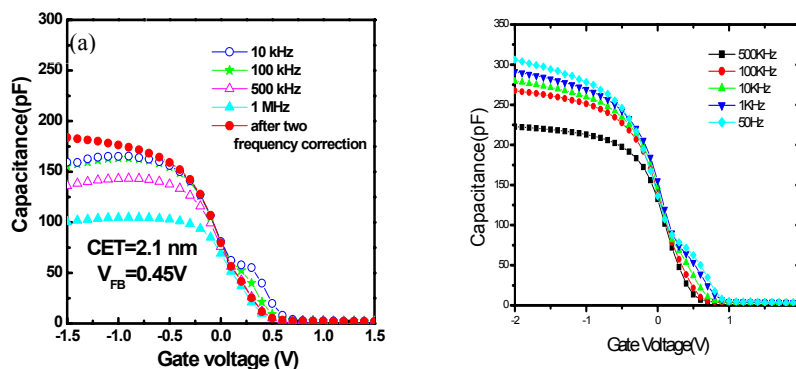


圖十四 矽/鍺/矽 量子井結構中二維電洞之次能帶能帶圖。

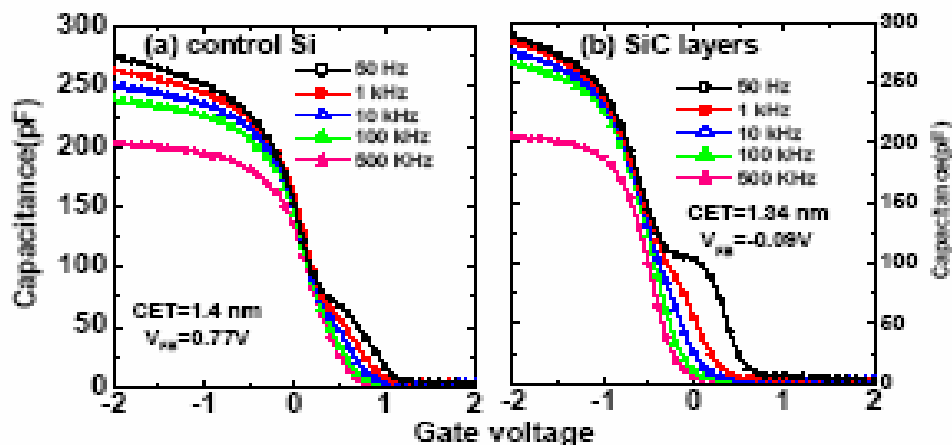
圖十五 經過計算後在次能谷間傳輸之吸收係數；並因重電洞與輕電洞間的傳輸，圖中吸收係數最大峰值出現在 $7.5 \mu m$ 。



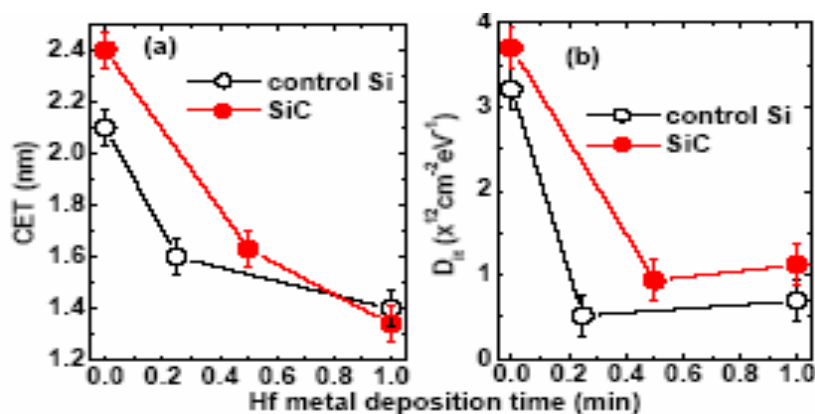
圖十六 驗證所成長的碳化矽合金基板，具有伸張應變力。



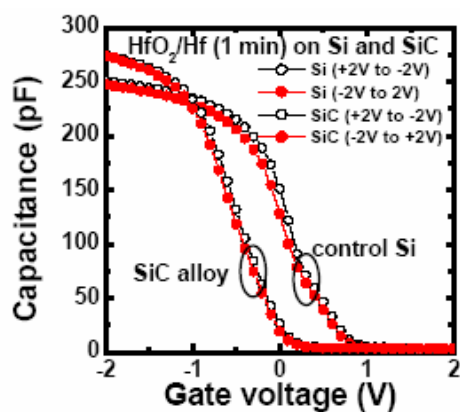
圖十七 (a)(b)結果比較得知，先沉積 Hf 薄膜(1min)，可以觀察到在累積層的電容值明顯增加且分散效應可獲得改善



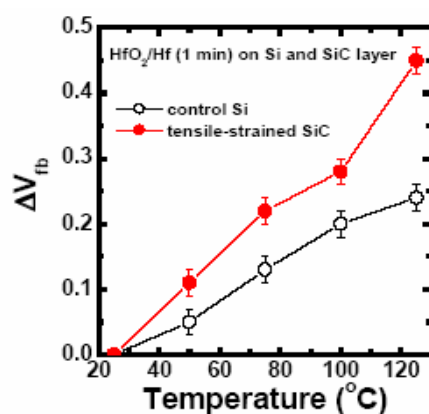
圖十八 圖(a)及圖(b)所示，表示在 HfO_2 氧化層與基板的界面處，有一些的 trap state，而造成界面電荷密度(Dit)存在，基板及 HfO_2 界面處有可能因碳(C-related)擴散至此所造成



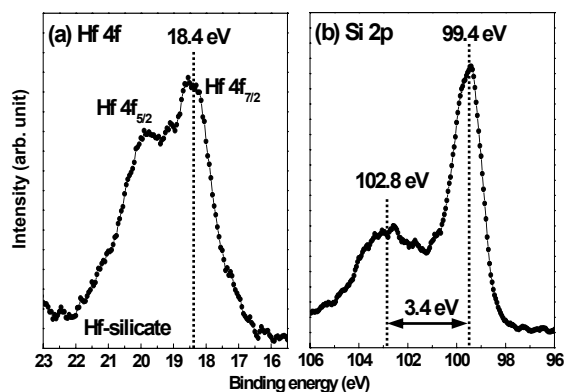
圖十九 圖(a)(b)結果可以知道，Hf-silicate₁₃可以有效的降低界面的厚度及界面狀態密度



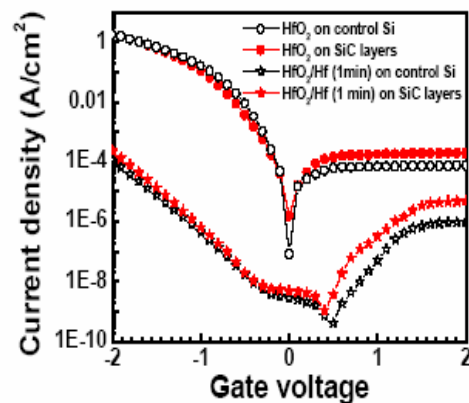
圖二十 矽基板與應變碳化矽基板的 V_{fb} 電壓分別為 0.77 V 與 -0.09V，而造成此平帶電壓的差異在於應變碳化矽基板中的 Conduction band edge 較低的關係



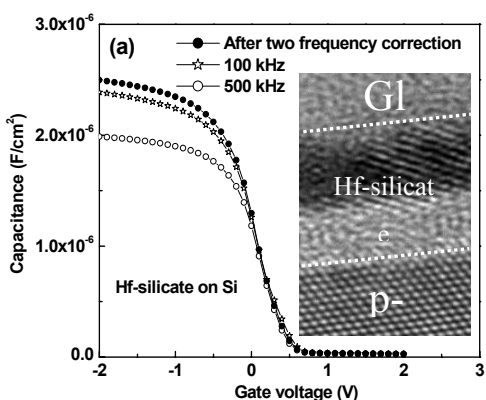
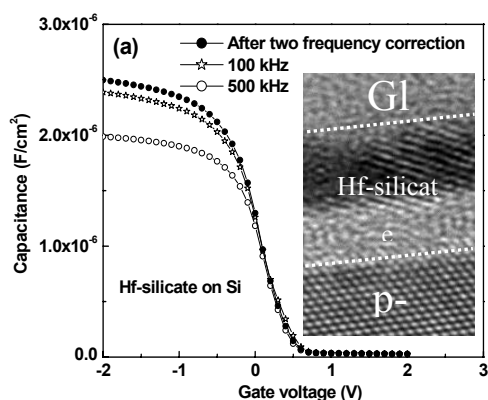
圖二十一 不同溫度下 (25°C~125°C)，造成 V_{fb} 偏移的變化量，以應變碳化矽的試片所造成 ΔV_{fb} 偏移的量更為嚴重。



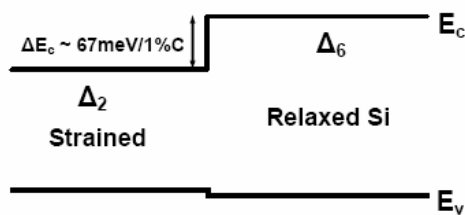
圖二十二 XPS 可發現，Hf 4f_{7/2} 的 binding energy 為 18.4 eV，比起 HfO₂ 的 16.5~17 eV 還高了 1~1.5 eV，可以知道此鍵結為 Hf-O 鍵結；由圖一(b)可以發現 Si 2p 兩個峰值的距離為 3.4 eV，小於 SiO₂ 中 Si 2p 峰值間的距離 (4.4 eV)，由此可知此鍵結為 Hf-silicate。



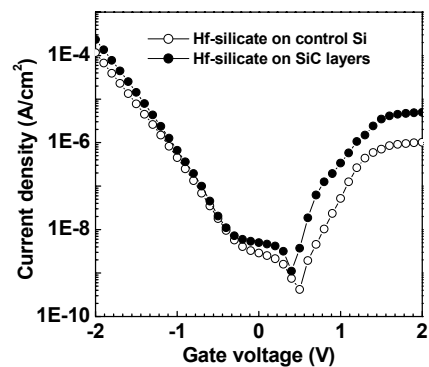
圖二十三 可觀察使用 HfO₂/Hf 結構，漏電流可明顯獲得改善



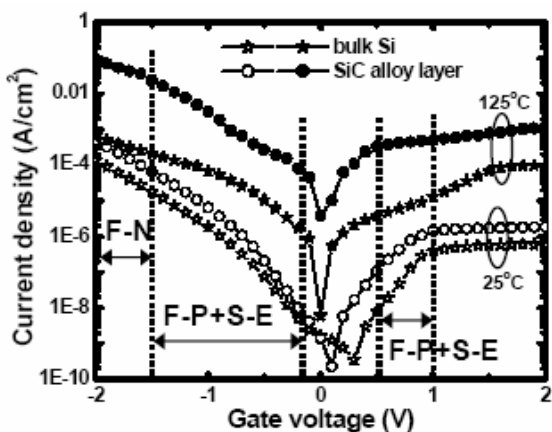
圖二十四 成長 Hf-silicate 於 (a) Si 以及 (b) SiC 的電容對電壓圖形以及 High-resolution TEM 圖



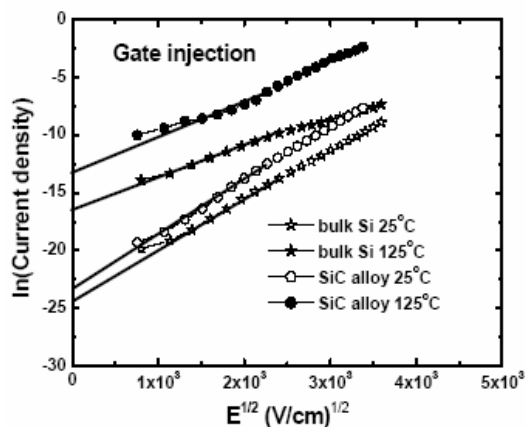
圖二十五 產生偏移的主要因為電子親和力以及能隙的隨著碳濃度不同而改變，造成 conduction band offset(ΔE_c)改變。



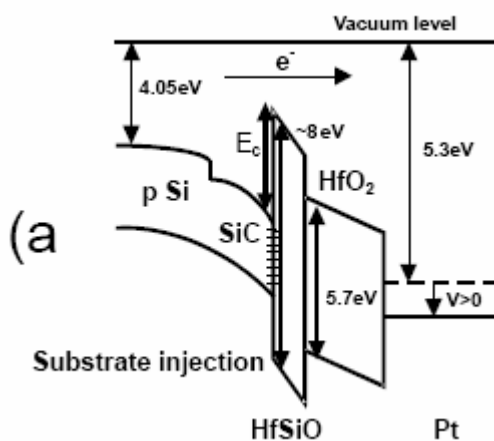
圖二十六在反轉區中，成長 Hf-silicate 在 SiC 基板上的漏電流比成長在 Si 基板大，主要的原因為 Hf-silicate/SiC 之間的介面本身的缺陷就比較多，因此在介面會有較多的 trapping 以及 de-trapping 現象，造成漏電流較高。



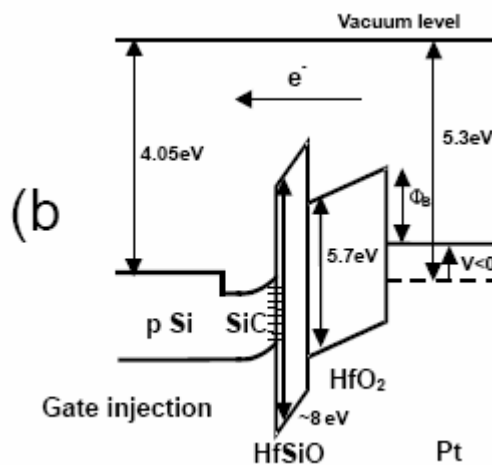
圖二十七 在不同的電壓範圍之內有特定漏電流機制所主導。



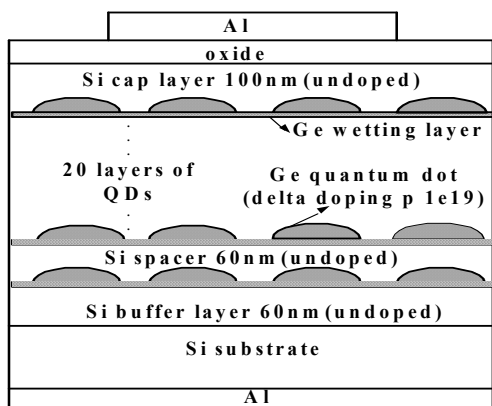
圖二十八 利用漏電流機制的模組，解釋分析並比較用矽基板以和應變碳化矽基板，在電特性上的差異。



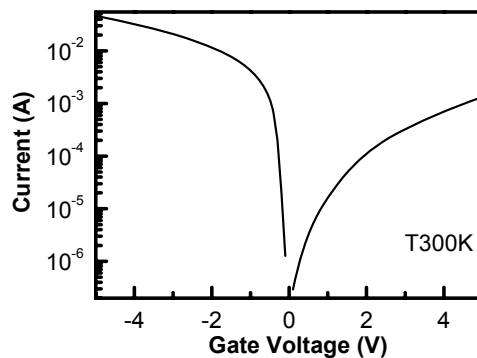
圖二十九(a) 在 substrate injection 情況下討論 Band offsets (ΔE_c)



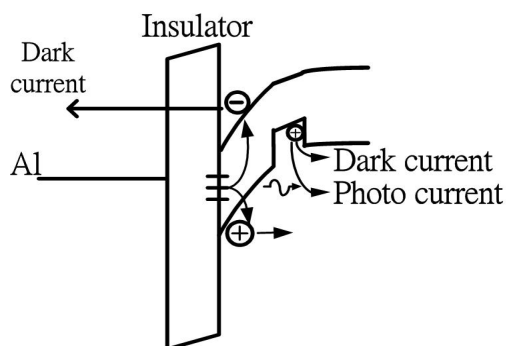
圖二十九(b) 在 gate injection 的情況下探討 Barrier height(Φ_B)



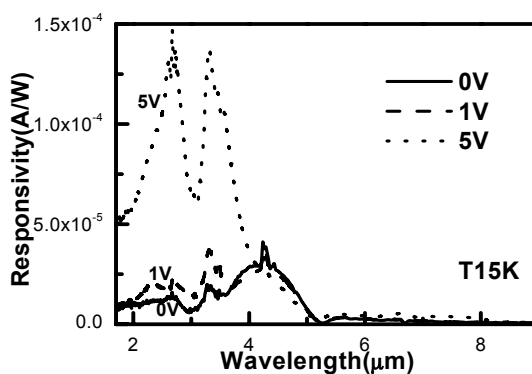
圖三十 金氧半矽/鍺量子點紅外線光偵測器的結構 此 20 層的鍺量子點由超高真空/化學氣相沉積所製成。



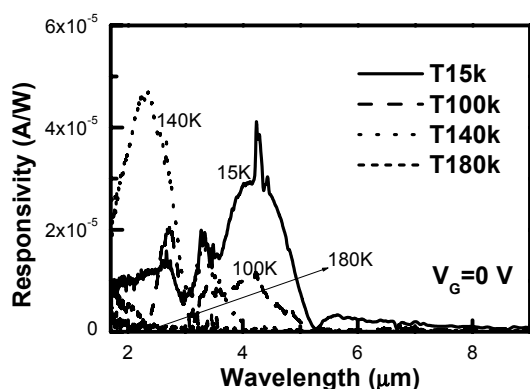
圖三十一 金氧半矽/鍺量子點紅外線光偵測器的暗電流，反轉電流較累積電流小。



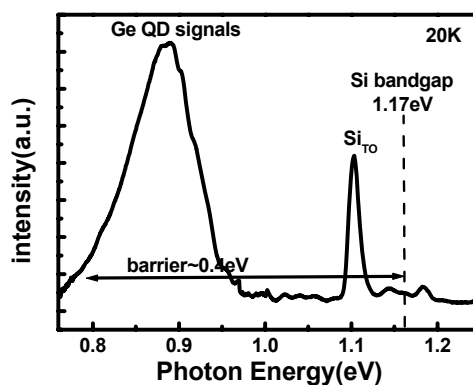
圖三十二 NMOS 矽/鍺量子點紅外線光偵測器在逆偏壓時的能帶圖，在紅外線照射時可以激發被限制的電洞。



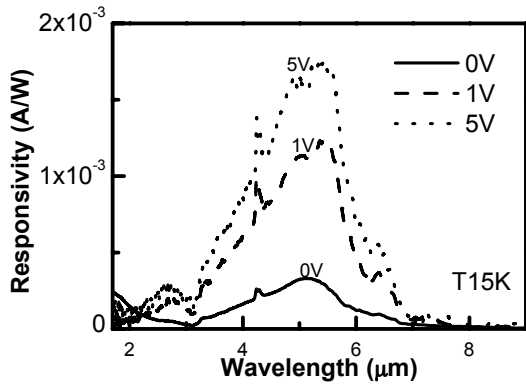
圖三三 量子點元件在不同電壓時的頻譜響應，3.5-5 微米的吸收已經在小偏壓時被明顯的觀察到。



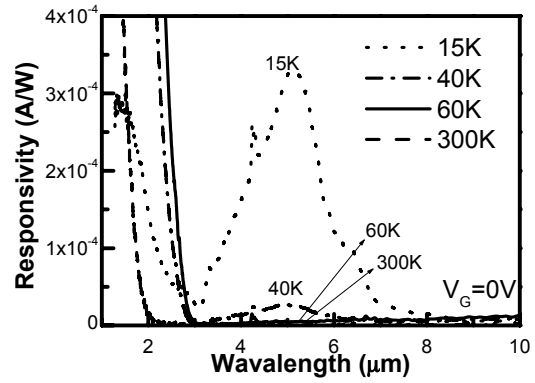
圖三十四 量子點元件在不同溫度的頻譜響應，在 180K 時 2-3 微米的吸收幾乎消失。



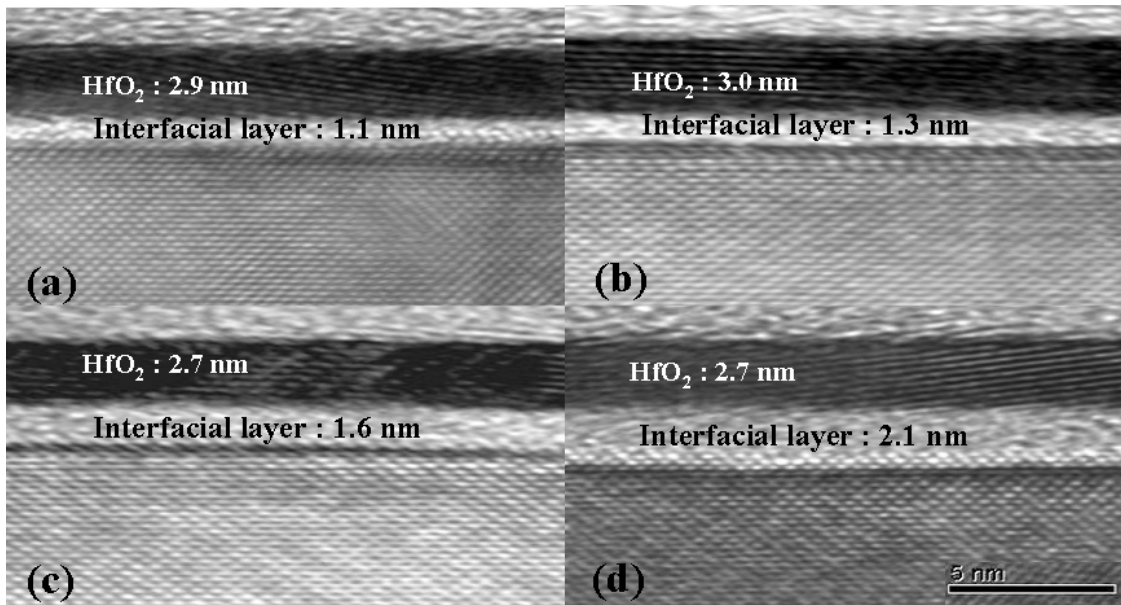
圖三十五 多層矽/鍺量子點結構在 20K 的 PL。



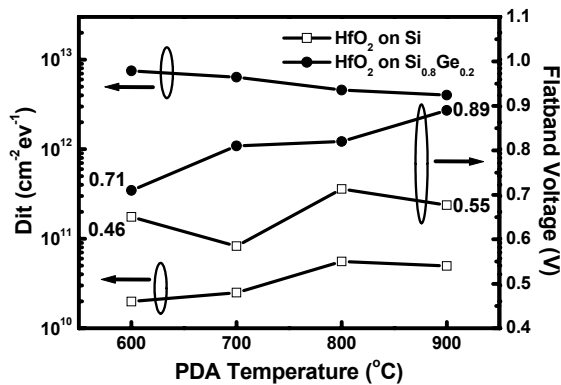
圖三十六 量子井元件在不同外加電壓的頻譜響應，15K 峰值 responsivity 為 1.8 ma/W。



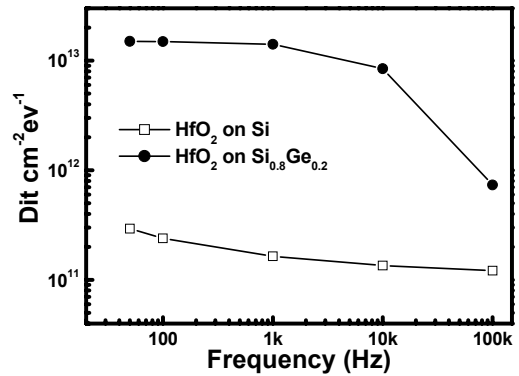
圖三十七 量子井元件在不同溫度的頻譜響應，在 60K 時 3-7 微米的吸收幾乎消失



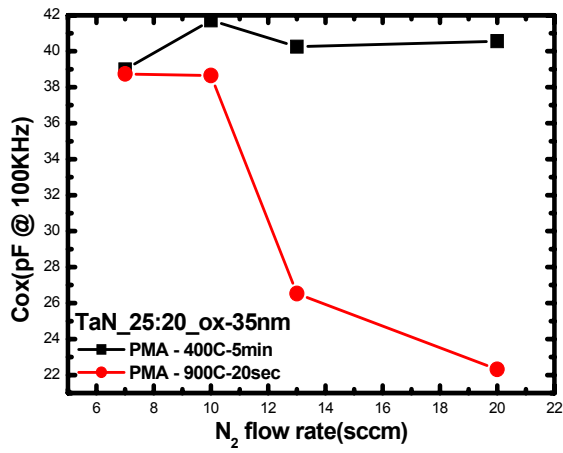
圖三十八 氧化鈦在矽和矽鍺基板上的穿隧電子顯微圖片。a 是在矽基板, b 是在矽鍺基板上用 600°C 退火 c 是在矽基板, d 是在矽鍺基板上用 900°C 退火。



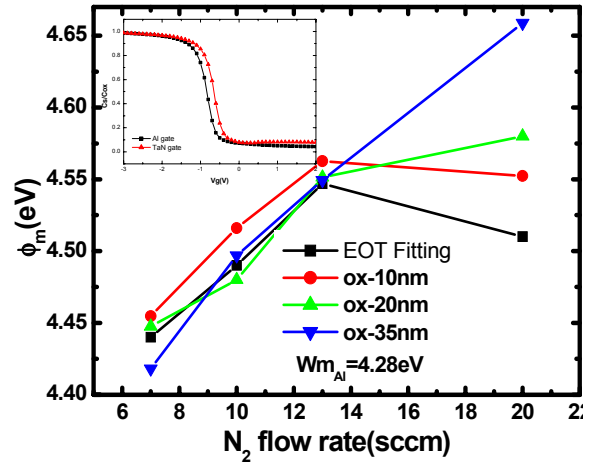
圖三十九 氧化鈦在矽和矽鍺基板上的 flatband voltage 與介面缺陷密度 (Dit) 隨著不同的退火的溫度的特性變化



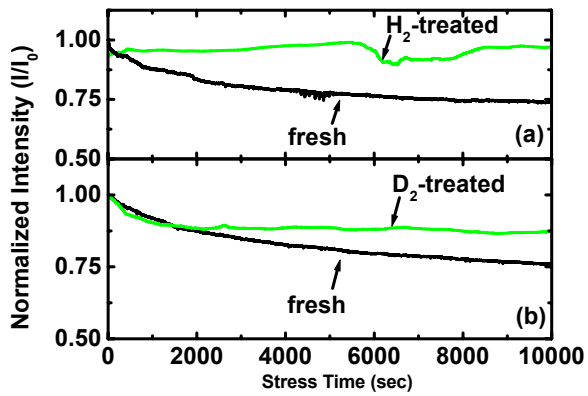
圖四十 氧化鈦在矽和矽鍺基板上的介面缺陷密度 (Dit) 隨著不同的量測頻率特性變化。



圖四十一 在不同的氮氣的流量之下電容值的變化。



圖四十二 在不同的氧化層厚度之下金屬功函數對氮氣的流量的關係。



圖四十三 氧化鈉在矽基板上的光強度經過 10000 秒的定電流破壞的特性變化。

附件一：

本計畫相關之論文著述：

(A)期刊論文 共計 31 篇

(B)研討會論文 共計 37 篇

論文發表

A: 學術期刊論文 (REFEREED JOURNAL PAPER)

1. (SCI) J.-Y. Wei, S. Maikap, M. H. Lee, C. C. Lee, and C. W. Liu, "Si/SiGe heterojunction of hole confinement characteristics at strained-Si, N- and PMOS devices," *accepted by Solid-State Electronics*, 2005
2. (SCI) C.-H. Lin, C.-Y. Yu, P.-S. Kuo, C.-C. Chang, and C. W. Liu, "Delta-doped MOS Ge/Si Quantum Dot/Well Infrared Photodetector," *accepted by Thin Solid Film*, 2005.
3. S. W. Lee, P. S. Chen, T. Y. Chien, L. J. Chen, C. T. Chia, and C. W. Liu, "Growth of high-quality SiGe films with a buffer layer containing Ge quantum dots," *accepted by Thin Solid Films*, 2005.
4. S. W. Lee, Y. L. Chueh, H. C. Chen, L. J. Chen, P. S. Chen, L. J. Chou, and C. W. Liu, "Field emission properties of self-assembled Si-capped Ge quantum dots," *accepted by Thin Solid Films*, 2005.
5. "Invited" C. W. Liu, S. Maikap, and C.-Y. Yu, "Mobility-enhancement Technologies," *IEEE Circuit and Device Magazine*, May, 2005.
(SCI) S. W. Lee, Y. L. Chueh, L. J. Chen, L. J. Chou, P. S. Chen, M. H. Lee, M.-J. Tsai, and C. W. Liu, "The growth of strained Si on high-quality relaxed $\text{Si}_{1-x}\text{Ge}_x$ with an intermediate $\text{Si}_{1-y}\text{Ge}_y$ layer," *J. Vac. Sci. Technol. A23*, p.1141, 2005.
6. K. F. Liao, S. W. Lee, L. J. Chen, P. S. Chen, and C. W. Liu, "Formation of thin relaxed SiGe buffer layer with H-implantation dose and thermal annealing," *Nucl. Instr. Methods B.*, 2005.
7. (SCI, EI) W.-C. Hua, M. H. Lee, P. S. Chen, S. C. Lu, M.-J. Tsai, and C. W. Liu, "Treading Dislocation Induced Low Frequency Noise in Strained-Si Field-Effect Transistors," to be published in Sept. *IEEE Electron Device Letter*, 2005
8. (SCI, EI) M.-H. Liao, T. C. Chen, M. J. Chen, and C. W. Liu, "Electroluminescence from metal/oxide/strained-Si tunneling diodes," *Appl. Phys. Lett.* 86, 223502 (2005)
9. (SCI, EI, 4 pages) C.-Y. Yu, P.-W. Chen, S.-R. Jan, M.-H. Liao, K.-F. Liao, and C. W. Liu, "Buckled SiGe layers by the oxidation of SiGe on viscous SiO_2 layers," *Appl. Phys. Lett.*, Vol. 86, No. 1, pp.011909, 2005.
10. (SCI, EI, 5 pages) T. C. Chen, L. S. Lee, W. Z. Lai and C. W. Liu, "The Characteristic of HfO_2 on Strained SiGe," *Materials Science in Semiconductor Processing*, Vol. 8, No. 1-3, pp. 209-213, 2005.
11. (SCI, EI, 5 pages) P. S. Chen, S. W. Li, Y. H. Liu, M. H. Lee, M.-J. Tsai and C. W. Liu, "Ultra-high-vacuum chemical vapor deposition of hetero-epitaxial $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ thin films on Si(001) with ethylene (C_2H_4) precursor as carbon source," *Materials Science in Semiconductor Processing*, Vol. 8, No. 1-3, pp. 15-19, 2005.
12. (SCI, EI, 5 pages) Y. M. Lin, S. L. Wu, S. J. Chang, P. S. Chen and C. W. Liu, "SiGe/Si PMOSFET Using Graded Channel Technique," *Materials Science in Semiconductor Processing*, Vol. 8, No. 1-3, pp. 347-351, 2005.
13. (SCI, EI, 3 pages) C. W. Liu, M. H. Lee, Y. C. Lee, P. S. Chen, C.-Y. Yu, J.-Y. Wei, and S. Maikap, "Evidence of Si/SiGe heterojunction roughness scattering," *Appl. Phys. Lett.*, Vol. 85, No. 21, pp. 4947-4949, 2004.
14. (SCI, EI, 3 pages) Y. H. Peng, C.-H. Hsu, C. H. Kuan, C. W. Liu, P. S. Chen, M.-J. Tsai, and Y. W. Suen, "The evolution of electroluminescence in Ge quantum-dot diodes with the fold number," *Appl. Phys. Lett.*, Vol. 85, No. 25, pp. 6107-6109, 2004.
15. (SCI, EI, 3 pages) P.-S. Kuo, B.-C. Hsu, P.-W. Chen, P. S. Chen, and C. W. Liu, "Recessed Oxynitride Dots on Self-assembled Ge Quantum Dots Grown by Liquid Phase Deposition," *Electrochemical and Solid-State Letters*, Vol. 7, No. 10, pp. G201-G203, 2004.
16. (SCI, EI, 5 pages) C. Y. Lin, S. T. Chang, and C. W. Liu, "Hole effective mass in strained $\text{Si}_{1-x}\text{C}_x$ alloys," *J. Appl. Phys.*, Vol. 96, No. 9, pp. 5037-5041, 2004.
17. (SCI, EI, 3 pages) W.-C. Hua, M. H. Lee, P. S. Chen, S. Maikap, C. W. Liu, and K. M. Chen, "Ge Outdiffusion Effect on Flicker Noise in Strained-Si NMOSFETs," *IEEE Electron Device Letters*, Vol. 25, No. 10, pp. 693-695, 2004.
18. (SCI, EI, 3 pages) F. Yuan, S.-R. Jan, S. Maikap, Y.-H. Liu, C.-S. Liang, and C. W. Liu, "Mechanically strained Si/SiGe HBTs," *IEEE Electron Device Letter*, Vol. 25, No. 7, pp. 483-485, 2004.
19. (SCI, EI, 3 pages) J.-W. Shi, Z. Pei, F. Yuan, Y.-M. Hsu, C. W. Liu, S. C. Lu, and M.-J. Tsai, "Performance Enhancement of High-Speed SiGe Based Heterojunction Phototransistor with Substrate Terminal," *Appl. Phys. Lett.*, Vol. 85, No. 14, pp. 2947-2949, 2004.
20. (SCI, EI, 3 pages) B.-C. Hsu, C.-H. Lin, P.-S. Kuo, S. T. Chang, P. S. Chen, C. W. Liu, J.-H. Lu, and C. H. Kuan, "Novel MIS Ge-Si Quantum-Dot Infrared Photodetectors," *IEEE Electron Device Letters*, Vol. 25, No. 8, pp.

544-546, 2004.

21. (SCI) S. T. Chang and H.-S. Tsai, "Strained Si Channel NMOSFETs Using a Stress with $\text{Si}_{1-y}\text{C}_y$ Source and Drain Stressors," accepted by Thin Solid Film, 2005.
24. (SCI, 3 pages) M.H. Liao, S. T. Chang, M.-H Lee, and C. W. Liu, "Abnormal Hole Mobility of Biaxial Strained Si," Journal of Applied Phys, Vol. 98, p. 066104, 2005.
25. (SCI, 5 pages) Shu-Tong Chang, "Nanoscale Strained Si/SiGe Heterojunction Tri-gate FETs," *Japanese Journal of Applied Physics*, Vol.44 No. 7A, pp.5304-5308, 2005.
26. (SCI, 4 pages) Shu-Tong Chang, Chi-Yuan Liang, and Buo-Chin Hsu, "High-bandwidth Si-based MOS/SOI Photodetectors for Optical Communications," *Japanese Journal of Applied Physics*, Part 2, vol. 44, No. 22, L704-L707, 2005.
27. (SCI, 6 pages) S. T. Chang and C. Y. Lin, "Electron Transport Model for Strained Silicon-Carbon Alloy," *Japanese Journal of Applied Physics*, vol. 44, No. 4B, p.2257-2262, 2005.
28. (SCI, 4 pages) S. T. Chang, Y. H. Liu, M.-H. Lee, S. C. Lu, and M.-J. Tsai, "Optimal Ge Profile Design for Base Transit Time of Si/SiGe HBTs," *Materials Science in Semiconductor Processing*, vol. 8/1-3, pp. 289-294, 2005.
29. (EI, 11 pages) S. T. Chang, M.-H. Lee, S. C. Lu, C. W. Liu, "Strained $\text{Si}_{1-x}\text{C}_x$ Field Effect Transistor on SiGe Substrate," Electrochemical Society Proceedings Volume 2004-7, pp.363-373, 2004
30. (SCI, 3 pages) Kou-Chen Liu, Sidhu Maikap and Pang-Shiu Chen, "Characteristics of Ultra Thin Hf-Silicate Gate Dielectrics on $\text{SiO}_2/\text{Si}_{0.9954}\text{C}_{0.0046}/\text{Si}$ Heterolayers," *Japanese Journal of Applied Physics*, Vol. 44, No. 4B, pp. 2447-2449, 2005
31. (SCI, 6 pages) K C Liu, S Maikap, C H Wu, Y S Chang and P S Chen, "The impact of Hf metal pre-deposition on the physical and electrical properties of ultrathin HfO_2 films on $\text{Si}_{0.9954}\text{C}_{0.0046}/\text{Si}$ heterolayers," *Semicond. Sci. Technol.* Vol. 20, pp. 1016-1021, 2005

B1: 學術會議論文 (REFEREED INTERNATIONAL CONFERENCE PAPERS)

1. M. H. Liao, C.-Y. Yu, C.-F. Huang, C.-H. Lin, C.-J. Lee, M.-H. Yu, S. T. Chang, C.-Y. Liang, C.-Y. Lee, T.-H. Guo, C.-C. Chang, and C. W. Liu, "2 μm emission from Si/Ge heterojunction LED and up to 1.55 μm detection by GOI detector with strain-enhanced features," 51th International Electron Device Meeting (IEDM), Washington D.C., 2005.
2. "Invited" P. S. Chen, M. H. Lee, S.W. Lee, C. W. Liu, and M. -J. Tsai. " Strained CMOS technology with Ge" 207th Meeting of Electrochemical Society, Ontario, Canada, 2005.
3. J.-W. Shi, J.-Y. Wu, S.-H. Hsieh, H.-C. Hsu, F.-H. Huang, P.-S. Chen, Ja-Yu Lu, C. W. Liu, and C.-K. Sun, "High Responsivity and High Power performance of Si/SiGe Based Avalanche Photodiode for 10-Gb/s Short-Reach Fiber Communication" CLEO 2005
4. Tao Yin, Anthony Kopa, Alyssa Apsel, Zingway Pei, C. W. Liu, "SiGe Traveling-wave Phototransistor with On-chip Polymer Waveguides for Integrated Optical Interconnects" submitted to CLEO 2005.
5. C.-H. Lin, C.-Y. Yu, P.-S. Kuo, C.-C. Chang, and C. W. Liu, "Delta-doped MOS Ge/Si Quantum Dot/Well Infrared Photodetector," p.322, abstract book, 4th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), May 23-26, 2005.
6. S. W. Lee, P. S. Chen, K. F. Liao, M.-J. Tsai, C. W. Liu, and L. J. Chen, "Growth of high-quality SiGe films with a buffer layer containing Ge quantum dots," p.116, abstract book, 4th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), May 23-26, 2005
7. Y. H. Peng, P. S. Chen, M.-J. Tsai, K. T. Chen, C. W. Liu, C. H. Kuan, and S. C. Lee, "The study of Electro-Luminescence from Ge/Si quantum dots and Si/SiGe superlattices," p.226, abstract book, 4th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), May 23-26, 2005.
8. S. W. Lee, Y. L. Chueh, P. S. Chen, H. C. Chen, C. W. Liu, and L. J. Chen, "Field emission properties of self-assembled Ge quantum dots grown by ultrahigh vacuum chemical vapor deposition," p.296, abstract book, 4th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), May 23-26, 2005
9. P.-S. Kuo, C.-H. Lin, P. S. Chen, and C. W. Liu, "The current transport mechanism of MOS Photodetector with Pt Gate," p.220, abstract book, 4th International Conference on Silicon Epitaxy and Heterostructures (ICSI-4), May 23-26, 2005.
10. W.-C. Hua, H.-H. Lai, P.-T. Lin, C. W. Liu, T.-Y. Yang, and G.-K. Ma, "High-Linearity and Temperature-Insensitive 2.4 GHz SiGe Power Amplifier with Dynamic-Bias Control," 2005 IEEE Radio Frequency Integrated Circuits (RFIC) Conference, long beach, USA.
11. S. Maikap, M. H. Liao, F. Yuan, M. H. Lee, C.-F. Huang, S. T. Chang, and C. W. Liu, "Package-strain-enhanced device and circuit performance," 50th International Electron Device Meeting (IEDM), pp. 233-236, San Francisco, Dec. 13-15, 2004.
12. C.-Y. Yu, P.-W. Chen, M.-H. Liao, and C. W. Liu, "Buckled SiGe layers on viscous SGOI substrates by wafer bonding and layer transfer techniques," 15th International Conference on Ion Implantation Technology (IIT), 2004.
13. P. S. Chen, S. W. Lee, C.W. Liu, and M.-J. Tsai, "Thin relaxed SiGe layer for strained Si CMOS," Semiconductor Manufacturing Technology Workshop Proceedings , pp.79-82, 2004.
14. P. S. Chen, K. F. Liao, M. H. Lin, S. W. Lee, C.W. Liu, and M.-J. Tsai, "Influence of H and He implantation on surface morphology and relaxation in SiGe/Si (100)," 15th International Conference on Ion Implantation Technology

(IIT), 2004.

15. P. S. Chen, S. W. Li, W. Y. Hsieh, M.-J. Tsai, and C. W. Liu, "UHV/CVD of $\text{Si}_{1-x}\text{Ge}_x\text{C}_y/\text{Si}$ and $\text{Si}_{1-y}\text{C}_y/\text{Si}$ heterostructure," *International Conference in Asia IUMRS-ICA*, Hsinchu, Taiwan, Nov. 16-18, 2004.
16. P. S. Chen, M.-J. Tsai, C. W. Liu, and S. W. Lee, "Carbon mediation on the growth of self-assembled Ge quantum dots on Si (100) by ultra high vacuum chemical vapor deposition," *51st International Symposium of American Vacuum Society*, Anaheim, CA, 2004.
17. S. W. Lee, L. J. Chen, P. S. Chen, M.-J. Tsai, and C. W. Liu, "The growth of high-quality SiGe films by introducing an intermediate Si:C layer," *51st International Symposium of American Vacuum Society*, Anaheim, CA, 2004.
18. "Invited" C. W. Liu, F. Yuan, Z. Pei, and J.-W. Shi, "Si/SiGe heterojunction phototransistor: physics and modeling," *Second International Symposium on Integrated Optoelectronics, 206th Meeting of Electrochemical Society*, Honolulu, Hawaii, Oct. 3-8, 2004.
19. P. S. Chen, Z. Pei, S. W. Lee, C. W. Liu, and M.-J. Tsai, "Nanostructure and optical properties of self-assembled Ge quantum dots grown in a hot wall UHV/CVD system," *M2 SiGe: Materials, Processing, and Devices Symposium, 206th Meeting of Electrochemical Society*, Honolulu, Hawaii, Oct. 3-8, 2004.
20. "Invited" C. W. Liu, S. Maikap, M.-H. Liao and F. Yuan., "BiCMOS devices under mechanical strain," *M2 SiGe: Materials, Processing, and Devices Symposium, 206th Meeting of Electrochemical Society*, Honolulu, Hawaii, Oct. 3-8, 2004.
21. S. T. Chang, M. H. Lee, and C. W. Liu, "Strained $\text{Si}_{1-x}\text{C}_x$ on Field Transistor on SiGe Substrate," *M2 SiGe: Materials, Processing, and Devices Symposium, 206th Meeting of Electrochemical Society*, Honolulu, Hawaii, Oct. 3-8, 2004.
22. C.-Y. Yu, T. C. Chen, S.-H. Huang, L. S. Lee, and C. W. Liu, "Electrical and Optical Reliability Improvement of HfO_2 Gate Dielectric by Deuterium and Hydrogen Incorporation," pp.165-168, *11th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2004.
23. P.J. Tzeng, S. Maikap, W. Z. Lai, C. S. Liang, P.S. Chen, L.S. Lee, C. W. Liu, "Post deposition annealing effects on the reliability of ALD HfO_2 on strained SiGe layers," pp.29-32, *11th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, 2004.
24. C.-H. Lin, P.-S. Kuo, P. S. Chen, C.-Y. Yu, S. T. Chang, C. W. Liu, "Raising Operation Temperature of MOS Ge/Si Quantum Dot Infrared Photodetectors," *International Electron Devices and Materials Symposia (IEDMS)*, pp. 277-280, Hsinchu, Taiwan, 2004.
25. P.-S. Kuo, C.-H. Lin, B.-C. Hsu, P.S. Chen, C.W. Liu "A Dual-bias Operated MOS Photodetector with Pt Gate," *International Electron Devices and Materials Symposia (IEDMS)*, pp. 411-414, Hsinchu, Taiwan, 2004.
26. H.-C. Huang, S.-L. Chen, C.-M. Hsu, H.-S. Tasi, and S. T. Chang, "Carrier Mobility in the Orthorhombically Strained Silicon," *International Electron Devices and Materials Symposium (IEDMS)*, pp.67-70, 2004.
27. C.-M. Hsu, H.-S. Tasi, and S.T.Chang, "Monte Carlo Simulation of Nanoscale Strained-Silicon MOSFETs," *International Electron Devices and Materials Symposium (IEDMS)*, pp.103-106, 2004.
28. S.T. Chang and C.Y. Lin, "Electron Transport Model for Strained Silicon-Carbon Alloys," *International Conference on Solid State Devices and Materials*, pp. 450-451, 2004.
29. S. T. Chang and S. H. Hwang, "Nanoscale Strained Si/SiGe Heterojunction Tri-gate FETs," *International Conference on Solid State Devices and Materials*, pp. 498-499, 2004.
30. Y. S. Liu, S. Maikap, P. S. Chen, and K. C. Liu, "Effect of Hf metal predeposition on the electrical properties of HfO_2 films on tensile strained $\text{Si}_{0.9954}\text{C}_{0.0046}$ layers," *International Conference on Solid State Devices and Materials*, pp. 538-539, 2004.

B2: 學術會議論文 (REFEREED LOCAL CONFERENCE PAPERS)

31. "Invited" C.-H. Lin, M.-H. Liao, and C. W. Liu, "CMOS Optoelectronics," *Symposium on Nano Device Technology (SNDT)*, 2005.
32. P. S. Chen, S. W. Li, M.H. Li, C.W. Liu and M.-J. Tsai, "Thin relaxed SiGe buffer for strained Si CMOS," *Semiconductor Manufacturing Technology Workshop*, Sep. 9-10, Hsinchu, Taiwan, 2004.
33. C. C. Lee, Y.-H. Liu, T.-C. Chen, C.-Y. Yu, P. S. Chen, Y. T. Tseng, and C. W. Liu, "The material and electrical characteristics of SiGeC alloy grown by chemical vapor deposition using C_2H_4 precursors," *Asia, CVD III*, Taipei, Taiwan, 2004.
34. W.-C. Hua, M. H. Lee, P. S. Chen, S. Maikap, C. W. Liu and K. M. Chen, "Comprehensive Flicker Noise Characterization of the Strained-Si NMOSFETs," *11th Symposium on Nano Device Technology (SNDT)*, 2004.
35. C.-Y. Yu, P.-W. Chen, M.-H. Liao, and C. W. Liu, "Buckled SiGe layers on the Viscous SGOI Substrates," *11th Symposium on Nano Device Technology (SNDT)*, 2004.
36. S. T. Chang, "Electron and Hole Mobilities in Orthorhombically Strained Silicon," *International Conference on Solid State Devices and Materials*, p.602, 2005.
37. H.-S. Tsai and S. T. Chang, "Simulation of Sub-90nm Technology Node CMOS Devices with Process Induced Local Strain," 2005物理學年會專輯, 物理雙月刊, 廿七卷一期, p 198, 2005年2月