

行政院國家科學委員會專題研究計畫 成果報告

高速串列通信傳送媒介之測試

計畫類別：個別型計畫

計畫編號：NSC91-2622-E-002-049-CC3

執行期間：91年12月01日至92年11月30日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：黃俊郎

計畫參與人員：楊博安 陳邦釗

報告類型：精簡報告

處理方式：本計畫為提升產業技術及人才培育研究計畫，不提供公開查詢

中 華 民 國 93 年 2 月 29 日

中文摘要

由於時脈偏移(clock skew)的限制，並列通信(parallel communication)已經在資料傳輸速度上遇到瓶頸，而正逐漸的被高時脈速度(clock rate)的串列通信(serial communication)所取代。以電腦週邊的聯結標準為例，USB 2.0、Firewire、Serial ATA等標準皆為高時脈速度(800 MHz - GHz)的串列通信。由於高時脈速度的特性，高速串列通信的硬體測試通常須要昂貴的量測儀器，不但測試成本太高，所須的測試時間也往往太長而不符合經濟效益。

鑑於各種多媒體及網路應用對資料傳輸頻寬要求不斷增加，高速串列通信傳輸必將成為下一代個人電腦或未來家庭娛樂中心的標準。發展高速串列通信標準的硬體測試技術，將可提昇台灣未來資訊、娛樂電子產品的競爭力。

本計劃的目的在於發展高速串列通信傳輸媒介(transmission media)的測試技術。初期將以Serial ATA (SATA)為起點，研發能降低測試時間及量測儀器性能需求的測試技術，並將此技術轉移給合作廠商，中期則將推廣此技術至其它串列通信標準，未來則希望將此技術運用於SoC內部高速資料傳送機制的測試。研究項目包括：(1) SATA cable的模型建立，(2) SATA cable結構性錯誤(structural defect)對性能影響的分析，(3)性能導向的SATA cable結構性錯誤(structural defect)測試方法。

關鍵詞：高速度串列通信、類比電路測試

英文摘要

Due to the limitation of clock skew, parallel communication has reached the bottleneck in terms of data transmission. As a result, parallel communication is gradually being replaced by high-speed serial communication. Take PC peripheral connection for example, newly established standards like USB 2.0, Firewire (IEEE 1394), and Serial ATA, are all high-speed serial communication standards ranging from 800 MHz to a few GHz. Due to the high clock rate, testing of the high-speed serial communication hardware often requires pricy test equipment and long test time, which is not efficient in a manufacturing testing environment.

As the demand of multimedia and networking applications on data bandwidth multiplies, high-speed serial communication will become the mainstream for next-generation PCs and future home entertainment centers. Developing high-speed serial link testing techniques will certainly strengthen the competitive capacity of Taiwan's industry in future electronics and entertainment products.

The objective of this project is to develop testing techniques for high-speed serial communication data transmission media. We will start from the serial ATA (SATA) cable, develop for it cost-effective manufacturing testing techniques, and transfer the results to the cooperating company. Then, we will apply the techniques to other serial communication standards. Finally, we will study the testing of on-chip high-speed serial links. The main research topics include (1) SATA cable fault modeling, (2) techniques for evaluating the functional fault coverage of defect-based test set, and (3) test set selection for SATA cable.

Keywords: high-speed serial communication, analog testing, serial ATA

一、前言

串列通信(serial communication)已逐漸成為高速資料傳輸的主流。以個人電腦為例，Firewire (IEEE 1394)、USB 2.0 以及 Serial ATA 等均為串列通信標準。由於串列通信標準依賴高時脈速度(GHz 範圍)來提高資料傳輸率，相關硬體的測試是一項相當大的挑戰。

Serial ATA 全名為 High Speed Serialized AT Attachment，採用 Gigabit 技術、差動實體層(differential layer) 及 8b/10b 編碼，將取代並列 ATA (parallel ATA attachment)而成為大量儲存元件的新介面。圖一所示為 SATA 介面與元件的聯接法，在 SATA 架構中，drive 和 adapter 是做點對點(point-to-point)的連接，而非如並列 ATA 般 daisy-chain 的連接方式。

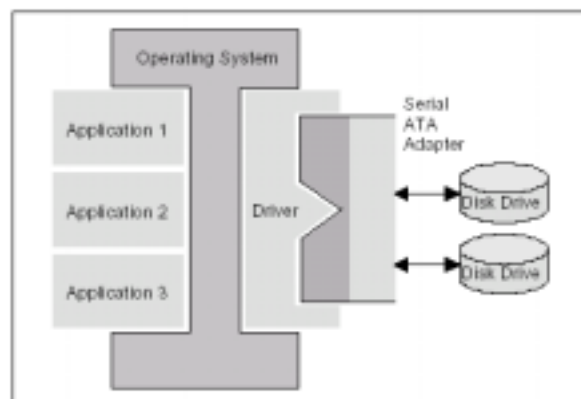


Fig. 1 Serial ATA Connectivity

根據 SATA 標準，SATA cable 及 connector 必須要能夠[1]：

1. 支援 1.5 Gbps 資料率的能力及 3 Gbps 的空間。
2. 與 Ultra ATA 的 cable 及 connector 的價格相當。
3. 使 Ultra ATA 至 Serial ATA 的轉移更加平順。
4. 提供 2.5" 及 3.5" 的 device 相同的 connector 介面。

根據 SATA 標準[1]，與 cable 及 connector 有關的測試，如 cable pair matching、common mode impedance、insertion loss、crosstalk: NEXT 等，均須依賴時域反射分析儀(Time Domain Reflectometer, TDR)，無論是測試時間或測試儀器的費用都很難滿足低價位的要求。因此，在上述四個要求中，第一及第二項對生產測試(manufacturing testing)而言是極大的挑戰，必須在測試的技術及策略上有重大突破才能達成。

二、研究目的

TDR 雖為一 cable 錯誤診斷的利器，但在只須決定待測 cable 是否滿足規格的生產測試(manufacturing testing)環境中，並不符合經濟效益。本計劃所要發展的，便是針對 pass/fail 測試的高速資料輸傳輸媒介測試技術。

計劃初期，將先以 Serial ATA(SATA) cable 為目標，研發能有效降低其測試成本的測試策略，未來則會將研究成果應用於其它高速串列通信標準及 SoC 內部的資料傳送機制。為達此一目的，本計劃所要研發的測試技術，將有以下兩個特點：

1. 對測試儀器的性能要求較低：TDR 為一高頻寬的量測儀器，是高時脈系統信號路徑(signal path)診斷及模型建立的利器。對低價的 cable 測試而言，並不符合經濟效益。
2. 以結構性錯誤(structural defect)作為測試信號選擇及分析的依據：SATA cable 的功能測試須要 TDR 及較長的時間。而結構性錯誤導向(defect-oriented)的測

試方法由於可以使用待測電路性能規格以外的測試信號及量測，具有降低測試時間及費用的潛能，故本計劃將以結構性錯誤的測試為研究方向。

由於各種多媒體及網路應用對資料傳輸頻寬要求不斷增加，高速序列資料傳送已逐漸成為高速資料傳輸的主流，發展一符合經濟效益而又有效的測試策略對台灣未來的電子產業的持續成長將有極大的助益。此計劃的研究成果，相信將可提昇台灣未來在資訊、娛樂電子產品方面的競爭力。

三、文獻探討

在串列通信標準傳輸媒介的測試儀器方面，國內外知名的量測儀器廠商推出的產品(copper testing 方面)主要是針對 UTP(Unshielded Twisted Pair) cable 的測試，例如 Fluke Networks, Inc. 的 OMNIScanner™2、Agilent Technologies 的 WireScope 350 等。根據 UTP 應用的性能要求，這些量測儀器的最大頻寬通常只到 300-350 MHz 的範圍 [2,3]，並不適用於 GHz 範圍的 SATA cable 測試。提高現有的儀器頻寬及性能至 GHz 範圍，未必能符合低價位的要求。目前的 SATA cable 測試方案，只能依賴 TDR 技術。

時域反射分析測量(Time Domain Reflectometry, TDR)[4]

TDR 過去常被用來找出 cable 的結構性錯誤位置。目前，高性能的 TDR 配合分析工具，成為 GHz 等級的電路板 封裝 插槽 連接器及 cable 錯誤分析以及 signal integrity 特性決定的利器。

基本上，TDR 是一個非常寬頻(18-20 GHz)、內建有 step generator 的等時距取樣示波器(equivalent sampling oscilloscope)，如圖二所示，TDR 經由 cable、探針及 test fixture 連接到待測元件(device under test, DUT)。為了確保極寬頻的信號能被傳送到 DUT 並且被 TDR 的寬頻示波器所取樣，所有的 cable、探針及 test fixture 都必須是高性能，否則將會增加 step signal 的 rise time、降低 TDR 解像度(resolution) 並影響到阻抗量測的準確度。

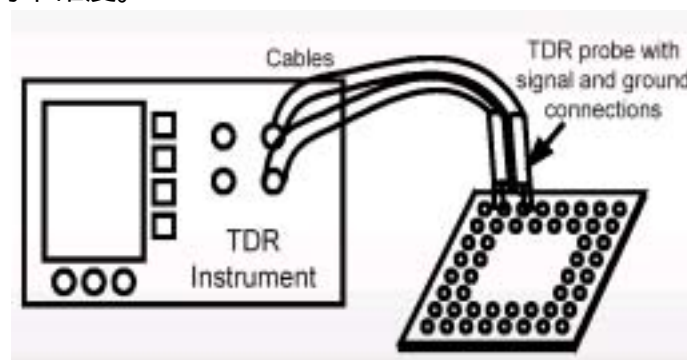


Fig. 2 TDR connection to DUT.

圖三所示為簡化的 TDR 功能示意圖，其中 R_{source} 為量測系統的特徵阻抗值(characteristic impedance)。由於 R_{source} 通常為 50 Ohm，一般所用的 cable 其特徵阻抗值亦為 50 Ohm，以免造成令人混淆的結果。

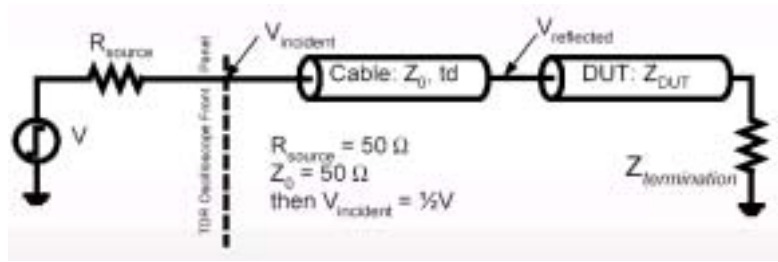


Fig. 3 TDR oscilloscope block diagram.

TDR 量測時，其內部的信號產生器送出一 step signal，若 DUT 的阻抗值 Z_{DUT} 為一常數，則示波器所得到的波形 $V_{measured}$ 可以下列數學式表示：

$$V_{measured} = V_{reflected} + V_{incident} \quad (1)$$

$$V_{reflected} = V_{incident} \cdot \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \quad (2)$$

$$\rho = \frac{V_{reflected}}{V_{incident}} = Z_0 \cdot \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \quad (3)$$

其中 ρ 為反射係數(reflection coefficient)。若 $V_{incident}$ 及 $V_{measured}$ 已知，則 DUT 的阻抗值(假設為一常數)可由下式得到：

$$Z_{DUT} = Z_0 \cdot \frac{1 + \rho}{1 - \rho} = Z_0 \cdot \frac{V_{measured}}{2 \cdot V_{incident} - V_{measured}} \quad (4)$$

圖四左半顯示當 Z_{DUT} 為 open、short 及 50 Ohm 時的 TDR 量測波形($V_{measured}$)。由於 $R_{source} = Z_0 = 50 \text{ Ohm}$ ，一開始時 $V_{measured}$ 值只有 step signal 的 50%，經過兩倍的 cable delay 後， $V_{measured}$ 才會達到如式(1)所示之值。圖四右半則為較一般的狀況。



Fig. 4 Typical TDR waveform($V_{measured}$).

一般而言，有經驗的 TDR 使用者可以由 TDR 波形找出 Z_{DUT} 的錯誤類型並估計其位置(圖五，假設 DUT 的理想阻抗值亦為 Z_0)。但是如果 Z_{DUT} 有多處阻抗不連續的錯誤，由於多重反射波重疊的結果，必須靠 de-convolution[5,6,7]的方法才能得到正確的錯誤阻抗值及位置。

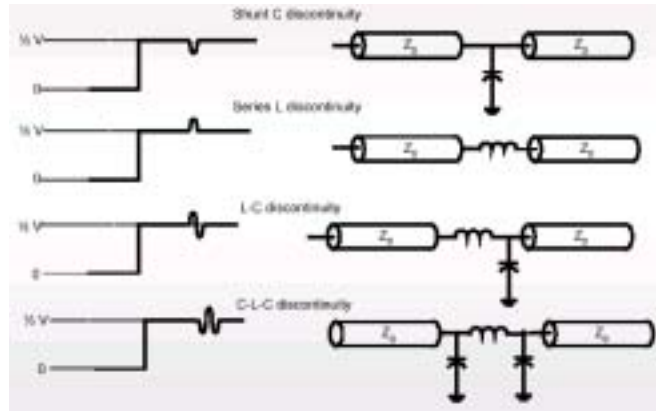


Fig. 5 Visual lumped interconnect analysis using TDR.

六、研究方法與分析

根據廠商提供資料顯示，阻抗不匹配 (impedance mismatch) 為一常見且造成 Cable 瑕疵的因素，因此本研究將阻抗匹配的測試作為主要測試的目標，為了達成測試目的，本研究所採用的測試架構如 Fig. 6 所示，利用 Line Driver 產生一個上升時間 (rise time) 相當短 (35ps) 的差動訊號，將待測物 (DUT) 的一端連至 Line Driver (X)，另一端開路，由於信號反射的關係，在一段時間之後，會在 X 點觀察到反射的信號，接下來將反射的信號，經由儀表放大器 (Instrumental Amplifier) 將差動信號轉換成單端輸出信號，所得到單端信號傳送至比較器 (comparator)，將此信號和所設定的高低準位標準做比較，得到每一個判斷點通過測試與否。可程式控制延遲控制器 (Programmable Delay) 用來控制 Comparator 取樣的時間，如圖 Fig. 7 所示，在取樣點 $D+d$, $D+2d$, $D+3d$ 擷取比較結果，經過一個完整的測試週期之後，可以分別將所得到的判斷點資料送至電腦做分析，即可得到測試的結果。

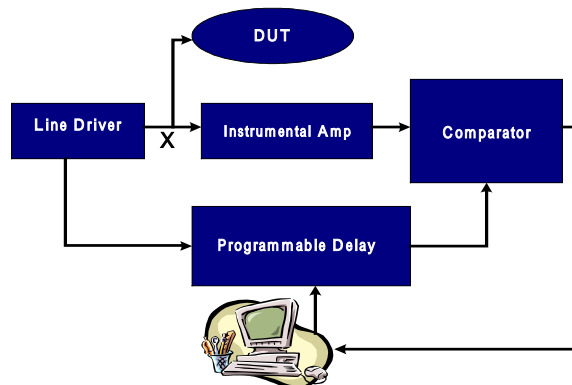


Fig. 6 Test Architecture Diagram

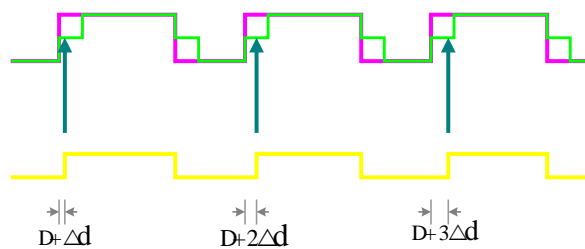


Fig. 7 Capture Signal Timing Diagram

六、結果與討論

本研究所採用的架構特點如下:

(1) 設備成本較低:

相較於TDR(Time Domain Reflector)的昂貴，本研究所採取的策略是，捨棄一部分特性不量測，而專注於具有主宰元件是否成功或失敗的特性之上，因此雖然無法如同TDR可以量測多樣的元件特性，但是對於測試設備成本的降低，卻是一個可以考慮的方向。

(2) 測試時間:

本研究所要測試的待測元件為一長度為1m的Serial ATA Cable，信號傳遞延遲約為4.25ns/per second，即4250ps，依據本研究所使用的Programmable Delay 而言，此IC具有的延遲解析度為10ps，因此若要完整測試cable impedance mismatch的情況，約需要425個測試週期，以一個信號週期20ns的信號產生器而言，僅需約8.5ms的測試時間即可完成測試，因此這樣的測試架構在測試時間的考量上亦是相當經濟的。

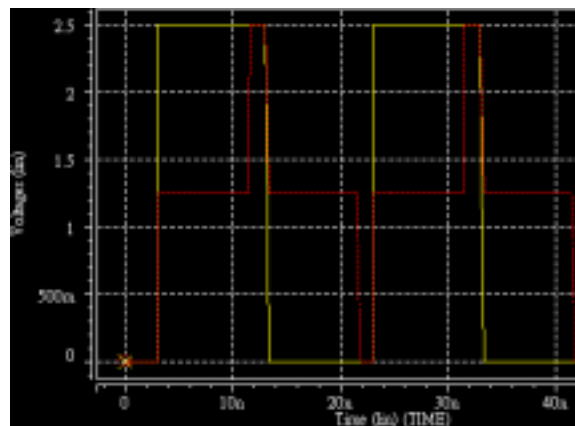


Fig.8 Waveform of input and reflection signal

Fig.8顯示一個35ps入射信號進入一理想待測物(阻抗為500hms)所得到的入射與反射信號，黃色的波形為入射信號，而紅色信號為在X點所觀察到的反射信號，藉由判斷綠色橢圓處的電壓值可以判斷阻抗是否符合規格若電壓值均為1.25V，若待測物其中一段阻抗大於50，在X點所觀察到的反射信號如Fig.9所示，會有一段電壓大於1.25V的情形，反之，若其中有一段或數段電壓值小於1.25V，表示在待測物的區段阻抗是小於50 Ohms，根據規格，容忍誤差為10%，即所量得的電壓值必需介於1.125V-1.375V，在這各範圍之外即判定為瑕疵品(Fail)，應用此架構來作測試，亦可判斷出錯誤發生的位置，可能來分析在生產的過程中，是否有某些地方容易造成瑕疵產生。

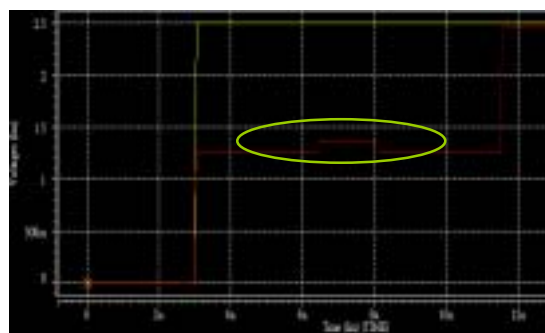


Fig.9 Impedance mismatch waveform

七、自評

本研究項目包括：(1) SATA cable 的模型建立，(2) SATA cable 結構性錯誤 (structural defect)對性能影響的分析，(3) 性能導向的結構性錯誤 (structural defect)測試方法。

對於SATA 結構性錯誤的模型(Model)以及針對該錯誤所需的測試方法已經建立完成，整體而言，應該順利在最短時間內將測試方法實現為測試設備並做技術轉移，相信這樣的測試方法及設備可以節省相當多的測試時間以及測試成本。

八、參考文獻

- [1] *Serial ATA: High Speed Serialized AT Attachment*, Revision 1.0. Serial ATA working Group, Aug. 29, 2001.
- [2] *OmniScanner2TM User Guide*. Fluke Networks Inc., Mar. 2002.
- [3] *WireScope 350 User's manual*, v3.0. Agilent Technologies Inc., Jul. 2002.
- [4] D. Smolyansky, "TDR Test Primer," *Printed Circuit Design Magazine*, Apr. 2002, pp. 20-28.
- [5] L. A. Smolyansk, S. D. Corey, "Characterization and modeling of multiple line interconnections from TDR measurements," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 42, Sep. 1994, pp. 1737-1743.
- [6] C.-W. Hsue, T.-W. Pan, "Reconstruction of Non-uniform Transmission Lines from Time-Domain Reflectometry," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 45, No. 1, Jan. 1997, pp. 32-38.
- [7] D. A. Smolyansky, S. D. Corey, "Printed Circuit Board Interconnect Characterization from TDR Measurements," *Printed Circuit Design Magazine*, May 1999, pp. 18-26.
- [8] M. Abramovici, M. A. Breuer, and A. D. Friedman, *Digital Systems Testing and Testable Design*. IEEE Press, New York.
- [9] M. L. Bushnell, and V. D. Agrawal, *Essentials of Electronic Testing*. Kluwer Academic Publishers, Boston.
- [10] C. W. Davidson, *Transmission Lines for Communications*, 2nd Edition. John Wiley & Sons, New York.
- [11] S. Rosenstark, *Transmission Lines in Computer Engineering*. McGraw-Hill Inc., New York.
- [12] S.-Win Wei, "Simple RLCG model for category-5 cables," *Electronics Letters*, Vol. 33, No. 25, Dec. 1997, pp. 2108-2109.
- [13] J. C. Diepenbrock, "Characterization and modeling of cables for high-speed data communication applications," *Electronic Components and Technology Conference*, 1999, pp. 530-534.
- [14] A. Umek, "Modeling the structural return loss in twisted pair cables," *10th Mediterranean Electrotechnical Conference*, Vol. 1, 2000, pp. 173-176.
- [15] S. Huss, and J. Bennett, "An efficient model for twisted-pair cables with discontinuities and stubs for discrete time simulations," *ISCAS 2001*, IV 254-257.
- [16] A. Strojwas, and S. Director, "An efficient algorithm for parametric fault simulation of monolithic IC's," *IEEE Trans Computer-Aided Design Integrated Circuits Syst.*, 10(8):1049-1058, Aug. 1991.
- [17] Naim Ben Hamida and Bozena Kaminska, "Analog circuit testing based on sensitivity computation and new circuit modeling," *Proc. IEEE International Test Conference*, pages 652-661, 1993.
- [18] N. Nagi, A. Chatterjee, and J. Abraham, "DRAFTS: Discretized analog circuit fault simulator," *Proc. Design Automation Conference*, pp. 509-514, Jun. 1993.

- [19] C. Pan, K. Cheng, and S. Gupta. Fault macromodeling and a test strategy for OPAMPs,” *Journal of Electronic Testing: Theory and Applications*, 9(3):225–235, Dec. 1996.
- [20] A. Abderrahman, E. Cerny, and Bozena Kaminska, “CLP-based multi-frequency test generation for analog circuits,” *IEEE VLSI Test Symposium*, 1997, pp. 158-165.
- [21] P. Variyam, and A. Chatterjee, “FLYER: fast fault simulation of linear analog circuits using polynomial waveform and perturbed state representation,” *Proc. Tenth International Conference on VLSI Design*, pp. 408–412, Jan. 1997.
- [22] R. Voorakaranam, S. Chakrabarti, J. Hou, A. Gomes, et al., “Hierarchical specification-driven analog fault modeling for efficient fault simulation and diagnosis,” *Proc. International Test Conference*, pp. 903–912, 1997.
- [23] J. Hou, and A. Chatterjee, “CONCERT: A concurrent transient fault simulator for nonlinear analog circuits” *Proc. International Conference on Computer Aided Design*, pp. 384–391, 1998.
- [24] J. L. Huang, C. Y. Pan, and K. T. Cheng, “Specification Back-Propagation and Its Application to DC Fault Simulation for Analog/Mixed-Signal Circuits,” *Proc. VLSI Test Symposium*, pp. 220-225, 1999.
- [25] Chen-Yang Pan and Kwang-Ting Cheng, “Pseudorandom testing for mixed-signal circuits,” *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, 16(10):1173-1185, October 1997.
- [26] P. N. Variyam, and A. Chatterjee, “Enhancing test effectiveness for analog circuits using synthesized measurements,” *IEEE VLSI Test Symposium*, 1998, pp. 132-137.
- [27] R. Voorakaranam and A. Chatterjee, “Test generation for accurate prediction of analog specifications,” *IEEE VLSI Test Symposium*, 2000, pp. 137-142.
- [28] S. R. Nassif, A. J. Strojwas, and S. W. Director, “FABRICS II: A statistically based IC fabrication process simulator,” *IEEE Trans. Computer-Aided Design*, CAD-3(1):40-46, Jan. 1984.
- [29] S. Liu and K. Singhal, “A statistical model for MOSFETS,” *International Conference on Computer-Aided Design*, 1985, pp. 78-80.
- [30] P. Yang, D. Hocevar, P. Cox, C. Machala, and P. Chaterjee, “An integrated and efficient approach for MOS VLSI statistical circuit design,” *IEEE Trans. Computer-Aided Design*, Vol. CAD-5, Jan. 1986, pp. 5-14.
- [31] N. Herr and J. J. Barnes, “Statistical circuit simulation modeling of CMOS VLSI,” *IEEE Trans. Computer-Aided Design*, Vol. CAD-5, Jan. 1986, pp. 15-22.
- [32] T. K. Yu, S. M. Kang, I. N. Hajj, and T. N. Trick, ”Statistical performance modeling and parametric yield estimation of MOS VLSI,” *IEEE Trans. Computer-Aided Design*, Vol. CAD-6, Nov. 1987, pp. 1013-1022.
- [33] F. J. Ferguson and J. P. Shen, “Extraction and simulation of realistic CMOS faults using inductive fault analysis,” *International Test Conference*, 1988, pp. 475-484.
- [34] F. J. Ferguson and J. P. Shen, “A CMOS fault extractor for inductive fault analysis,” *IEEE Trans. Computer-Aided Design*, Vol. 7, No. 11, 1988, pp. 1181-1194.
- [35] C. Dufaza and H. His, “Test synthesis of DC test and maximal diagnosis of switched-capacitor circuits,” *IEEE VLSI Test Symposium*, 1997, pp. 252-260.
- [36] Y. Xing, “Defect-oriented testing of mixed-signal ICs: some industrial experience,” *IEEE International Test Conference*, 1998, pp. 678-687.