

數位式多媒體無線接收機設計技術之研究-子計畫三：

數位基頻帶處理器之研製

計畫編號：NSC ^{90-2218-E-002-067} ~~89-2218-E-002-090~~

執行期限：90/08/01 ~ 91/07/31

主持人：龐台銘

國立台灣大學電機工程系教授

一、中文摘要

在數位無線通信系統中，數位基頻處理負責數位無線系統中的高速信號處理部分，包括語音編碼、解碼、錯誤更正、通道編碼和解碼(Channel encoding and decoding)、等化器(Equalization)、解調變和加解密...等。在本計畫中，我們針對無線通訊系統提出了一個內建可程式化關聯器陣列架構(Correlator array)之數位訊號處理器。可程式化的關聯器陣列可以輕易的被設定成為晶片匹配濾波器(chip match filter)、碼群組偵測器(code group detector)、混碼偵測器(scrambling code detector)，以及耙型接收器(RAKE Receiver)。此外，此關聯器還有低功率之設計考量。此數位訊號處理器晶片是同時採用全客戶方式(Full-custom)及標準單元方式(Cell-based)的設計。在關鍵路徑(Critical path)採用全客戶方式設計，其他較規則部分則採用 0.35 μ m、1P4M 的標準元件庫來合成。

我們所提出的數位訊號處理器，由於其特殊之架構與指令集，在一些無線通訊標準像是 GSM 以及 IS-95 中所需之運算和維特比演算法(Viterbi algorithm)以及複數運算，皆有傑出的表現。藉由和一些在無線通訊系統常用之數位訊號處理器的比較結果，可得知所提出之數位訊號處理器確實在執行無線通訊的演算法方面較其他數位訊號處理器來更有效率。

關鍵字：數位基頻處理器、無線通訊、低功率電路、關聯器陣列架構。

二、英文摘要

The digital baseband section plays an important role in the digital wireless system. It performs the high-speed digital signal processing (DSP) functions in digital wireless applications. These typically include speech encoding and decoding, error correction, channel encoding and decoding, equalization, demodulation, and encryption/decryption, etc.

In this project, a digital signal processor that is specially designed for communication applications with a programmable correlator array architecture is introduced. The programmable correlator can be easily configured as a chip match filter, code group detector, scrambling code detector, and RAKE receiver. It also has low power consideration. The chip was implemented in a hybrid design method where the critical path was full-custom designed and the other parts are cell-based designed using a 0.35 μ m 1P4M cell library.

The specially designed architecture and instruction set of the proposed communication DSP (CDSP) leads to good performance in Viterbi algorithm and complex arithmetic operations for various wireless communication standards. According to the performance evaluation results, the proposed DSP core outperforms other processor designs in terms of several operations normally used in wireless communication.

Keyword: Digital baseband processor, Wireless communication, Low-power circuits, Correlator array architecture.

三、計畫緣由與目的

近幾年行動電話手機和高速數據機的需求大增。以往這兩項產品用來進行資料編碼、解碼、壓縮、解壓縮及信號處理的核心運算單元，皆以特定用途積體電路(ASIC)或特定用途信號處理器(ASSP)實現。但隨著積體電路製成的進步，邏輯閘的速度增加，使可程式信號處理器允許下載新軟體就可升級的優勢，和可縮短產品研發時間的特點，使得越來越多的行動電話手機和數據機使用可程式信號處理器。而未來的趨勢，在無線通訊中除了原有的語音服務，也將整合數據傳輸及影像傳輸。延續在行動電話手機和數據機上的優勢，可程式信號處理器在新一代的無線通訊產品中預計也將被廣泛的使用。但因為提供的服務增加了，硬體效能的需求也提升了，因此研製一個更高效能通信基頻專用的可程式信號處理器是必須的。

在一個 CDMA 系統之中，關聯器被用來解延展所接收到之訊號。此外，由於惡劣的無線傳輸環境，在傳輸端通常會使用迴旋編碼(Convolutional Code)來作為錯誤控制碼。因此，在接收端必須解迴旋碼。解碼的方式通常是使用維特比運算法找出 Trellis 上之最可能路徑，而維特比演算法通常可藉由 ASIC 或是數位訊號處理器來達成。如由數位訊號處理器處理則可兼用於語音處理，如此可節省硬體之使用量。因此，在一個 CDMA 系統裡必須含有一個可處理維特比演算法之數位訊號處理器。

四、研究方法與成果

(1) 可程式化關聯器陣列

A. 三碼關聯器 (Tri-code correlator)

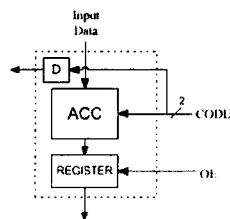


圖1 Tri-code correlator區塊圖

此三碼關聯器可相互關聯1、-1與0，如果我們連結兩個三碼關聯器，並且在此之前預先處理過如方程式(1)的兩個碼，則將可形成一個可減少功率消耗的雙重碼關聯器 (Dual code correlator)。

$$\begin{cases} CODE_1[0] = a \\ CODE_1[1] = \sim(a \wedge b) \end{cases} \text{ and } \begin{cases} CODE_2[0] = a \\ CODE_2[1] = a \wedge b \end{cases} \quad (1)$$

B. 可程式化關聯器陣列

在第三代行動通訊中，解調器端信號必須有兩個相位，第一個為碼獲得相位，第二個為碼追蹤相位。在獲得相位中，首先我們需要一個晶片匹配濾波器來匹配原始的同步化通道以得到槽位置；接著我們需要數個關聯器來找出16個連續的槽數，使我們可藉由碼群組搜尋表得到碼群組資訊與架構範圍；最後，如果一個群組有16個碼，則需要16個關聯器來確認混碼。進行完上述三個步驟後，碼獲得步驟將告完成，我們亦開始進入碼追蹤相位。為了追蹤碼相位，此處使用延遲鎖相迴路(Early-late delay lock loop)；此外，我們亦需要使用耙型接收器來消除多重路徑效應。

結束上述的分析之後，我們完成可程式化關聯器陣列的架構如圖2，其符合了我們雙相位以及低功率消耗考量的設計，其中TCC即為三碼關聯器。

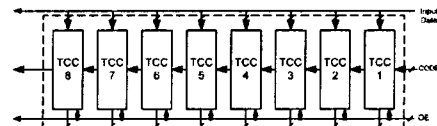


圖2 可程式化關聯器陣列架構圖

(2) 數位訊號處理器

此數位訊號處理器是設計以符號速率(Symbol rate)來做I/Q通道信號處理，如通道估測、耙型合併演算、維特比演算法與FIR Filter等。

A. 數位訊號處理器整體架構

圖3為數位訊號處理器的區塊圖，此處理器使用Harvard架構，其中包含了兩個資料記憶區塊(data memories)、一個程式記憶區塊(program memory)，每個記憶體包含了16bit addressing space；其中資料記憶區塊為16-bit word width、程式記憶區塊

為28-bit word width，每個資料記憶區塊內含位址產生器。

此處理器的資料路徑包含以下四個部分：運算邏輯單元（ALU）、乘法累積單元（MAC）、Barrel shifter（SFT）與比較器（CMP）。ALU、SFT、MAC的累加器與CMP的輸入端為40-bit wide，而乘法器的輸入為16-bit wide。此資料路徑的輸出可被存入兩個40-bit的暫存器（D0與D1）或兩個資料記憶區塊。

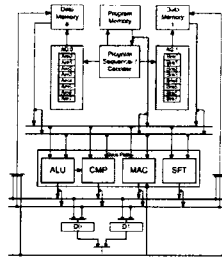


圖3 數位訊號處理器的架構圖

B. Sub-Word Parallel (SWP)

根據我們對 W-CDMA系統的模擬結果，6-bit word的資料長度將足夠支援關聯器的輸出；因此，一個16-bit的數位訊號處理器的路徑可被區分為兩個分別對應到I與Q通道的8-bit資料。由此SWP架構，我們可加速I/Q通道的資料處理。

因此這個處理器至少可提供一次兩個8-bit運算或是一個16-bit運算，在其他特殊的狀況下、當輸入端的資料路徑來自兩個40-bit的連續器時，亦可提供兩個16-bit的運算。圖4為資料格式。

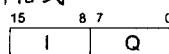


圖4 Symbol rate data format

C. 通道估測

一個16-bit的處理器將需要6個週期來完成一個複雜的乘法運算，而因為我們的設計支援8-bit與16-bit兩種資料形式，我們將需要四個8-bit如圖5所示的乘法器，將有充足的時間可在一個指令週期內完成一個複合的MUL/MAC運算。複合的MUL/MAC運算的結果將分成實部與虛部的16-bit word，此兩部分將可被儲存在兩個16-bit的資料記憶區塊或是被存在一個40-bit的連續

器中。

D. 維特比演算法

在無線通訊系統中應用了通道錯誤更正碼的編碼模式來更正錯誤，其中目前最被廣泛使用的即為迴旋碼編碼系統，由此方法編碼過後的資料可經由維特比演算法還原。

維特比演算法共分兩個步驟，分別為“矩陣更新”（matrix update）與“追溯”（traceback）；在第一步驟中使用“加、比較、選擇”（add、compare、select，ACS）的運算，在TI C54x晶片中提供了幾個特殊的指令來加速ACS的動作，然而其仍需要花費五個指令週期的時間來完成。

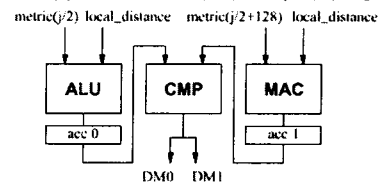


圖5 兩個ACS運算的資料流程

在此我們使用如圖5的SIMD與SWP架構來進行。其中MAC是用來分流乘法器，可視為一個24-bit的減法器/加法器與16-bit加法器/減法器；而ALU可視為一個24-bit的加法器/減法器與16-bit的減法器/加法器。在同一時間內，比較器做了選擇的動作以及將前一刻運算出的最小路徑長度儲存至資料記憶體內；也就是說，一個週期內完成兩個ACS的動作。

當我們在進行ACS運算時，為了未來作回溯的運算、我們亦需要將比較器的旗標（flags）儲存至傳輸表內。

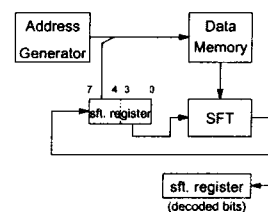


圖6 回溯電路圖，其中K=5到9

維特比運算的第二個步驟即為回溯（如圖6），其束縛長度（constraint length）大約為5到9。當束縛長度為9時，

移位暫存器內的四個MSB被用來當作四個LSB資料記憶體的位置通道；移位暫存器的四個LSB被用來當作barrel shifter的移位控制訊號，用來將傳輸資料往右移至調正狀態。Barrel shifter的LSB為已解碼的資料，我們將其儲存至16-bit的移位暫存器中。

E. FIR濾波器

MAC架構支援8-bit資料型態運算，我們可輕易將FIR運算速度加倍。其輸入資料的記憶體安排與參數如圖7所示，輸入資料流將被儲存在一個資料記憶體內，而濾波器參數亦將儲存在另一個資料記憶體內。

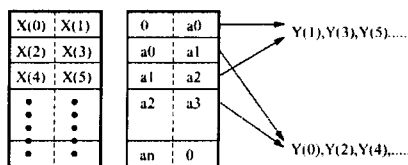


圖7 FIR運算的記憶體分配

(3) 研究成果

A. DSP性能比較

在此以我們設計的 DSP 與 TI C54x、Atmel 的 LODE 與 MDSP-II 做比較，表一列出各晶片在 GSM 系統中的迴旋解碼運算、FIR 運算與複數運算的性能評比。

	TI C54x (1 MAC)	TI C55 (2 MAC)	LODE (2 MAC)	MDSP-II (7 MAC)	Proposed (8 MAC)
Video algorithm	24%	53%	51%	13%	10%
FIR operation (N=64)	58%	114%	115%	116%	105%
Complex MULT/MAC	29%	58%	59%	54%	10%

表一、各晶片性能比較

B. DSP之實現

此 DSP 是同時採用 full-custom 及 cell-based 的設計，cell-based synthesis 完後之 critical path 是 MAC 的部分，於是我們把 MAC 重新以 full-custom layout，同時採用如圖 8 的高速 carry-look-ahead adder 也可以放入 ALU 和 CMP，乘法器由 modified Booth 和 Wallace tree 組成，在經過 post-layout 模擬後，MAC 的延遲已經較原來少了一半。



圖 8 Full-custom Layout of Full adder

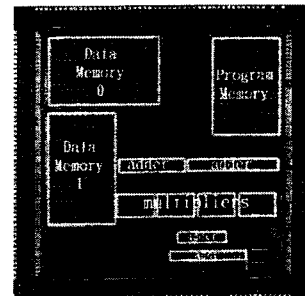


圖 9 Final Layout of the Proposed DSP Chip

五、結論與討論

在本計畫中，我們針對無線通訊系統提出了一個內含可程式化關聯器陣列架構的數位信號處理器。此低功率消耗的可程式化關聯器陣列可被架構成晶片匹配濾波器、碼群組偵測器、混碼偵測器、和使用在 3G 系統 (W-CDMA mode) 的以及耙型接收器。此外，此強大的數位信號處理器被設計成含有數個特殊指令來加速 I/Q 通道資料處理所需之運算，如通道估測、維特比演算法與 FIR 濾波器等。

六、參考文獻

- [1] I. Verbauwhede and M. Touriguan, "A low power DSP engine for wireless communications," Journal of VLSI Signal Processing, vol. 18, 1998.
- [2] B.-W. Kim et al, "MDSP-II: A 16-bit DSP with mobile communication accelerator," IEEE Journal of Solid-State Circuits, vol. 34, pp. 397-404, March 1999.
- [3] C.-W. Ku, F.-Y. Kuo, C.-K. Chen, and L.-G. Chen, "Low power strategy about correlator array for cdma baseband processor," in IEEE workshop on Signal Processing Systems, pp. 513-522, 1999.
- [4] C.-W. Ku and F.-Y. Kuo, "Software radio based re-configurable correlator/FIR filter for CDMA/TDMA receiver," in Proceedings of IEEE International Symposium on Circuits and System, pp. 112-115, vol.1, 2000.
- [5] H. Hendrix, "Viterbi decoding techniques in the TMS320C43x family," application report, TEXAS INSTRUMENTS, June 1996.
- [6] S. Dutta, K. J. O'Connor, W. Wolf, and A. Wolfe, "A design study of a 0.35-um video signal processor," IEEE Transactions on Circuits and Systems for Video Technology, vol. 8, pp. 501-519, Aug. 1998.