

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫三：高速資料傳輸系統的可測試性設計技術(1/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-017-

執行期間：92 年 11 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：黃俊郎

共同主持人：呂學士

計畫參與人員：陳邦釗 陳奕任 林耕平

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 31 日

高速資料傳輸系統的可測試性設計技術

關鍵字：高速序列資料傳送、抖動測試、抖動容忍度

中文摘要

為了滿足不斷提升的資料頻寬要求，高速序列式 (serial) 傳送技術已逐漸取代傳統的並列式 (parallel) 傳送方法成為主流。然而，各個主要高速通訊標準 (如: Gigabit Ethernet、Infiniband 3G1Q SONET 等) 與高頻寬系統 backplane 所大量使用的 gigabit I/O buffer 對測試而言是極大的挑戰。首先，測試這些 IC 須要昂貴的 BER (bit-error-rate) 測試儀器組合。過高測試費用與過長的測試時間使得這個方法不可能在大量生產時使用。此外，目前工業界提高系統整合度的趨勢也意味著 gigabit 序列埠 (serial port) 將會變成任何 IC 的標準介面模組 (I/O macro)，所有的 IC 生產測試設備將必須配備有符合經濟效益的 gigabit 測試解決方案。因此，發展能在生產測試環境下，有效測試這些 gigabit transceiver 的技術成了亟待解決的問題。

在這個子計劃中，我們將針對 gigabit I/O transceiver 的 jitter testing 提出一個可以有效降低測試成本的可測試性設計技術。主要的目標為量測傳送器 (transmitter) 所產生的 jitter 與接收器的 jitter tolerance。本子計劃為三年期的計劃。在計劃的第一年，我們將先研究現有的高速序列傳送標準與其 jitter 測試規範與要求。分析這些標準後，我們將先進行系統階層的模擬以決定一既有彈性 (以適合各種標準) 又適合在晶片上實現的可測試性設計電路架構。第二年的主要工作則為各個主要電路的設計與佈局。可測試設計所加入的電路其噪音與對待測 transceiver 的影響也會有詳盡的模擬分析以降低對系統性能的影響。在第三年，我們將實際下線生產所設計的可測試性電路設計，進行功能測試以驗證概念與設計的正确性。此外，我們將把所發展的可測試性設計電路與 gigabit transceiver 模組整合，更進一步地驗證我們所發展的技術。

Design-for-Test Techniques for High-Speed Data Communication Systems

Keywords: high-speed serial link, jitter testing, jitter tolerance

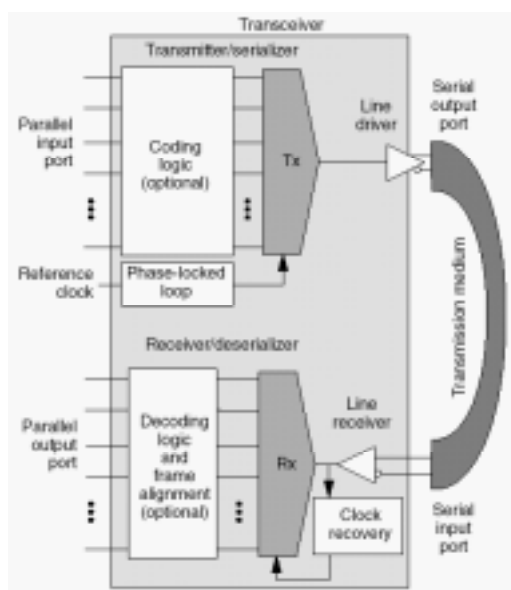
Abstract

The rapid deployment of gigabit I/O buffers for key communication standards, for example, Gigabit Ethernet, Infiniband, 3GIO, and SONET, as well as for high bandwidth system backplanes presents several challenges for testing. Testing these ICs requires expensive stand-alone bit-error-rate (BER) test sets. Cost and excessive test time make this approach impossible for volume production. However, the industrial trend toward higher integration levels means that gigabit serial ports can serve as a standard I/O macro for any IC, implying that all existing VLSI production test systems must be retrofitted with cost effective gigabit test solutions. Thus, there is an urgent need for a cost-effective technique to test these gigabit transceivers in volume production.

In this project, we intend to provide a low-cost DfT technique for the jitter testing of gigabit I/O transceiver. The goal is to measure the generated jitter at the transmitter output and the jitter tolerance at the receiver input. This sub-project is a 3-year project. In year one, we will first study the current gigabit communication standards and their jitter testing requirements. After analyzing these standards, we will perform system-level simulation to determine the jitter testing architecture that is both flexible and can be realized on chip as the DfT (design-for-test) circuitry. In year two, we will focus on the circuit design of each key component. Detailed circuit-level simulation, noise effects, and interaction with the normal functional circuits will be performed to ensure that the added DfT circuitry has the least impact on the system performance. In year three, a prototype IC will be fabricated. The IC will be verified and tested to validate our ideas. Besides, we will integrate our DfT circuitry to available gigabit I/O macros to further validate our technique.

一、前言

高速序列式 (serial) 傳送技術已逐漸取代並列式 (parallel) 傳送方法成為高速資料傳送主流。圖一所示為序列資料傳送收發器的示意圖。在發送端，傳送器 (transmitter) 將平行輸入端的資料轉成高速的序列格式。為此，傳送器必須有一個與平行輸入資料同步 (synchronized) 的參考時脈 (reference clock) 訊號以捕捉輸入資料並合成序列器 (serializer) 所須要的高速序列位元時脈。在發送端則有接收器 (receiver) 接受其 differential port 輸入的高速序列資料。其內部的時脈回復 (clock recovery) 電路由所接收的資料導出資料的時脈並加以 retimed。Retimed 後的資料接著被轉成平行的格式。在實際應用時，這些高速序列傳送元件藉由各種媒介 (如：optical fiber、copper wires 等) 將資料傳送到遠方的接受器。為了確保接收端能自資料流 (data stream) 中萃取出時脈訊號並藉以取得資料，傳送端所產生的 jitter 必須小於一定值，而接收端則必須能容忍由傳送端與傳送媒介所產生的 jitter。



圖一 序列資料傳送收發器的示意圖

雖然高速序列技術的普及擴大了資料傳送頻寬，各個主要高速通訊標準 (如：Gigabit Ethernet、Infiniband、3GIO、SONET 等) 與高頻寬系統 backplane 所大量使用的 gigabit I/O buffer 對測試而言卻是極大的挑戰 (表一)：

- a. 高速序列式傳送標準早已超過 2.5 Gb/s 而且尚在持續提高中。然而，ATE (Automatic Test Equipment) 供應商從 1999 年才開始引入具有 1 Gb/s 量測能力的新系統。
- b. 序列式傳輸元件在接收端使用時脈回復電路導出資料流 (data stream) 中的時脈訊號，並須要彈性極大的 timing 與 clocking 技術以配合時脈回

復的 latency 變異、相位對準 (phase alignment) 與 frame alignment。這些電路都很難在 ATE 上實現。

- c. 一般而言，差動訊號 (differential signal) 振幅都在幾十個到幾百個 millivolt 的範圍 (如：Firewire A 為 118 mV、Firewire B 為 200 mV、SONET OC-48 為 30 mV) 低於目前 ATE driver 的性能範圍。
- d. 多數 2.5 Gb/s 的 LVDS buffer 其振幅約在 100 至 400 mV 的範圍。雖然大部份的比較器設計時最小的 overdrive 電壓要求都在 150 mV 左右，準確地探測低於 250 mV peak-to-peak 的訊號仍是一大挑戰。
- e. Differential timing skew 是一項很重要的規格。在 SONET、Gigabit Ethernet、Fiber Channel 等標準中，差動訊號的交錯點 (cross-over point) 與真正的 50% 交錯點的偏移必須小於 20—25 ps。扣除掉 test fixture 的長度與 rise/fall time 的 mismatch，所剩下允許的 skew 遠小於大部份 ATE 的 edge-placement-accuracy (大約在±80 ps)。

YEAR OF PRODUCTION		2001	2002	2003	2004	2005	2006	2007
DRAM % PITCH (nm)		130	115	100	90	80	70	65
MPU / ASIC % PITCH (nm)		150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)		90	75	65	55	45	40	35
MPU PHYSICAL GATE LENGTH (nm)		65	55	45	37	32	28	25
<i>High-performance-level serial transceivers</i>								
Serial data rate (Gbits/s)		10	10	40	40	40	40	40
Maximum reference clock speed (MHz)		667	667	2500	2500	2500	2500	2500
<i>High-integration-level backplane and computer I/O</i>								
Serial data rate (Gbits/s)	Production	2.5	3.125	3.125	10	10	40	40
	Introduction	3.125	—	10	—	40	—	—
Maximum port count at Production frequencies		20	100	200	100	200	100	200
	at Introduction frequencies	—	—	20	—	20	—	—
Maximum reference clock speed (MHz)		166	166	166	667	667	2500	2500
		—	—	667	—	2500	—	—

表一 短期的高速序列通訊測試要求 (ITRS01)

目前，測試這些 IC 須要昂貴的 BER (bit-error-rate) 測試儀器組合。過高的測試費用與過長的測試時間使得這個方法不可能在大量生產時使用。此外，目前工業界提高系統整合度的趨勢也意味著 gigabit 序列埠 (serial port) 將會變成任何 IC 的標準介面模組 (I/O macro)，所有的 IC 生產測試設備將必須配備有符合經濟效益的 gigabit 測試解決方案。因此，發展能在生產測試環境下，有效測試這些 gigabit transceiver 的技術成了亟待解決的問題 [Ca00, ITRS99]。

類比電路的可測試性設計一直被認為是解決目前高度整合的混合信號 IC 中居高不下的類比/混合信號測試成本的有效方案之一。到目前為止，已有相當多的學術與工業界研究人力投入此一領域。然而，由於對於測試規格的要求極高 (見表一，如：ps resolution、hundred millivolt voltage swing、differential signal)，對 gigabit transceiver 的可測試性技術發展尚在起步階段。

在這個子計劃中，我們將提出一個可以有效降低 gigabit I/O transceiver 的 jitter testing 測試成本的可測試性設計技術。此可測試性設計的主要功能將包括：

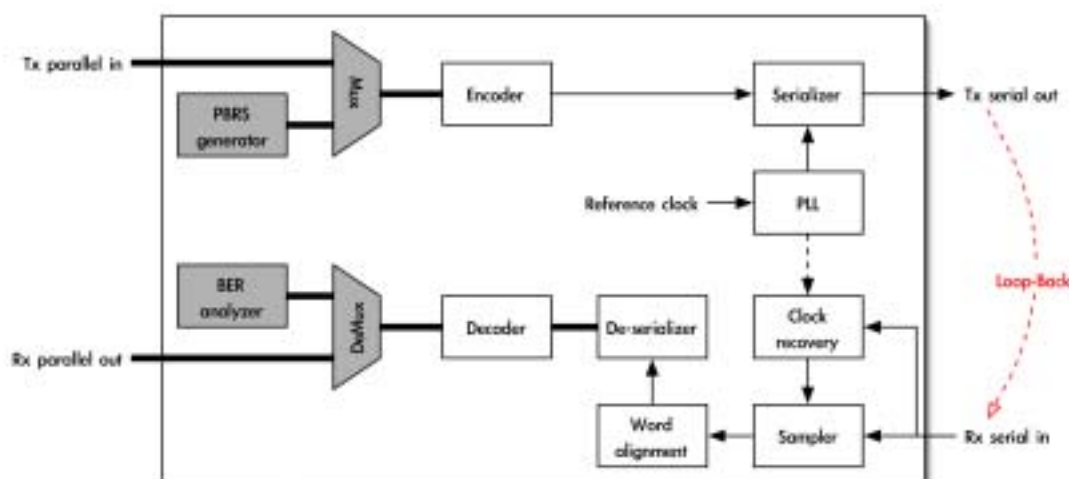
- a. 量測傳送器所產生的 jitter。
- b. 測試接收器的 jitter tolerance。

本子計劃為三年期的計劃。在計劃的第一年，我們將先研究現有的高速序列傳送標準與其 jitter 測試規範與要求，以決定 jitter 可測試性設計電路架構。第二年的主要工作則為各個主要功能方塊的電路設計與佈局。在第三年，我們將實際下線生產所設計的可測試性電路設計，進行功能測試以驗證概念與設計的正确性。

二、研究目的

這個子計劃的主要目的為實現一個可以有效降低 gigabit I/O transceiver 的 jitter testing 測試成本的可測試性設計技術。在 gigabit transceiver 的可測試性設計技術方面，目前以內建 pseudo-random pattern generation 與 bit-error rate analyzer 的 loop-back testing (如：[YeGu99]) 接受度較高。圖二為此一架構的概念圖。此一架構的優點在於：藉由加入 PRBS (pseudo-random bit sequence) generator、BER (bit error rate) analyzer、Mux (多工器) 與 DeMux (解多工器) 等簡單的 DfT 電路與外部 (或內部) 的 loop-back，此架構可以實現 at-speed 的功能測試。然而，它也有一些缺點和限制：

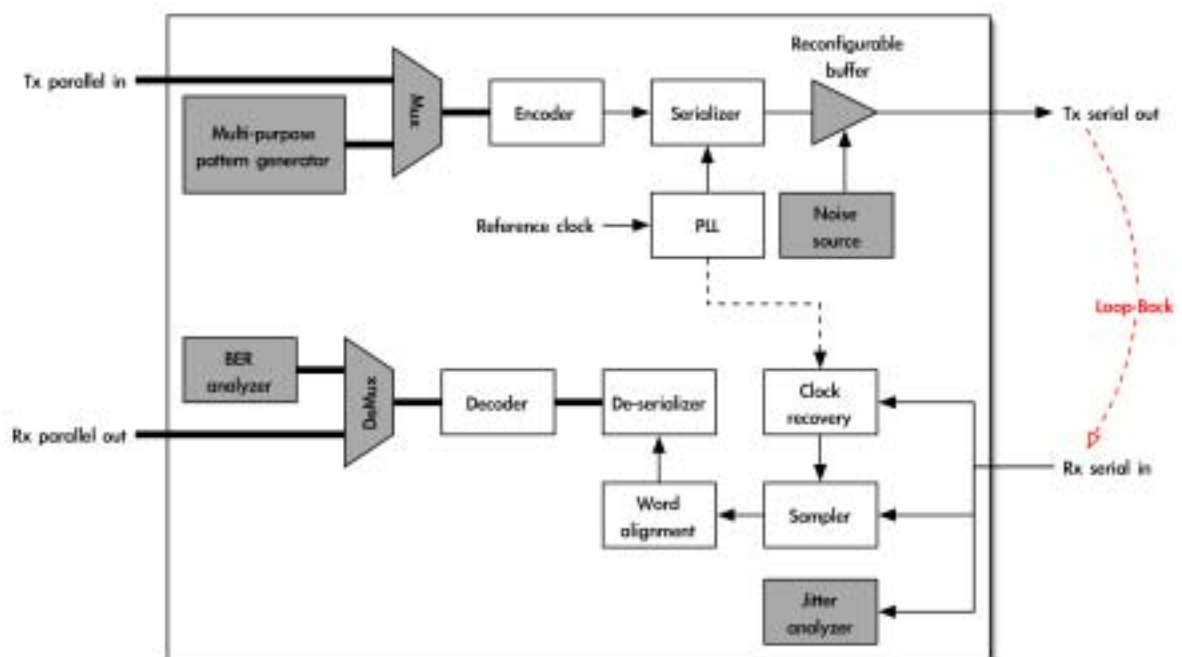
- 發送器與接收器皆為待測電路，所形成的系統能正常運作有可能是 fault masking 的結果 (亦即兩者的性能偏移恰好互補)，並不表示兩者都符合性能規格。
- 此架構不能進行 jitter 與 jitter tolerance 等重要參數的量測。



圖二 內建 PRBS 與 BER analyzer 的 loop-back 自我測試技術 [LaCa01]

此子計劃所發展的 DfT 量測技術包括：量測傳送器所產生的 jitter 技術與測試接收器 jitter tolerance 的技術。為達此目的，我們須要有 jitter generation、jitter injection 與 jitter measurement 的電路。圖三為我們將研發的 gigabit transceiver DfT 架構。在所加入的 DfT 電路中 (灰色部份)，multi-purpose pattern generator、reconfigurable buffer 與 noise source 的目的為產生接收器 jitter tolerance testing 所須的 jittered bit stream；jitter analyzer 則用來量測發送端所產生的 jitter。如此，除了傳統的 loop-back 功能測試外，此架構也使得 jitter 與 jitter tolerance 等重要參數的量測變得可能：

- 我們以 multi-purpose pattern generator 取代原來的 PRBS generator。除了產生功能測試用的 pseudo random pattern 外,此 pattern generator 也可以配合 reconfigurable buffer 產生所須要的 DDJ (data dependent jitter)。
- Reconfigurable buffer 的功能為 (1) 模擬傳輸媒介所造成的振幅衰減 ([LaCa01、CaLa02]) , 與 (2) 以 combiner + limiting amplifier 的方法 ([CaWe02]) 產生 random 與 sinusoidal jitter。
- Noise source 的功能為產生 random noise 與 sinusoidal signal 以達到 jitter injection 的目的。
- Jitter analyzer 為一 jitter 量測電路,可以得到 jitter 的 histogram。



圖三 本子計劃所提出的 gigabit transceiver 的 DfT 架構

三、文獻探討

在〔DaRo98〕中，作者提出一個以 under sampling 技術來量測高速資料通道 jitter 的方法。其優點是可以以最小的元件輸出端負載來實現非常高的頻寬。在所提出的技術中，信號在所定義的時間點重複地與一參考電壓比較。這些等間隔時間點的時距即為此量測系統的有效取樣頻率。分析比較結果後，吾人可推導出 jitter 的標準差。此方法的優點在於簡單與低測試時間，其缺點則為必須有一參考用 trigger 信號。

在〔SuRo99〕中所提的 jitter 量測技術，係利用一可變的 delay line 來求出一個常態分佈的 jitter 其 CDF curve 上 15.9%與 84.1%兩個點的 delay 差異，藉以推導出 jitter 的標準差。與〔HuHu03〕的方法相比，〔SuRo99〕須要較複雜且須要調校的 delay line。

在〔DuSz00〕中所提出的 jitter measurement 技術使用 vernier delay line。雖然理論上可以達到很高的解析度，其對 vernier delay line 的線性度要求卻不易達到，所佔的面積也太大。在〔ChRo01〕中，為改善此一線性度問題，提出了一個 component invariant 的 vernier delay line 架構，此方法的主要限制為較長的測試時間。

〔YaSo00〕提出一個以 Hilbert transform 為基礎的 PLL jitter 量測方法並在〔YaSo00+〕中以商業用的 PowerPC™ 進行驗證。和傳統的 jitter 量測方法相比，此技術可以在較短的測試時間內，得到相當準確的結果。然而，由於其主要目的在減低 ATE 的複雜度，並不適合 DfT 應用。在〔YaSo02〕中，作者更進一步以〔YaSo00、YaSo00+、YaSo01〕所發展的島江方法為基礎，發展出可以推導出接收器 jitter tolerance 的技術。然而，其最大的問題仍然在於難以在晶片上實現。

在〔ChCh01〕所提出的 jitter 量測方法是將含有 jitter 的待測信號當作 ADC 的時脈信號去對一 jitter-free 的弦波信號取樣。由 ADC 輸出值的分佈可求出 jitter 的分佈。此方法雖然大幅簡化了 jitter 測試的問題，由於須要弦波信號及高解析度的 ADC，也不適合直接用於 DfT 的應用。

在〔LaCa01、CaLa02〕，作者提出以 passive filter 來模擬資料傳送媒介所造成的 DJ。雖然可以有效降低測試成本，卻仍然不適用於未來具有大量 high-speed serial port 的 IC 之生產測試。在〔CaWe02〕則提出了適合 jitter measurement 與 jitter tolerance measurement 的 ATE 架構。其中，jitter measurement 的電路並不適合 DfT，jitter injection 的方法則為本子計劃中 jitter tolerance measurement 技術的基礎。

四、研究方法

本子計劃的目標為發展用於測試 gigabit transceiver 的 jitter 與 jitter tolerance 規格的 DfT 技術。為符合實際運用的系統，我們將以 2.125 Gb/s 的 Fiber Channel 標準所規定的 jitter specification 與最近的產學界研發成果作為訂定電路規格的依據。

在架構的設計方面，在研究與分析 Fiber Channel 的 jitter measurement 與 jitter tolerance measurement 的規格與相關的研究成果後，我們將進行系統階層的模擬，藉此決定各個子電路的規格與標準，接著便可進行電路的研究與晶片的設計。

在電路設計方面，我們將首先了解先進的 CMOS 製程的元件特性，接著將依據各個電路的功能並參考過去的相關研究成果，設計符合本子計劃需求的電路。除了以電腦模擬所設計電路外，各個子電路都將透過晶片製作做更一步的功能驗證。

最後，我們將整合經過晶片製作驗證的各個子電路，進行系統階層的模擬，並希望能以晶片製作的方式加以驗證。

五、結果與討論

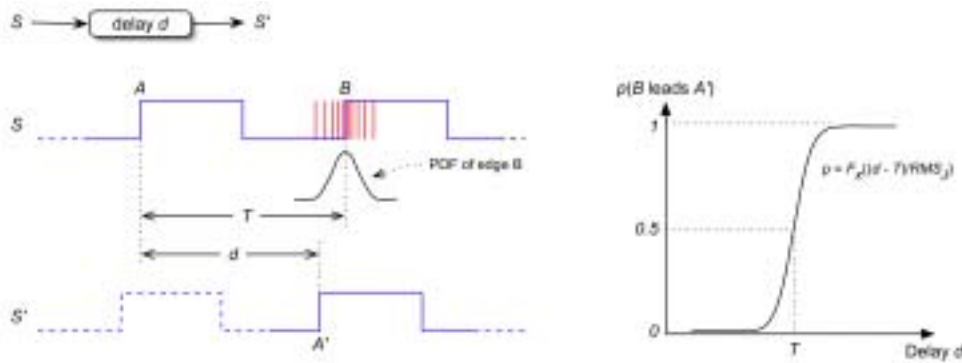
本計畫執行到目前為止(Nov. 2003 ~ May 2004)，主要的成果在 jitter measurement 電路的設計，以下我們將介紹其電路設計原理與實現。

1. 原理

圖四(左)為我們所設計的 jitter 量測電路的基本原理，其中 S 為待測的 jittery signal，而 S' 則是將 S 延遲 d 所得到。假設 d 等於信號 S 的週期 T ，如果 S 沒有任何 jitter，則 A 與 A' 兩個上升緣的時間將會一樣。然而，由於 jitter 的存在， A' 與 A 的時間先後關係會與 jitter 值有關。假設 S 的 jitter 為一常態分佈的隨機變數（以 J 表示），則 B 將會有 50% 的機會領先 A' 。如圖四右顯示， B 領先 A' 的機率（以 p 表示）與 d 的關係如下：

$$p = F_X\left(\frac{d - J_{RMS}}{T}\right)$$

其中 F_X 為 normalized 的 Gaussian CDF (cumulative distribution function)。在實際運用時，由於 d 的準確值很難得到，因此我們無法用上式來求 jitter 的 RMS 值 (J_{RMS})。



圖四 Jitter 量測電路原理

為了避免必須準確量測 d 的值，我們將待測的信號延遲 d_1 與 d_2 並分別求出相對應的 p_1 與 p_2 值(圖五)，經過化簡可以由下式得到 J_{RMS} ：

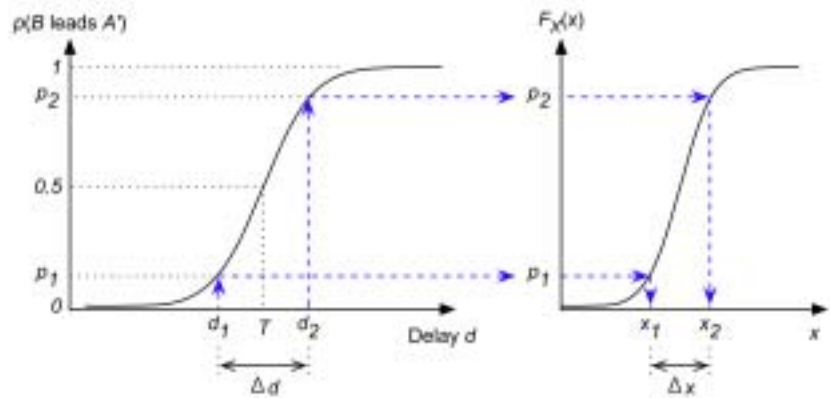
$$J_{RMS} = \frac{p_1 - p_2}{x_1 - x_2}$$

其中

$$x_1 = F_X^{-1}(p_1)$$

$$x_2 = F_X^{-1}(p_2)$$

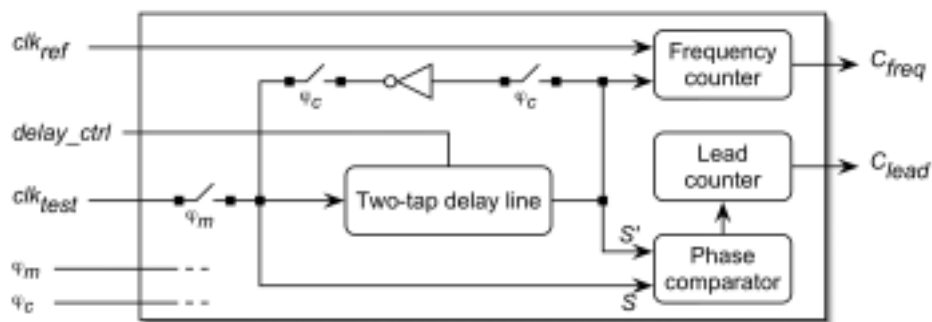
如此我們便可避免必須準確量測 d 值的問題。



圖五 J_{RMS} 的求法

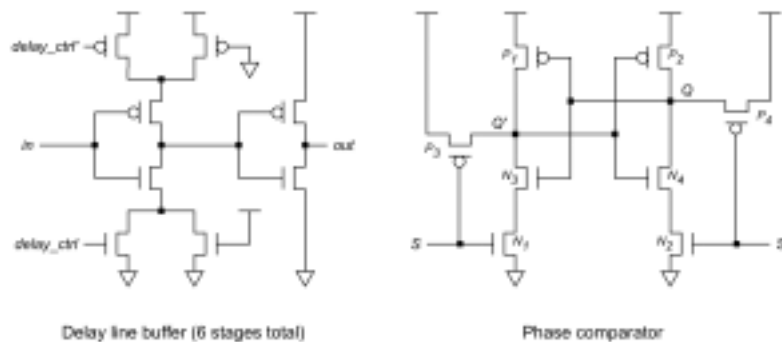
2. 電路設計

圖六所示為實現我們的 J_{RMS} 量測方法的電路架構，除了可以產生兩個不同延遲量的 two-tap delay line、決定 B 與 A' 先後關係的 phase comparator 與幫助記錄 p_1 與 p_2 的 lead counter 外，我們還加入了 frequency counter、inverter 與一些開關來量測 d_1 - d_2 的值。



圖六 Jitter 量測電路架構

圖七為 two-tap delay line 與 phase comparator 的電路圖。



圖七 two-tap delay line 與 phase comparator 的電路圖

3. 電路模擬結果

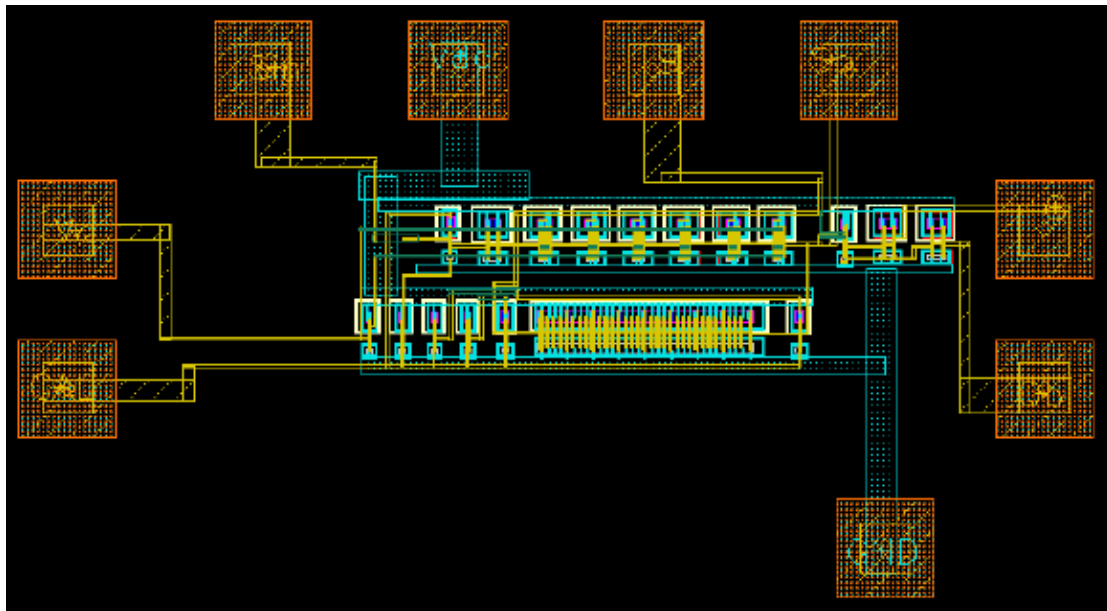
表二為電路模擬結果，所使用的待測信號其頻率為 800 MHz。第一行為所加入的 jitter 之 RMS value；第二與第三行中的 n_1 與 n_2 值為在 $d = d_1$ 與 d_2 時 lead counter 在 $N = 1000$ 次比較後的值，亦即 $p_1 = d_1/N$ $p_2 = d_2/N$ ；第四行為經查表法得到的 $x_1 - x_2$ 值；第五行為量測結果；第六與七行為量測誤差。

表二 電路模擬結果

Jitter	n_1	n_2	$x_1 - x_2$	Result	Error	
					ps	%
30	99	866	2.395	32.8	2.8	9.5
40	154	813	1.9084	41.2	1.2	3.1
50	204	775	1.5828	49.7	0.2	0.5
60	239	712	1.2688	62.0	2.0	3.3
70	293	684	1.0237	76.8	6.8	9.8

4. 電路佈局

採用 TSMC .18 1P6M 製程, 電路佈局(不含 lead counter 與 frequency counter) 如圖八所示。表三為電路性能與規格。



圖八 Jitter 量測電路佈局

表三 電路規格

製程	TSMC .18 1P6M
面積	500 x 150 μm^2
操作電壓	1.8 V
功率(n_1 與 n_2)	2.603 mW
功率($d_1 - d_2$)	3.205 mW

5. 討論

此技術碰到最大的挑戰為如何在製程變異存在時， d_1 與 d_2 的值仍能在設計值的容許範圍內，目前我們正在研究新的 delay-line 架構並調整量測的方法。

此外，我們也在探討以現有的電路架構，配合 DSP algorithms 將 periodic 與 random jitter 分離的方法，以克服目前只能量測 random jitter 的限制。

最後，一個全數位化的實現也正在進行中。

6. 論文發表

- J. J. Huang, and J. L. Huang, “Low-Cost Jitter Measurement Technique for BIST Applications,” *Asian Test Symposium*, November 2003.
- J. J. Huang, and J. L. Huang, “An Infrastructure IP for On-Chip Clock Jitter Measurement,” submitted to *International Conference on Computer Design*, 2004.

參考文獻

- [Ca00] Y. Cai et al., "Digital Serial Communication Device Testing and Its Implication on Automatic Test Equipment Architecture," *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaLa02] Y. Cai, B. Laquai, and K. Luehman, "Jitter Testing for Gigabit Serial Communication Transceivers," *IEEE Design & Test of Computers*, pp. 66-74, January 2002.
- [CaWa00] Y. Cai, T. P. Warwick, S. G. Rane, and E. Masserrat, "Digital Serial Communication Device Testing and Its implications on Automatic Test Equipment Architecture," *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaWe00] Y. Cai, S. A. Werner, G. J. Zhang, M. J. Olsen, and R. D. Brink, "Jitter Testing for Multi-Gigabit Backplane SerDes—Techniques to Decompose and Combine Various Types of Jitter," *Proc. International Test Conference*, pp. 700-709, 2002.
- [ChCh01] S. Cherubal, and A. Chatterjee, "A High-Resolution Jitter Measurement Technique Using ADC Sampling," *International Test Conference*, pp. 838-847, 2001.
- [ChRo01] A. H. Chan, and G. W. Roberts, "A Synthesizable, Fast and High-Resolution Timing Measurement Device Using a Component-Invariant Vernier Delay Line," *Proc. International Test Conference*, pp. 868-867, 2001.
- [DaRo98] W. Dalal, and D. Rosenthal, "Measuring Jitter of High Speed Data Channels Using Undersampling Techniques," *Proc. International Test Conference*, pp. 814-818, 1998.
- [DuSz00] P. Dudek, S. Szezepanski, and J. V. Hatfield, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line," *IEEE Transactions on Solid-State Circuits*, vol. 35, no. 2, pp. 240-247, February, 2000.
- [HuHu03] J. J. Huang, and J. L. Huang, "A Low-Cost Jitter Measurement Technique for BIST Applications," to appear in *Asian Test Symposium*, November 2003.
- [ITRS99] "High Frequency Serial Communication: Technology Requirement," International Technology Roadmap for Semiconductor, Test and Test Equipment Section, pp. 64-65,

1999.

- [LaCa01] B. Laquai, and Y. Cai, "Testing Gigabit Multilane SerDes Interfaces with Passive Jitter Injection Filters," *Proc. International Test Conference*, pp. 297-304, 2001.
- [SuRo99] S. Sunter, and A. Roy, "BIST for Phase-Locked Loops in Digital Applications," *Proc. International Test Conference*, pp. 532-540, 1999.
- [Ya02] T. J. Yamaguchi, "Multi-GHz Interface Devices Should be Tested Using External Test Resources," *Proc. International Test Conference*, pp. 1229, 2002.
- [YaSo00] T. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Watanabe, "Extraction of Peak-to-Peak and RMS Jitter Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, pp. 395-402, 2000.
- [YaSo00+] T. Yamaguchi, M. Soma, D. Halter, J. Nessen, R. Raina, M. Ishida, and T. Watanabe, "Jitter Measurements of a PowerPCTM Microprocessor using the Analytic Signal Method," *International Test Conference*, pp. 955-964, 2000.
- [YaSo01] T. J. Yamaguchi, M. Soma, , J. Nissen, D. Halter, and R. Raina, "Testing Clock Distribution Circuits Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, 2001.
- [YaSo02] T. J. Yamaguchi, M. Soma, and M. Ishida, "A New Method for Testing Jitter Tolerance of SerDes Devices Using Sinusoidal Jitter," *Proc. International Test Conference*, pp. 717-725, 2002.
- [YeGu99] A.-L. Yee, R. Gu, H.-C. Lin, A. Tsong, R. Prentice, and J. Tran, "An Integrated 1-2.5 Gbps Low Jitter CMOS Transceiver with Built in Self Test Capability," *Symposium on VLSI Circuits*, pp. 45-46, 1999.