

行政院國家科學委員會專題研究計畫 期中進度報告

閘極介電層之原子尺度模式與模擬(1/3)

計畫類別：個別型計畫

計畫編號：NSC91-2212-E-002-059-

執行期間：91 年 08 月 01 日至 92 年 07 月 31 日

執行單位：國立臺灣大學應用力學研究所

計畫主持人：楊照彥

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 5 月 20 日

閘極介電層之原子尺度模式與模擬(1/3)

Atomic Scale Modeling and Simulation of the Gate

Dielectrics (I)

計畫編號：NSC 91-2212-E-002-059

執行期限：91 年 08 月 01 日至 92 年 7 月 31 日

主持人：楊照彥 國立台灣大學應用力學研究所

一、中文摘要

隨金屬氧化半導體技術進步，尺度愈來愈小，使閘極氧化絕緣層的厚度小於 2.0-nm，若製程進入 70-nm 則以氧化矽之閘極氧化層的厚度，將無法適用，所以需尋找另一種具有較高介電常數材料。在分析此材料之性質過程中，傳統積體電路設計和分析應用軟體（如 TCAD..等），已無法應付原子尺度問題，所以需要以原子尺度方法，來進行研究。本計畫第一年將以分子動力學模擬配合古典原子間位勢模式及 Tight binding 模式，來研究薄膜層積的問題，由於分子動力學所需的計算時間較多，需借助平行計算的方法來進行研究，本研究是以 個人電腦叢集為架構之平行計算環境。由結果可知；所發展的計算程式碼及計算環境，已可為下一階段利用量子模擬建立基礎。

Abstract

The rapid scaling of biased CMOS devices has led to siliconoxide gate insulating film less than 2.0nm thick. By year 2008, the 70nm generation needs alternative gate dielectric material with higher K value than that of silicon dioxide. Traditional TCAD tool is not sufficient and atomicscale modeling and simulation is needed for the IC design and analysis. In first year (I), we have carried out the molecular dynamics simulation using empirical interatomic potential and tight binding theory to study the thinfilm deposition. PC cluster tool is established for parallel implementation. The results indicate that the computational environment and simulation model and code have been completed and provide the basis for next stage quantum modeling/DFT simulation.

二、緣由與目的

在金屬氧化半(導體 t a- O x i d- S i l i c o n , MOS)見圖一；中間極氧化層的厚度會影響 MOS 電晶體(transistor)的處理速度，一般而言若以傳

統氧化矽(silicon oxide, SiO₂)若降低閘極層至，會發生直接穿隧(direct tunneling)或量子力學穿隧(quantum mechanical tunneling)使得流經閘極氧化層之電流會遺漏進而影響電晶體運作，這使氧化矽的阻絕(insulate)發生問題，解決上述的問題，可以尋找另一材料具有較高介電常數(high-k dielectrics)。但是一般具有較高的介電常數材料，其鍵解間隙 (bandgap)較小這會影響閘極的絕緣(insulation)效果，而 SiO₂ 的鍵解間隙約 9eV 為一般氧化金屬中最大。此外：SiO₂ 厚度的成長愈大：其表面的粗糙度會也增加，也就是在製成困難度會更大而其極限約 7Å[1][2]，這對下一代閘極氧化層的厚度 6Å，是不夠的。

基於上述原因，需尋找出新的閘極氧化層材料，來取代 SiO₂，利用原子尺度的模擬可以在分析原子和電子系統在微觀下的作用情形，以幫助在選擇新的閘極介電材料。

一般而言原子尺度模擬可分成古典原子間位勢模式(Empirical interatomic potential)、Tight binding 及量子力學為基礎之密度泛函理論(Density Functional Theory, DFT)。在古典位勢模式原子間的作用力，需要有適合的參數來描述，但其結果並無法獲得電子結構如鍵解與間隙狀態，但可以利用其來研究大尺度下 Si 和 SiO₂ 的結構[3][4]。利用其模擬所花費計算複雜度為 O(N)。在 Tight binding 模式利用較少的基底函數(basis function)來描述波函數，所解量子力學方程式，其結果可獲得電子結構如鍵解與間隙狀態，Harrison [5][6]對週期表元素提出 TB 參數，此模式需借助實驗來驗證參數，其所花費計算複雜度為 O(N³)。在 DFT；一般稱第一理論(first principles, ab initio)，此方法並不須借助實驗來驗證參數，直接求波函數進而獲得電子結構如鍵解與間隙狀態，其所花費計算複雜度為 O(N⁵)。Kawamoto[7]使用 DFT 對高介電常數之 Hf 和 Zr 參雜在 SiO₂ 研究其 Si 和矽酸介面之電子結構性質。

三、模擬方法

模擬可分成量子模式(quantum mechanical mode)與分子動力學模擬(molecular dynamics simulation, MD simulation)兩部分；藉由量子模式的計算來求電子的結構，利用分子動力學模擬來求電子的相位座標。以下就兩部份

(一)首先說明量子模式；由 Born-Oppenheimer 的理論可知將電子和離子分別處理，所以對 N 個電子 Schrödinger 方程式如下：

$$\left[-\frac{\hbar^2}{2m} \nabla^2 + V_{II} + V_{Ie} + V_{ee} \right] \Psi(\vec{r}_1, \dots, \vec{r}_N) = E \Psi(\vec{r}_1, \dots, \vec{r}_N) \quad (1)$$

Ψ 為波函數(wave function)、V 為位勢函數，下標 I 表離子、e 表電子，由上式可求 Ψ 為，對數值 Schrödinger 方程式一般以密度泛函原理(DFT)，來處理電子-電子間交互作用。利用 Hohenberg 及 Kohn-Shan 方程式，建立以基態電子密度之單一電子方程式取代 N 個電子方程式：

$$\left[-\frac{\hbar^2}{2m} \nabla^2 + V_{II} + V_{Ie} + V_{ee} \right] \psi_i(\vec{r}) = \epsilon \psi_i(\vec{r})$$

‘表示位勢和基態電子密度有關。電子密度既可由波函數求之：

$$n(\vec{r}) = \sum_i |\psi_i(\vec{r})|^2$$

根據基態電子密度，位勢函數和其有泛函(functional)關係，透過一些假設可得出其關係式；如 LDA(Local Density Approximation)。在數值計算可見圖二；在虛線內為量子模式部份一開使選擇離子組態，利用 Schrödinger 方程式解出位勢，經一連串的迭代(iteration)，求出密度函數，藉由求出密度函數進而計算其總能量及相關性質[10]。

(二)分子動力學模擬

分子動力學為一命定方法(determined)，藉由原子間的位勢求其分子間的作用力(interaction)如下式；

$$\vec{F} = -\nabla V(\vec{r})$$

，利用積分計算法則求出原子的相位作標(phase coordinate)。

$$\begin{aligned}\frac{d\vec{v}}{dt} &= \vec{a} \\ \frac{d\vec{r}}{dt} &= \vec{v}\end{aligned}$$

如圖二在虛線外為分子動力學，將量子模式之位勢經分子動力學接合，既為本研究之架構。

(三)計算環境

獲得高介電常數材料之電子結構如鍵解與間隙狀態，需要利用量子模式來進行研究，但其計算複雜度為 $O(N^5)$ 對一般傳統計算機而言是不夠，所以本研究以個人電腦叢集(Personal Computer Cluster, PC 叢集進行計算)，配置圖見圖三。

(四)算例

以分子動力學來模擬以濺鍍法沉積銅(copper, Cu)，在模擬過程中，其最初的速度是以溫度 300K 之 Maxwell-Boltzmann 分佈，初始是面心晶格(Face-Centered Crystal)的結晶排列。在模擬過程中，入射原子將被置存於基材上方十個原子直徑。原子 X 及 Y 方的位置，於隨機任意於 X 及 Y 方向，其速率由原子入射動能。原子間的位勢函數(potential function)之計算，本文是可以 Lennard-Jones 模式來處理，如下：

$$V(r) = 4\epsilon \left[\left(\frac{\sigma}{r} \right)^{12} - \left(\frac{\sigma}{r} \right)^6 \right] \quad (6)$$

上述 u 是分子的位勢， r 是分子間的距離， σ 是平衡狀態長度， ϵ 是特有的能量，在中括弧內的第一個小括弧表示近距離排斥的力量，第二個小括弧表示長距離引力的力量。運動方程式積分方法為 Verlet-velocity 速度演算法 [8] 如下式：

$$\begin{aligned}\vec{r}_i(t+\Delta) &= \vec{r}_i(t) + \vec{v}_i \left(t + \frac{\Delta}{2} \right) + O(\Delta^4) \\ \vec{v}_i(t+\Delta) &= \vec{v}_i \left(t + \frac{\Delta}{2} \right) + \frac{\Delta}{2} \vec{a}_i(t+\Delta) + O(\Delta^2)\end{aligned} \quad (7)$$

上述 v 是速度向量， r 是原子的位置。 i 在 t 時間作為時間的間隔 Δ ， a 是原子的加速度，為位勢函數對位置之一次微分。

邊界條件的設定方面，在沉積原子的位置 Z ；高於凹槽高度時溝槽時， X 、 Y 為週期性邊界條件(Periodic Boundary Condition)， Z 方向為開放性邊界條件；而在 Z 小於凹槽高度時， X 、 Y 方向則受到壁面的限制而有無法粒子無法穿透之假設。週期的邊界使件，會用來減少模擬的原子。在

入射原子與基材的原子互動後，系統的溫度將會改變，這是不符合物理的條件，在沉積過程中，基部的溫度是以冷卻系統加以固定。在過程中是需要改變原子運動速度來調至(rescaling)適當溫度，以達想要的溫度。我們假設入射原子，開始時彼此間不會相互作用。最後的步驟是薄膜產生，這時調整控溫層厚度，同時我們增加新的原子，並且探知其原子在系統中，是否可以移除，而移除原子是由原子的加速度、何速度方向來決定，若在某此時間距離之後加速度零並速度方向和入射方向相異，既可將其移除。

四、結果

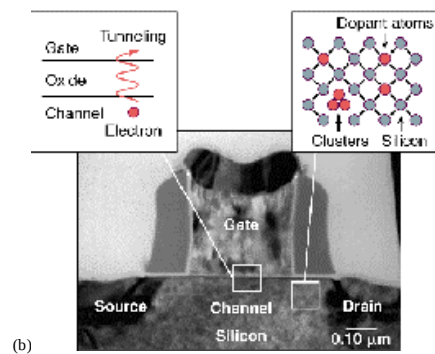
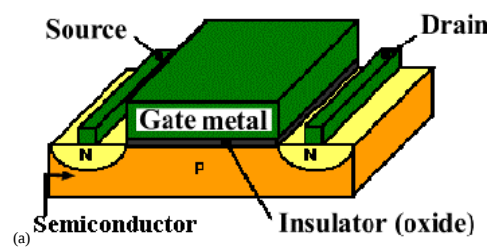
以下的模擬結果分 離 鍍法沉積銅金屬粒子於此凹槽內及對平行計算之效能。

由圖四；在沉積銅金屬粒子，使用 $O(10^4)$ 原子數目，對不同時步(time step)分別 0, 1000, 2000, 3000, 4000 同時步 10^{-14} 秒，由沉積結果，看出本研究之程式可以描述大規模原子數目之模擬。此外本研究結果和實驗比對，在沉積品質定性方面，有不錯的結果。

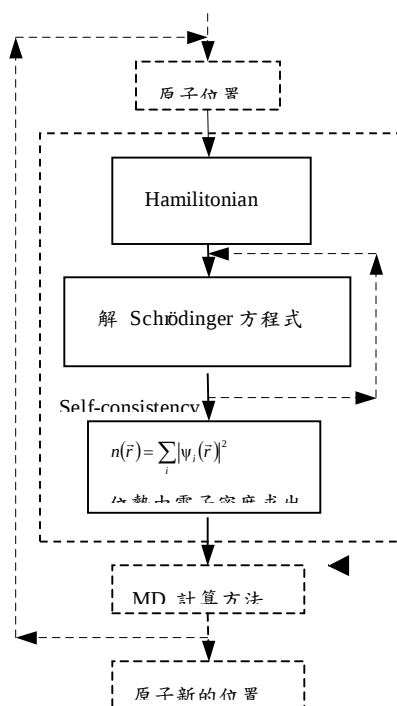
探討平行分子動力學模擬，模擬過程中大部分 CPU 時間花費在分子間作用力之計算，本文所使用的平行方法為空間分割(spatial decomposition)法[9]，將模擬區域分成若干小區域(sub domains)，再依原子座標將原子，分配至適當區域，如此每一 CPU 之分配原子將變少，如此降低計算作用力之時間。由圖五可以知道模擬時間(elapsed time)，依 CPU 數目幾乎呈線性減少。平行加速性大約為 70%以上。

五 文獻

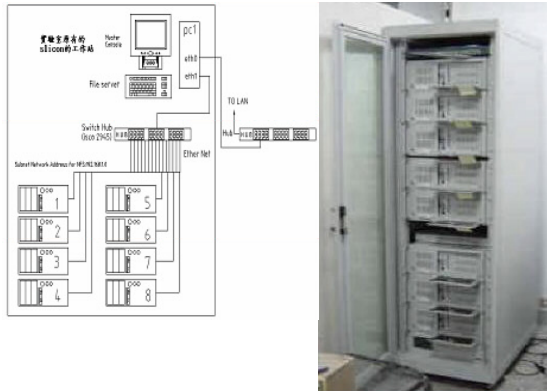
- [1] International Technology Roadmap for Semiconductor 網址: <http://public.itrs.net/>
- [2] H. S. Wong, "Beyond the Conventional Transistor", *IBM Journal of Research and Development*, vol. 46, No. 2/3, p. 133, 2002.
- [3] T. Wantanabe, H. Fujiwara, H. Noguchi, T. Hoshino, and I. Ohdomari, "Novel interatomic potential energy function for Si, O mixed system", *Japanese Journal of Applied Physics*, vol. 38, part 2, p. 366, 1998.
- [4] T. Wantanabe, and I. Ohdomari, "Modeling of SiO₂/Si(100) interface structure including step and terrace configuration", *Applied Surface Science*, vol. 162, p. 116, 2000.
- [5] W. A. Harrison, "Elementary Electronic Structure and the Properties of Solids", Freeman, San Francisco, 1980.
- [6] W. A. Harrison, "Elementary Electronic Structure", *World Scientific*, Singapore, 1999.
- [7] A. Kawamoto, "Atomic Scale Modeling of Silicate Interface Properties for High-k Gate Dielectric Applications", Ph.D. dissertation, 2001, Stanford University.
- [8] L. Verlet "Computer Experiments on Classical Fluids. I. Thermodynamics Properties of Lennard-Jones Molecules", *Physical Review*, Vol. 159, No 1, p. 98, 1967
- [9] G. C. Fox, "Solving problems on concurrent processors", Vol 1,2, Prentice Hall (1988)
- [10] R. Car and M. Parrinello, *Phys. Rev. Lett.* 55, 2471



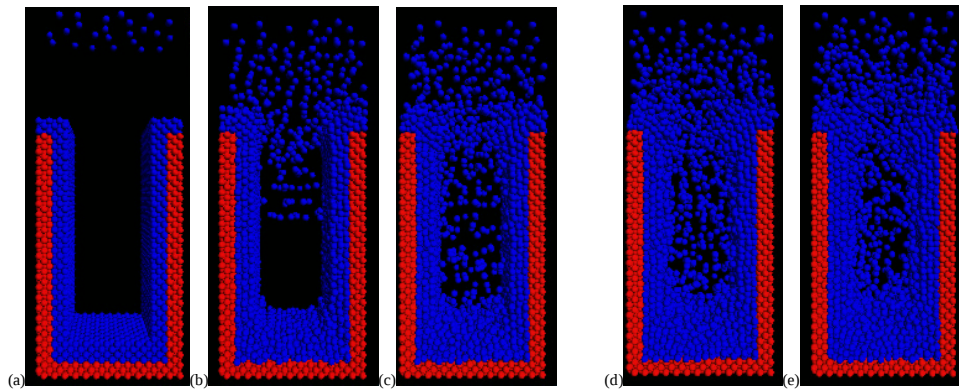
圖一、 MOS 構造:(a)式意圖. (b). 顯微鏡圖



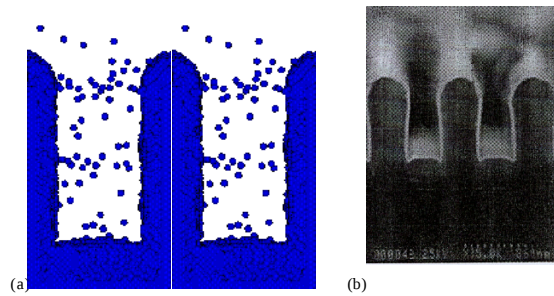
圖二、 模擬流程圖



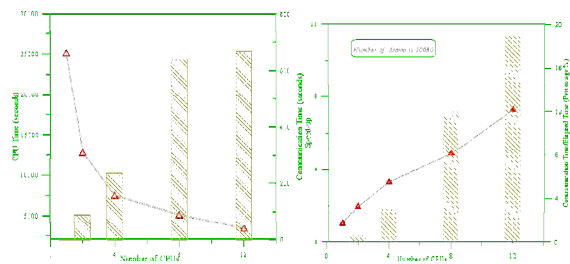
圖三、個人電腦叢集



圖四、濺鍍層積結果：下列為入射角度為 3° ，長寬比 2.5 入射動能為 20eV 基材溫度 400K (a) 0 ps, (b) 10 ps (c) 20 ps (d) 30 ps (e) 40 ps (ps 為 pico second, 10^{12} 秒)



圖五、和實驗比較：(a). 本研究 (b). 實驗結果 (取自國家奈米實驗室刊物)



圖六、平行結果