

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫四：類比前端電路的內建自我測試技術(1/2)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-002-011-

執行期間：93 年 08 月 01 日至 94 年 07 月 31 日

執行單位：國立臺灣大學電機工程學系暨研究所

計畫主持人：黃俊郎

計畫參與人員：賴冠廷、林耕平、黃炫倫

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 31 日

行政院國家科學委員會補助專題研究計畫
期中進度報告

子計畫四：類比前端電路的內建自我測試技術

計畫類別：☐ 個別型計畫 ☒ 整合型計畫

計畫編號：NSC93－2220－E－002－011－

執行期間：九十三年八月一日至九十四年七月三十一日

計畫主持人：黃俊郎

共同主持人：

計畫參與人員：賴冠廷、林耕平、黃炫倫

成果報告類型(依經費核定清單規定繳交)：完整報告

本成果報告包括以下應繳交之附件：

☐ 赴國外出差或研習心得報告一份

☐ 赴大陸地區出差或研習心得報告一份

☐ 出席國際學術會議心得報告及發表之論文各一份

☐ 國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電機系

中 華 民 國 九 十 四 年 五 月 十 九 日

行政院國家科學委員會補助專題研究計畫期中進度報告

類比前端電路的內建自我測試技術

計畫編號：NSC93-2220-E-002-011-

執行期間：九十三年八月一日至九十四年七月三十一日

計畫主持人：黃俊郎

計畫參與人員：賴冠廷、林耕平、黃炫倫

一、中文摘要

由於IC製程的快速演進，將數位、類比前端以及射頻電路整合在同一晶片的單晶片無線通訊系統已成為可能，然而其系統複雜度對生產測試而言卻是一項很大的挑戰。本子計畫（子計畫四：類比前端電路的內建自我測試技術）的目標為發展單晶片無線收發機中頻率合成器及類比前端電路的自我測試技術以及相關電路，希望在不增加太多的晶片面積和影響系統性能的前提下，能有效地降低單晶片無線收發機的生產測試發展時間及生產測試費用。

本子計畫為期三年，主要研究項目包括（1）數位至類比與類比至數位轉換器的自我測試技術、（2）頻率合成器的自我測試技術、與（3）類比前端電路的迴路測試技術。

在越來越短的上市時間及越來越低的價格需求雙重壓力下，本子計畫所發展的技術，將能有效地降低單晶片無線收發機生產測試成本，使其更具市場競爭力。

關鍵字：

可測試性設計、內建自我測試、單晶片無線收發機、類比前端電路、頻率合成器

二、英文摘要

With the advent of IC processing technology, manufacturing of a single-chip

wireless transceiver has become possible; however, the system complexity of the single-chip wireless transceiver poses a severe challenge on manufacturing testing. The objective of this sub-project is to develop self-testing techniques and supporting circuitry for the analog communication front-end circuits and the frequency synthesizer. Without sacrificing the system performance and inducing too much chip area overhead, this sub-project aims at reducing, for the single-chip wireless transceiver, both the manufacturing test development time and manufacturing test cost.

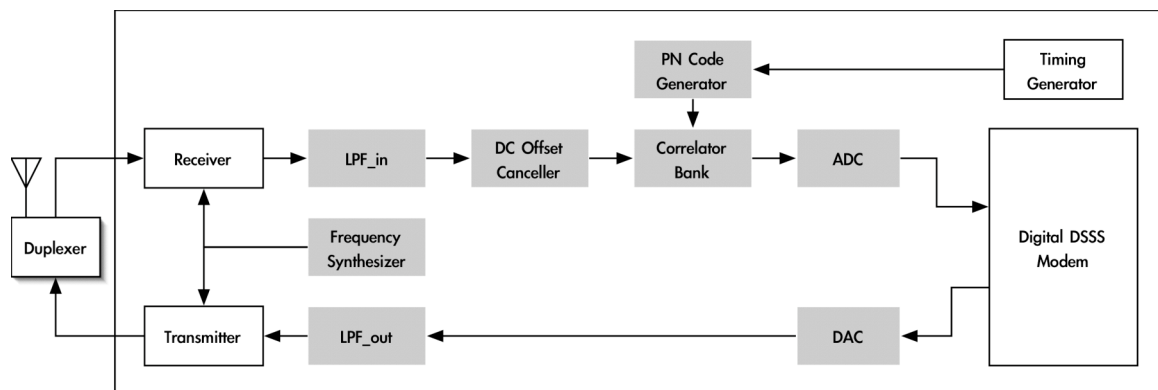
For IC industry, time-to-market and low-cost has become two major issues to the success of a new product. The developed techniques will help reduce the test-related cost (in terms of time and expenditure) and lead to more competitive products.

Keywords:

Design-for-Testability, Built-In Self-Test, Single-chip wireless transceiver, analog front-end circuits, frequency synthesizer

三、前言

單晶片無線收發機對生產測試而言是一大挑戰。由於類比、混合信號以及射頻電路的生產測試大多仰賴功能測試，通常會有測



圖一 單晶片無線收發機架構

試發展時間 (test development time) 長、測試品質難以評估、必須使用昂貴的自動測試設備 (ATE, Automatic Test Equipment) 等問題，結果造成生產測試成本高居不下。而在單晶片無線收發機中，生產測試的問題更為嚴重。除了上述問題外，高度整合的結果將使得待測電路的可測試性 (包含可控制性及可觀察性) 下降，使得生產測試費用的控制更加困難。

本整合型計畫之目標為發展5 GHz無線收發機之系統晶片，研究重點則為超低功率、低操作電壓並整合自我測試功能。本子計劃 (子計劃四:類比前端電路的內建自我測試技術) 負責發展類比前端電路 (圖一中的灰色部份) 的自我測試技術以及相關電路設計。

四、研究目的

本子計劃的目標為發展單晶片無線收發機中類比前端電路的內建自我測試技術。涵蓋的電路包括低通濾波器、DC offset canceller、correlator bank、PN code generator、AD/DA轉換器與頻率合成器 (圖一中的灰色部份)。

本子計劃的主要目標為發展下列技術：

(1) 無線收發機中，類比前端電路的DfT及BIST技術，(2) 與其它子計劃共同進行的系統階層迴路測試，與 (3) 支援RF電路

測試時所須的信號產生及量測。主要研究項目計有：DAC/ADC測試技術、頻率合成器測試技術、類比前端電路迴路測試、系統迴路測試。

五、文獻探討

在 [DaRo98] 中，作者提出一個以under sampling技術來量測高速資料通道jitter的方法。其優點是可以以最小的元件輸出端負載來實現非常高的頻寬。在所提出的技術中，信號在所定義的時間點重複地與一參考電壓比較。這些等間隔時間點的時距即為此量測系統的有效取樣頻率。分析比較結果後，吾人可推導出jitter的標準差。此方法的優點在於簡單與低測試時間，其缺點則為必須有一參考用trigger信號。

在 [SuRo99] 中所提的jitter量測技術，係利用一可變的delay line來求出一個常態分佈的jitter其CDF curve上15.9%與84.1%兩個點的delay差異，藉以推導出jitter的標準差。與 [HuHu03] 的方法相比，[SuRo99] 須要較複雜且須要調校的delay line。

在 [DuSz00] 中所提出的 jitter measurement技術使用vernier delay line。雖然理論上可以達到很高的解析度，其對vernier delay line的線性度要求卻不易達到，所佔的面積也太大。在 [ChRo01] 中，

為改善此一線性度問題，提出了一個 component invariant 的 vernier delay line 架構，此方法的主要限制為較長的測試時間。

[YaSo00]提出一個以Hilbert transform為基礎的PLL jitter量測方法並在[Yaso00+]中以商業用的PowerPC™進行驗證。和傳統的jitter量測方法相比，此技術可以在較短的測試時間內，得到相當準確的結果。然而，由於其主要目的在減低ATE的複雜度，並不適合DfT應用。在[YaSo02]中，作者更進一步以[YaSo00、YaSo00+、YaSo01]所發展的方法為基礎，發展出可以推導出接收器jitter tolerance的技術。然而，其最大的問題仍然在於難以在晶片上實現。

在[ChCh01]所提出的jitter量測方法是將含有jitter的待測信號當作ADC的時脈信號去對一jitter-free的弦波信號取樣。由ADC輸出值的分佈可求出jitter的分佈。此方法雖然大幅簡化了jitter測試的問題，由於須要弦波信號及高解析度的ADC，也不適合直接用於DfT的應用。

在[LaCa01、CaLa02]，作者提出以passive filter來模擬資料傳送媒介所造成的

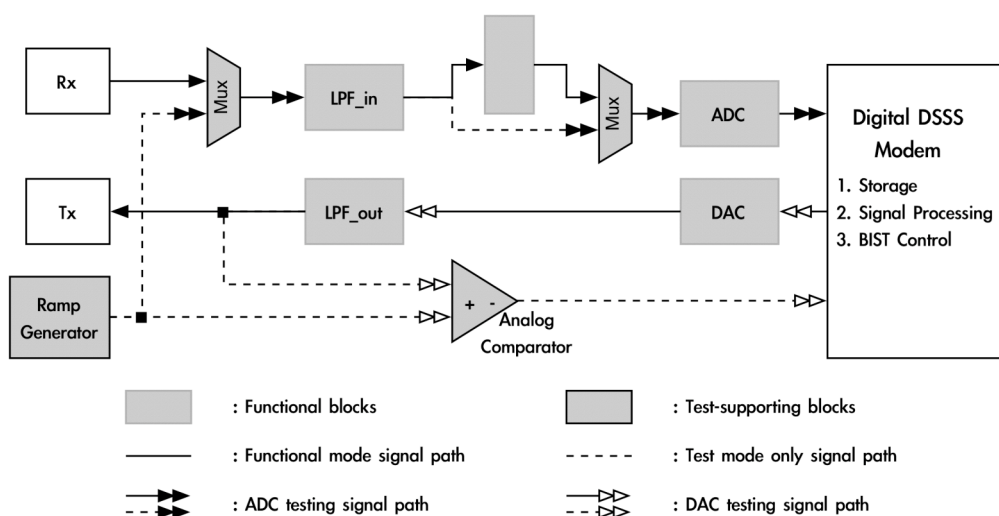
DJ。雖然可以有效降低測試成本，卻仍然不適用於未來具有大量high-speed serial port的IC之生產測試。在[CaWe02]則提出了適合jitter measurement與jitter tolerance measurement的ATE架構。其中，jitter measurement的電路並不適合DfT，jitter injection的方法則為本子計劃中jitter tolerance measurement技術的基礎。

六、研究方法

本子計畫的研究主題為ADC/DAC與頻率合成器的測試。

1. DAC靜態測試方法

DAC靜態測試時的系統組態如圖二所示。在執行DAC測試時，ramp signal（線性範圍必須涵蓋DAC的FSR，Full-Scale Range）及DAC輸出分別接到analog comparator的正/負輸入端（positive/negative input），而DAC的輸入則由BIST controller控制。圖三以一個2-bit的DAC為例（其四個輸出值分別為 v_0 、 v_1 、 v_2 與 v_3 ），說明各個信號的時序（timing）關係：在起始狀態時，*gen_ramp*



圖二 ADC及DAC靜態測試的系統組態

信號為 low；DAC input 為 0；analog comparator 無動作，其輸出為 don't care； t_{count} 重置成為 0。測試開始時， gen_ramp 信號由 low 變為 high (A)；ramp generator 及 comparator 開始動作； t_{count} 以系統的時脈信號為輸入進行累加。此時，ramp signal 值應小於 v_0 ，comparator 輸出為 low。進行量測時，BIST controller 若偵測到 comparator 由 low 到 high 的變化，就會將 DAC 的輸入值加 1。因此，當 ramp signal 的值超過 v_0 時 (B)，DAC input 由 0 變成 1 (C)。因為 v_1 大於此時 ramp signal 的值，comparator 的值又回到 low (D)。若待測 DAC 的輸出為單調遞升 (monotone increasing)，在 ramp signal 到達最大值之前，它將會接續著輸出 v_2 、 v_3 等值 (E、F)，最後回到 v_0 (H，內部使用 2-bit counter 之故)。在量測期間， t_0 、 t_1 、 t_2 、 t_3 (comparator 輸出上升緣時 t_{count} 的值) 會被記錄下來。DAC 量測在 DAC 的輸入值變成 0 時結束， gen_ramp 被設成 low，analog comparator 停止動作。

對一 n -bit 的待測 DAC，量測結束後將得

到所有的 t_i ($i = 0, 1, \dots, 2^n - 1$) 值。其 INL、DNL 可由下式計算得到：

$$W = (t_{2^n-1} - t_0) / (2^n - 1)$$

$$DNL_i = (t_i - t_{i-1}) / W \text{ LSB } (i = 1, 2, \dots, 2^n - 1)$$

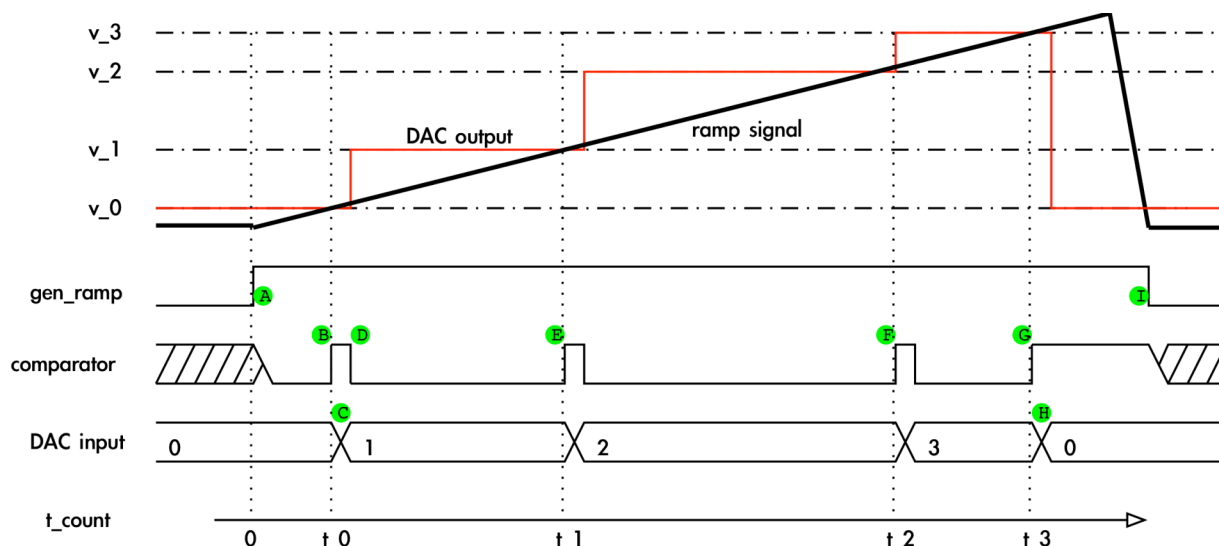
$$INL_0 = INL_{2^n-1} = 0$$

$$INL_i = (t_i - t_0) / W - i \text{ LSB } (i = 1, 2, \dots, 2^n - 2)$$

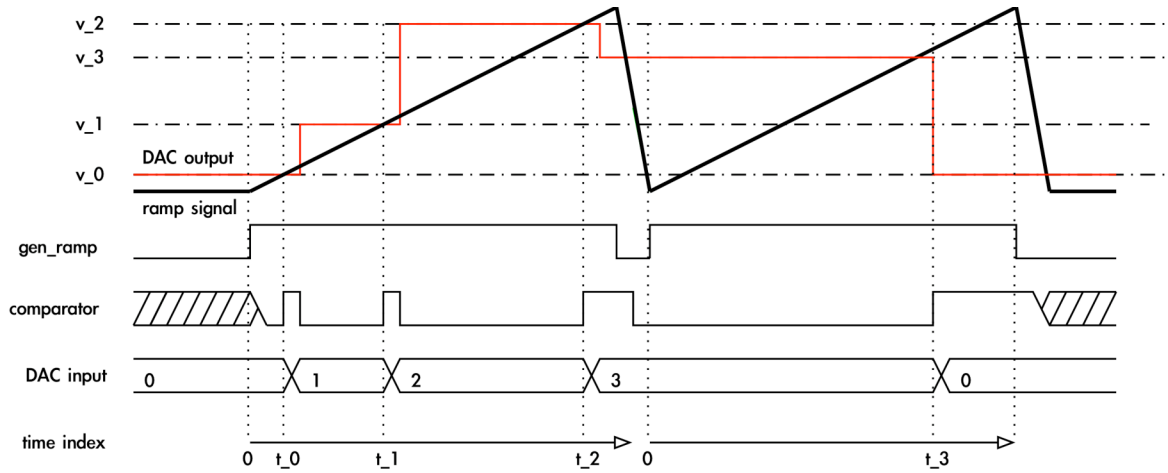
若待測 DAC 有 non-monotonicity error (亦即存在 $i > j$ ，使得 $v_i < v_j$)，則必須用超過一個 ramp signal 才能得到所有的 t_i 值。以圖四的 DAC 為例，由於 $v_3 < v_2$ ，在第一個 ramp 到達最大值時，DAC 的輸入仍為 3 (而非 0)。在輸入第二個 ramp 後 (重置 t_{count} 但不重置 DAC 的輸入值)，便可使 DAC 的輸入值變成 0，得到 t_3 的值。

2. ADC 靜態測試

對於 ADC 的靜態測試，我們使用的是以 ramp signal 為測試信號的 histogram analysis 方法。對於 ramp signal 的規格要求及產生方法皆與前述 DAC 靜態測試相同。ADC 靜態測試的系統組態如圖二所示 (上半部)。



圖三 DAC 靜態測試時的信號時序圖



圖四 DAC靜態測試時的信號時序圖（with non-monotonicity）

在ADC測試時，ramp signal經由多工器（由BIST controller控制），經LPF_in、跳過DC offset canceller與correlator bank而傳送至ADC的輸入端。測試期間ADC的輸出碼將被儲存，以進行Histogram Analysis[Ma87]。對 n -bit ADC而言，假設 C_i ($i = 0 \cdots 2^n - 1$) 為ADC輸出碼 i 出現的次數，則可經由下列式子算出ADC的INL及DNL：

$$W = \frac{C_1 + C_2 + \cdots + C_{2^n-2}}{2^n - 2}$$

$$DNL_i = \frac{C_i - W}{W} \text{ LSB}, i = 2 \cdots 2^n - 2$$

$$INL_i = INL_{i-1} + \frac{DNL_{i-1} + DNL_i}{2} \text{ LSB}, i = 2 \cdots 2^n - 2$$

方程式(1)是以輸出碼0及 2^n-2 的code center所形成的直線作為理想的AD轉換曲線。在此假設下， $INL_1 = INL_{2^n-2} = 0$ 。

3. DAC/ADC迴路測試

和前述的DAC與ADC靜態測試方法相比，以迴路組態進行靜態測試的好處是：不須要ramp generator和比較器等測試專用電路、測試過程及控制較為簡單、及測試時間較短。

實際運用時，以迴路組態進行的靜態測試由於成本低，應該被列入測試程序。是否採用各別的ADC與DAC自我測試方法，則應

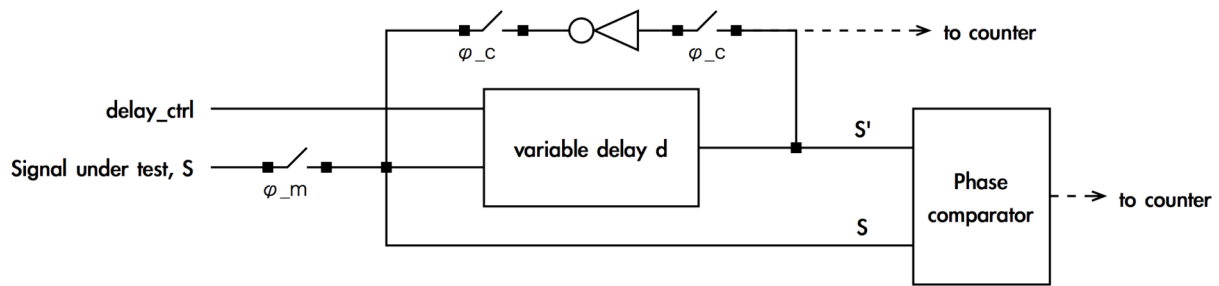
視實際的測試與除錯考量而定。在這個子計劃中，我們將同時實現兩種策略。經由分析實際的數據，作為未來選擇的參考。

DAC/ADC迴路測試最大的問題為fault masking。例如：ADC與DAC的可能有同一方向的性能偏移（如高過許可值的DC offset），在迴路測試時由於效應抵消而無法偵測。可能的解決方法有二：(1) 經由製程模擬[NaSt84, LiSi85, YaHo86, MiIs92]及電路模擬[Na75]，推算發生fault masking的機率，判斷是否須要加入其它測試方法，(2) 設計較不會有fault masking問題的功能測試信號及分析方法。

3. 頻率合成器測試

在頻率合成器部份，測試的項目主要為jitter的量測。研發的重點在於儘量使用數位電路技術，以減少量測電路本身對製程偏移的敏感度。

我們所提出的jitter量測架構如圖五所示。此架構係為一個以two-valued delay line加上phase comparator所組成。



圖五 Jitter量測電路

假設variable delay的兩個delay值為 d_1 與 d_2 ，而我們所量到的S領先S'的機率分別為 p_1 與 p_2 。我們首先要解inverse normalized gaussian cumulative distribution function (CDF) (F_x 為gaussian CDF)：

$$x_1 = F_X^{-1}(p_1)$$

$$x_2 = F_X^{-1}(p_2)$$

一旦 x_1 與 x_2 已知，jitter的RMS值便可得到：

$$RMS_j = \frac{d_2 - d_1}{x_2 - x_1}$$

此架構在實現上主要的問題在於如何控制 d_1 與 d_2 的值使之與待測訊號的週期約略相等。

七、結果與討論

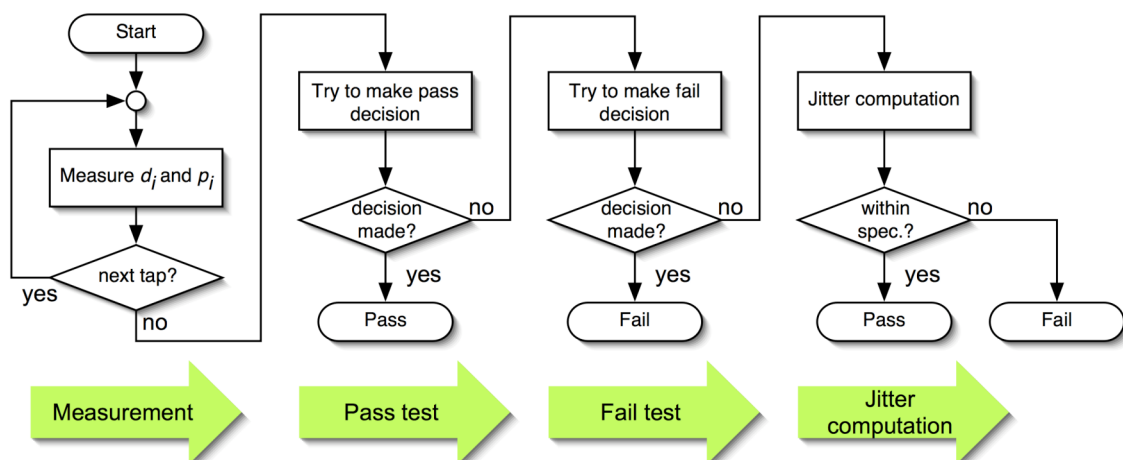
計畫第一年主要的成果包括：(1) 頻率

合成器的jitter量測技術，與(2) ADC自我測試技術的效能評估。

計畫的第二年的成果包括：(1) 能容忍製程偏移的頻率合成器jitter量測技術，(2) ADC/DAC的動態測試技術，與(3) ADC自我測試評估技術的效能提升。

1. 能容忍製程偏移的頻率合成器jitter量測技術

為了克服製程偏移對jitter量測準確度的影響，我們發展出一個可以容忍30%延遲線偏移的jitter量測演算法。新的演算法可以用圖五的電路架構實現（惟一不同處在以一multi-tap延遲線取代原有之two-tap延遲線），因此硬體的複雜度並不高。新的jitter量測演算法如圖六所示。



圖六 Jitter量測流程

為了解決製程飄移的影響，新的流程加入“pass test”與“fail test”並使用 p_{cmpt} 、 p_{pass} 與 p_{fail} 三個參數決定應使用的分析步驟。詳細演算法如下所列：

```
// measure pi and di
foreach tap  $t$ 
    measure  $p$  and  $d$ ;
     $S_{cmpt} = \phi$ ;     $S_{fail} = \phi$ ;
     $S_{pass\_up} = \phi$ ;     $S_{pass\_down} = \phi$ ;
    if  $1 - p_{cmpt} > p_t > p_{cmpt}$ 
         $S_{cmpt} = S_{cmpt} \cup \{t\}$ ;
    endif
    if  $1 - p_{fail} > p_t > p_{fail}$ 
         $S_{fail} = S_{fail} \cup \{t\}$ ;
    endif
    if  $p_t > 1 - p_{pass}$ 
         $S_{pass\_up} = S_{pass\_up} \cup \{t\}$ ;
    elseif  $p_t < p_{pass}$ 
         $S_{pass\_down} = S_{pass\_down} \cup \{t\}$ ;
    endif
endforeach
// Apply pass test
if  $S_{pass\_up} \neq \phi$  and  $S_{pass\_down} \neq \phi$ 
     $t_{up} = \text{tap w/ min } p \text{ in } S_{pass\_up}$ ;
     $t_{down} = \text{tap w/ max } p \text{ in } S_{pass\_down}$ ;
    if  $d_{up} - d_{down} < 2x_{pass}J_{spec}$ 
        return PASS;
    endif
endif
// Apply fail test
if  $\text{SIZE}(S_{fail}) > 1$ 
```

```
     $t_{up} = \text{tap w/ max } p \text{ in } S_{fail}$ ;
     $t_{down} = \text{tap w/ min } p \text{ in } S_{fail}$ ;
    if  $d_{up} - d_{down} > 2x_{pass}J_{spec}$ 
        return FAIL;
    endif
// Jitter computation
if  $\text{SIZE}(S_{cmpt}) > 1$ 
     $t_{up} = \text{tap w/ max } p \text{ in } S_{cmpt}$ ;
     $t_{down} = \text{tap w/ min } p \text{ in } S_{cmpt}$ ;
    if  $(x_{up} - x_{down}) / (d_{up} - d_{down}) > J_{spec}$ 
        return FAIL;
    else
        return PASS;
    endif
```

在實際運用時， p_{cmpt} 、 p_{pass} 、 p_{fail} 與delay line的值是使用simulated annealing方法得到，必須能容忍30%的delay line值的偏移，而且只能使用8個delay taps。

表一為使用不同的測試流程所得到的測試正確率的比較。第一行為對每個 t_i 所做的相位比較次數，第二行為使用所提出的流程的結果，在 $\log_2(N)$ 大於14之後，便可達到99%以上的測試正確率。與只使用jitter computation的流程（第五行）相比較，正確率的提升在 $\log_2(N)$ 小於13時十分明顯。在 $\log_2(N)$ 大於14之後雖不顯著，但整體而言，由於pass test與fail test比jitter computation簡捷（不需要計算inverse Gaussian CDF），新演算法仍然是較好的流程。

$\log_2(N)$	$pass \rightarrow fail \rightarrow cmpt$	$pass \rightarrow fail$	$cmpt \rightarrow pass \rightarrow fail$	$cmpt$
10	0.9441	0.8750	0.5613	0.5554
11	0.9502	0.8748	0.6054	0.6008
12	0.9748	0.8760	0.8049	0.8015
13	0.9844	0.8818	0.9048	0.9021
14	0.9946	0.8757	0.9734	0.9709
15	0.9941	0.8796	0.9934	0.9895
16	0.9954	0.8848	0.9959	0.9932

表一 不同流程的測試正確率比較

2. ADC/DAC的動態測試技術

在計畫的第一年，我們使用低速的ramp做ADC/DAC的靜態測試。為了降低BIST電路的複雜度，我們在第二年開始發展以ramp對ADC與DAC進行動態測試的技術。

一般的ADC動態測試技術，需要使用較高速的輸入信號（通常為正弦波）。為了測試ADC的動態特性，我們對ramp generator稍作修改以產生較快的ramp。ramp的產生週期則遵循coherent sampling的原則。假設ADC的取樣頻率為 f_s ，ramp的產生週期 T_{ramp} 應滿足： $T_{ramp} = N/M/f_s$ ，其中 M 與 N 為互質的正整數，而且所對應的ramp斜率必須與動態測試用的正弦波相當。與傳統的動態分析方法（如：SNR，harmonic distortion）不同，我們將使用histogram analysis計算INL與DNL。目前正在探討所得到的dynamic INL與DNL與SNR或其他動態規格的相關性。

對於DAC的動態測試，我們以圖三的技術為基礎，使用慢速的ramp便可測出ADC的dynamic INL與DNL。目前正在探討所得到的dynamic INL與DNL與SNR或其他動態規格的相關性。

3. ADC自我測試評估技術的效能提升

我們在第一年所發展的“ADC自我測試技術的效能評估”技術有著模擬效率不高的限制：1,000次電路模擬須耗時27日。

為提升電路模擬的效率，我們採用macro modeling的技術。首先，考量flash ADC中比重最大的電路為comparator，新的效能評估技術首先對其建立macro model，之後進行整個flash ADC的效能評估時，只需要知道每個comparator的DC offset（使用macro model）與resistor ladder的電壓偏移，便可直接推導出flash ADC的INL與DNL。

目前正在進行macro model部分程式的實現，預計可以達到10x~100x的改善。

八、計畫成果自評

第二年到報告撰寫之時，我們已完成對靜態ADC測試技術的電路設計與效能評估，正在進行與另一子計畫所設計的ADC的整合。

在PLL的測試方面，則發展了一個對製程漂移具有較高抵抗力的技術。目前正在進行電路模擬。

論文發表狀況如下：

- J. L. Huang, “Random Jitter Testing Technique Using On-Chip Low Tap-Count Delay Lines,” *International Mixed-Signal Testing Workshop*, Jun. 2005.
- Yi-Ren Chen and J. L. Huang, “Quality Evaluation of Analog/Mixed-Signal Design-for-Test Techniques,” submitted to *Asian Test Symposium*, 2005.

參考文獻

- [Ca00] Y. Cai et al., “Digital Serial Communication Device Testing and Its Implication on Automatic Test Equipment Architecture,” *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaLa02] Y. Cai, B. Laquai, and K. Luehman, “Jitter Testing for Gigabit Serial Communication Transceivers,” *IEEE Design & Test of Computers*, pp. 66-74, January 2002.
- [CaWa00] Y. Cai, T. P. Warwick, S. G. Rane, and E. Masserrat, “Digital Serial Communication Device Testing and Its implications on Automatic Test Equipment Architecture,” *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaWe00] Y. Cai, S. A. Werner, G. J. Zhang, M. J.

- Olsen, and R. D. Brink, "Jitter Testing for Multi-Gigabit Backplane SerDes—Techniques to Decompose and Combine Various Types of Jitter," *Proc. International Test Conference*, pp. 700-709, 2002.
- [ChCh01] S. Cherubal, and A. Chatterjee, "A High-Resolution Jitter Measurement Technique Using ADC Sampling," *International Test Conference*, pp. 838-847, 2001.
- [ChRo01] A. H. Chan, and G. W. Roberts, "A Synthesizable, Fast and High-Resolution Timing Measurement Device Using a Component-Invariant Vernier Delay Line," *Proc. International Test Conference*, pp. 868-867, 2001.
- [DaRo98] W. Dalal, and D. Rosenthal, "Measuring Jitter of High Speed Data Channels Using Undersampling Techniques," *Proc. International Test Conference*, pp. 814-818, 1998.
- [DuSz00] P. Dudek, S. Szezepanski, and J. V. Hatfield, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line," *IEEE Transactions on Solid-State Circuits*, vol. 35, no. 2, pp. 240-247, February, 2000.
- [HuHu03] J. J. Huang, and J. L. Huang, "A Low-Cost Jitter Measurement Technique for BIST Applications," to appear in *Asian Test Symposium*, November 2003.
- [ITRS99] "High Frequency Serial Communication: Technology Requirement," International Technology Roadmap for Semiconductor, Test and Test Equipment Section, pp. 64-65, 1999.
- [LaCa01] B. Laquai, and Y. Cai, "Testing Gigabit Multilane SerDes Interfaces with Passive Jitter Injection Filters," *Proc. International Test Conference*, pp. 297-304, 2001.
- [SuRo99] S. Sunter, and A. Roy, "BIST for Phase-Locked Loops in Digital Applications," *Proc. International Test Conference*, pp. 532-540, 1999.
- [Ya02] T. J. Yamaguchi, "Multi-GHz Interface Devices Should be Tested Using External Test Resources," *Proc. International Test Conference*, pp. 1229, 2002.
- [YaSo00] T. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Watanabe, "Extraction of Peak-to-Peak and RMS Jitter Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, pp. 395-402, 2000.
- [YaSo00+] T. Yamaguchi, M. Soma, D. Halter, J. Nessen, R. Raina, M. Ishida, and T. Watanabe, "Jitter Measurements of a PowerPCTM Microprocessor using the Analytic Signal Method," *International Test Conference*, pp. 955-964, 2000.
- [YaSo01] T. J. Yamaguchi, M. Soma, , J. Nissen, D. Halter, and R. Raina, "Testing Clock Distribution Circuits Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, 2001.
- [YaSo02] T. J. Yamaguchi, M. Soma, and M. Ishida, "A New Method for Testing Jitter Tolerance of SerDes Devices Using Sinusoidal Jitter," *Proc. International Test Conference*, pp. 717-725, 2002.
- [YeGu99] A.-L. Yee, R. Gu, H.-C. Lin, A. Tsong, R. Prentice, and J. Tran, "An Integrated 1-2.5 Gbps Low Jitter CMOS Transceiver with Built in Self Test Capability," *Symposium on VLSI Circuits*, pp. 45-46, 1999.