

行政院國家科學委員會專題研究計畫執行報告

數位式多媒體無線接收機之中頻與基頻類比前級

超大型積體電路架構設計與晶片製作(II)

VLSI Architecture Design and Implementation of IF and Baseband Analog Front End for Digital Multimedia Wireless Receiver (II)

計畫編號：NSC 89-2215-E002-025

執行期限：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：汪重光 執行機構及單位名稱：國立台灣大學電機系

一、中文摘要

本計畫之類比前級主要應用於無線區域網路，射頻為 2.4GHz，中頻為 280MHz，基頻頻寬為 17.6MHz。本報告為子計畫的第二年報告，本年度主要計畫，為限制放大器、接收訊號強度指示器之佈局設計，以及 post-layout 模擬；與降頻工作部分：包括混波器，低通濾波器，震盪器的線路設計及模擬。混波器及濾波器，能有效達成 280MHz 的中頻信號，降頻為基頻信號，其震盪訊號，由一環狀震盪器產生。另外，低通濾波器為配合展頻系統不同的 chip rate，需有四種可調整的頻寬，分別為 2.2/4.4/8.8/17.6 MHz。電路採用 0.35 μ m CMOS 標準製程。

關鍵詞：限制放大器，接收訊號強度指示器，低通濾波器，混波器，環狀震盪器，降頻轉換。

Abstract

This report presents an analog front-end VLSI architecture that deals with IF signal in wireless LAN system. The center frequencies of RF and IF chosen are 2.4GHz and 280MHz respectively, and the baseband bandwidth is 17.6MHz. Limiting amplifier, RSSI layout and IF/Baseband down-converter circuits are designed and simulated in the second period. The mixer followed by a low pass filter (LPF) down converts the 280MHz IF signal into baseband. The local oscillation signal is provided by a ring-oscillator. The LPF -3dB frequency can be tuned into one of the 4 discrete values: 2.2/4.4/8.8/17.6 MHz, according to the chip rate in spreading spectrum system. All the circuits employ 0.35 μ m CMOS standard technology using single power supply 3V.

Keywords: limiting amplifier, received signal strength indicator, wideband amplifier, bandpass filter.

二、計畫緣由與目的

隨著寬頻通信與數位訊號處理技術快速成長，消費者已能享受到結合聲音、圖形、影像、及大量文字傳遞的多媒體通訊服務。諸如遠距教學，電

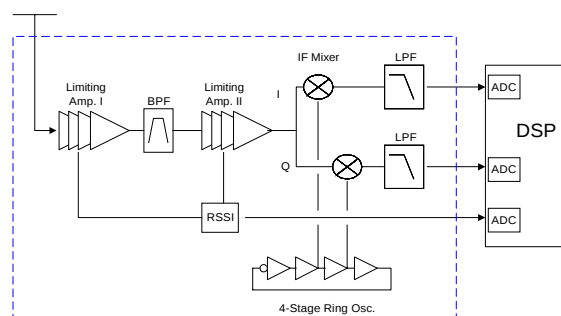
子商務等。為提供更可靠、更便捷、與低成本的多媒體傳輸服務，發展結合 3C (computer, communication, and consumer) 環境之高效能數位式多媒體無線接收機，將是一重要課題。

對於無線傳輸而言，有下列幾項重要特性需要考慮：低功率，少量元件，低成本，且須符合要求標準。本次計畫除了有效達成降頻轉換外，另一重要目標，為數位與類比電路之相容性，即以 SOC 為方向。本次報告為三年計畫之第二年成果報告。

本年度主要目標，為限制放大器、接收訊號強度指示器之佈局設計，以及 post-layout 模擬。與降頻工作部分：混波器，低通濾波器，震盪器的線路設計及模擬。

三、研究方法與成果

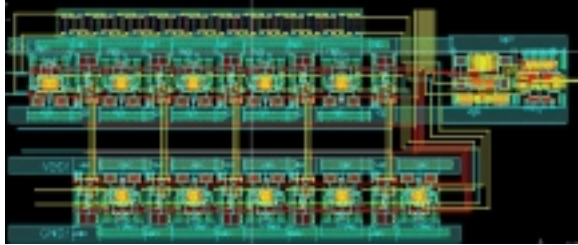
圖一為整個接收器中，中頻/基頻類比前端的方塊圖。將 280MHz 中頻信號，降頻轉換為相差 90 度之 I-channel 及 Q-channel 之基頻信號。限制放大器接收前級(射頻/中頻)輸出之中頻信號，將信號限制在一固定之大小；接收信號強度指示器則監測出中頻原始信號的大小，輸出至基頻，指示信號的強度；最後利用二個相同的混波器，灌入相差 90 度之振盪信號，再透過低通濾波器，除去高頻諧波與雜訊，達成降頻。



圖一 系統方塊圖

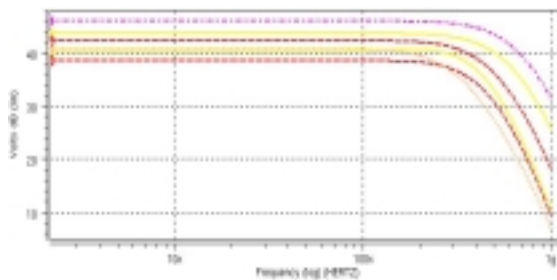
圖二為限制放大器及接收訊號強度指示器佈局設計圖。佈局時，除了注意良好的對稱性，在每個增益單元外側，都需加上保護的環形結構，以避免由 substrate 耦合進入的雜訊。否則，一小的雜訊，將可能在通過多級放大後，使電路失真了。其中的偏移

電壓消除器,將輸出端的直流偏移電壓取出,送至限制放大器輸入端,將其消除。此取出直流成份的電路,實際上,為一低通濾波器,以電容電阻方式實現。因為截止頻率需要非常低,需要頗大的電容值,因之,我們採用外接方式,連上所需大電容。

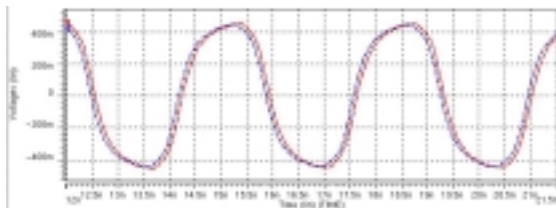


圖二 限制放大器及接收訊號強度指示器佈局圖

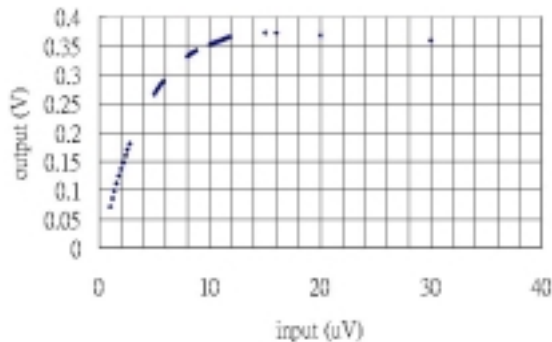
根據佈局設計所做的 post-simulation,都是以四個 corner 的製程變異與-40 至 80 度的溫度變異為模擬條件。可得增益級(gain stage)的頻率響應,見圖三,仍有大於 300MHz 的-3dB 頻寬,與超過 38dB 的增益。圖四為分別輸入 30uV 及 400mV 振幅的 300MHz 弦波,可看出其輸出值都被箝制在固定的大小,兩者相位相差為 7 度。圖五為整個限制放大器的動態範圍,超過 80dB。



圖三 限制放大器頻率響應

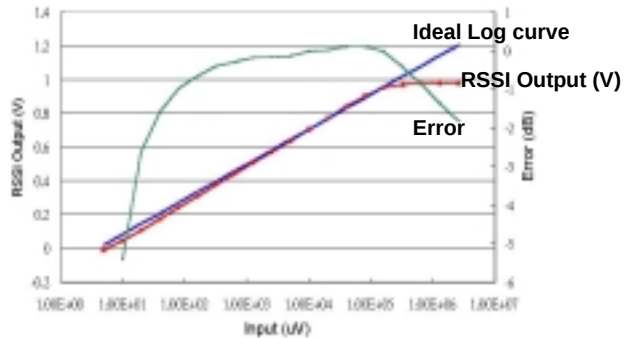


圖四 限制放大器飽和輸出波型



圖五 限制放大器動態範圍

圖六為接收訊號強度指示器的偵測範圍,在誤差正負 3dB 的要求下,其偵測範圍大於限制放大器的動態範圍,此為接收訊號強度指示器的基本要求。



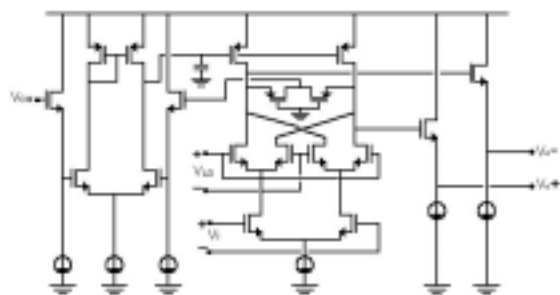
圖六 接收訊號強度指示器偵測範圍

以下分別對降頻部分的電路設計及模擬,一一分述:

A. 混波器 (Mixer):

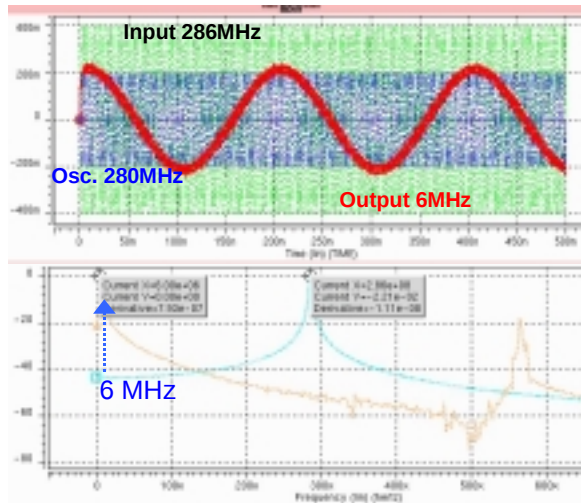
基本上,混波器將輸入信號與震盪信號相乘,產生此二頻率差的輸出信號,以及高頻諧波項。此處,我們採用的,是一基本的 Gilbert Cell 架構,見圖七。先將輸入信號電壓,轉換成電流,送至由本地震盪信號控制的四個電晶體源極端;本地震盪電壓依其值,做到類似開關的動作,依此所得的輸出電壓值,即為兩者相乘之結果。

由於輸出端為高阻抗節點,一極小的共模電壓變動,將可能造成輸出端的共模電壓值嚴重偏移。因之,我們在輸出端加上一共模反饋電路,藉負迴授的機制,將輸出端的共模偏移拉回,穩定在一特定之值。共模反饋中之比較參考電壓,採用外接方式,以便能由外界,直接調整我們所要的共模電壓。



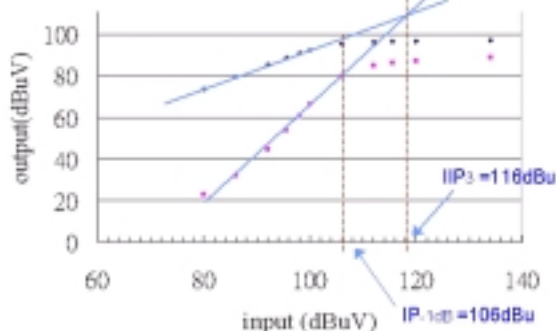
圖七 混波器電路

由混波器的暫態模擬,以及頻譜分析,見圖八,我們可看出,其將 286MHz 的弦波信號,與 280MHz 震盪信號相乘,得到 6MHz 的輸出。



圖八 混波器暫態分析及頻譜

圖九為混波器的線性度分析。為了瞭解 interference 的影響程度,我們同時輸入 290MHz 及 291MHz 的訊號,觀察其一次及三次項,隨震幅改變的情形。分析結果,可得其 IIP3 之值。

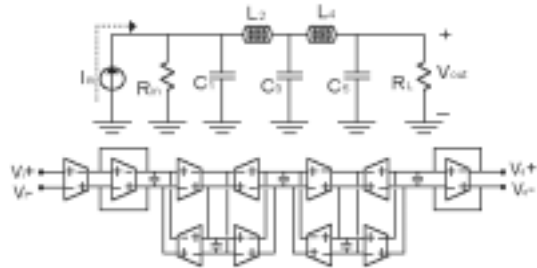


圖九 混波器線性度

此處混波器的轉換增益小於一,亦即,將輸入信號減小了,此因混波器後級所接的濾波器電路,其輸入電壓範圍,受到線性度的要求限制,比較相關的各值,需將信號作縮減方可行。

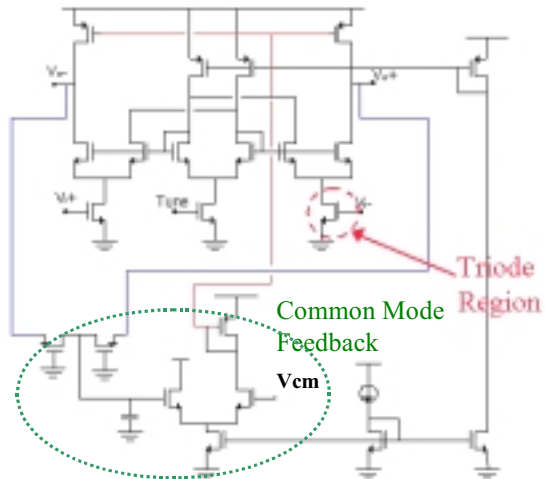
B. 低通濾波器 (Low Pass Filter):

混波器的輸出中,含有高頻諧波項,需要藉濾波器予以抑制。考量系統的需求,我們選取五階 Butterworth filter,來作為所需的 LPF。合成濾波器的方法有很多,我們採用的做法,是以 LC-Ladder 方式合成,主要因其對製程變異的變化,有較大的抵抗力。接著,採用 Gm-C 的實現方式,完成此 LC-Ladder 的 low-pass Butterworth filter,使用四個背接背的轉導級組成的迴旋器,取代電感在 Lc-Ladder 中的角色。低通濾波器中所有的電容,都採用 on-chip MOS-CAP,因為我們對電容的變動 有相當的容忍度。



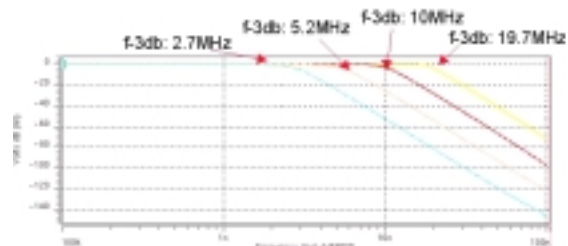
圖十 低通濾波器 LC-Ladder 架構

圖十一為 transconductor 的線路,此 gm 的優點,為其優良的線性度。gm 的產生,是由操作在 triode region 的輸入端電晶體,將電壓轉換成電流。由分析可得,若要 gm 值保持不變,則 Vds 需保持定值,藉由完全複製的電晶體併聯,將使得輸入電晶體對的 Vds 幾乎不會變動,達成極小的 gm 變化。另外,輸出端接上一共模反饋電路,除了穩定輸出端的共模電壓,還可有效增大輸出等效電阻,此亦為 transconductor 的重要考量。



圖十一 Transconductor 線路

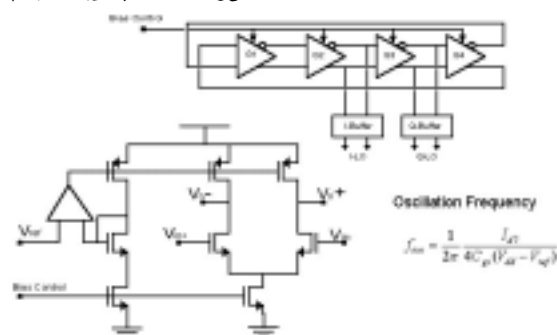
因為本系統屬展頻系統,為了配合其不同的 chip rate 需求,此處的低通濾波器,需有四種不同的頻寬變化,即 2.2/4.4/8.8/17.6 MHz,以供選擇使用。這部分功能,主要是由電容陣列構成,藉由控制電壓,可決定接於各端點的電容值,即可使濾波器的轉換函數改變,而造成頻寬的改變。圖十二為低通濾波器的頻率響應,可有四種頻寬,考慮因製程變異造成通帶頻寬的變動,我們對各頻寬取了邊際,使頻寬分別為:2.7/5.2/10/19.7 MHz。



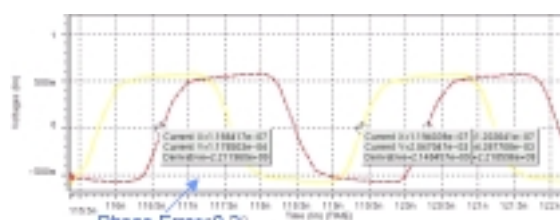
圖十二 低通濾波器頻率響應

C. 環狀震盪器 (Ring-Oscillator):

震盪器主要採用四級之 ring-oscillator,若將串接的四級放大器的頭尾相接,由於四級完全相同,各級會有相同的相位偏移。在震盪發生的假設前提下,整個震盪器的迴路,有 360 度的相移。此表示,每個增益單元,都會有恰好 90 度的相移,只要任選其中之一個單元的輸入及輸出,即可得到相差 90 度的 I、Q 訊號。增益級,我們採用的是基本的源極耦合對線路(見圖十三),利用一操作放大器,加上電流鏡的對應方式,我們可以藉由控制操作放大器的輸入電壓,來調整主動負載的電阻值,從而改變與震盪頻率有關的電容電阻值,達成調整震盪頻率。圖十四,為震盪器的輸出波型。理想上, I 及 Q 訊號應相差正好 90 度,由電路模擬果,可知,實際上, I、Q 的相位誤差小於 0.2 度。



圖十三 環狀震盪器線路



圖十四 環狀震盪器 I、Q 輸出波型

四、計畫成果自評

現在,我們已完成第二年度的工作,即,降頻轉換部分的電路設計與模擬,以及限制放大器、接收訊號強度指示器的佈局設計,和 post-simulation。由模擬結果可知,降頻部分的表現,符合我們在系統設計時,所訂定的規格。而限制放大器及接收訊號強度指示器的 layout 的結果,在做了四個 corner 的製程變異,以及溫度變異的分析後,依然是良好,且達到要求的。

接下來,第三年的工作,為整個中頻/基頻類比前級的整合及模擬,還有整個晶片的實現及測試。

整體而言,此子計畫最主要目的是要在低電壓低功率高速度的要求下,發展中頻至基頻類比前級的線路設計技術,以配合射頻前端與基頻信號處理,達成高階整合之系統晶片。

五、參考資料

1. M. E. Van Valkenburg, Analog Filter Design, Prentice-Hall, 1982
2. B. Gilbert, Monolithic Logarithmic Amplifier, August, 1994
3. Kuang-Hu Huang, "Low-voltage low-power circuit and architecture design for CMOS receiver front-end"
4. Z. H. Wang, "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation", IEEE Trans. Circuits and Systems-I, vol.39, pp.456-462, June 1992.