

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫三：高速資料傳輸系統的可測試性設計技術(2/3)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-002-006-

執行期間：93年08月01日至94年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：黃俊郎

共同主持人：呂學士

計畫參與人員：陳邦釗、黎孔平、郭嘉元

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 31 日

行政院國家科學委員會補助專題研究計畫
期中進度報告

子計畫三：高速資料傳輸系統的可測試性設計技術

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC93-2220-E-002-006-

執行期間：九十三年八月一日至九十四年七月三十一日

計畫主持人：黃俊郎

共同主持人：

計畫參與人員：陳邦釗、黎孔平、郭嘉元

成果報告類型(依經費核定清單規定繳交)：完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電機系

中華民國九十四年五月十九日

行政院國家科學委員會補助專題研究計畫期中進度報告

高速資料傳輸系統的可測試性設計技術

計畫編號：NSC93-2220-E-002-006-

執行期間：九十三年八月一日至九十四年七月三十一日

計畫主持人：黃俊郎

計畫參與人員：陳邦釗、黎孔平、郭嘉元

一、中文摘要

為了滿足不斷提升的資料頻寬要求，高速序列式（serial）傳送技術已逐漸取代傳統的並列式（parallel）傳送方法成為主流。然而，各個主要高速通訊標準（如：Gigabit Ethernet、Infiniband、3GIO、SONET等）與高頻寬系統backplane所大量使用的gigabit I/O buffer對測試而言是極大的挑戰。首先，測試這些IC須要昂貴的BER（bit-error-rate）測試儀器組合。過高測試費用與過長的測試時間使得這個方法不可能在大量生產時使用。因此，發展能在生產測試環境下，有效測試這些gigabit transceiver的技術成了亟待解決的問題。在這個子計劃中，我們將針對gigabit I/O transceiver的jitter testing提出一個可以有效降低測試成本的可測試性設計技術。主要的目標為量測傳送器（transmitter）所產生的jitter與接收器的jitter tolerance。

關鍵字：

高速序列資料傳送、抖動測試、抖動容忍度

二、英文摘要

The rapid deployment of gigabit I/O buffers for key communication standards, for example, Gigabit Ethernet, Infiniband, 3GIO, and SONET, as well as for high bandwidth system backplanes presents several

challenges for testing. Testing these ICs requires expensive stand-alone bit-error-rate (BER) test sets. Cost and excessive test time make this approach impossible for volume production. In this project, we intend to provide a low-cost DfT technique for the jitter testing of gigabit I/O transceiver. The goal is to measure the generated jitter at the transmitter output and the jitter tolerance at the receiver input.

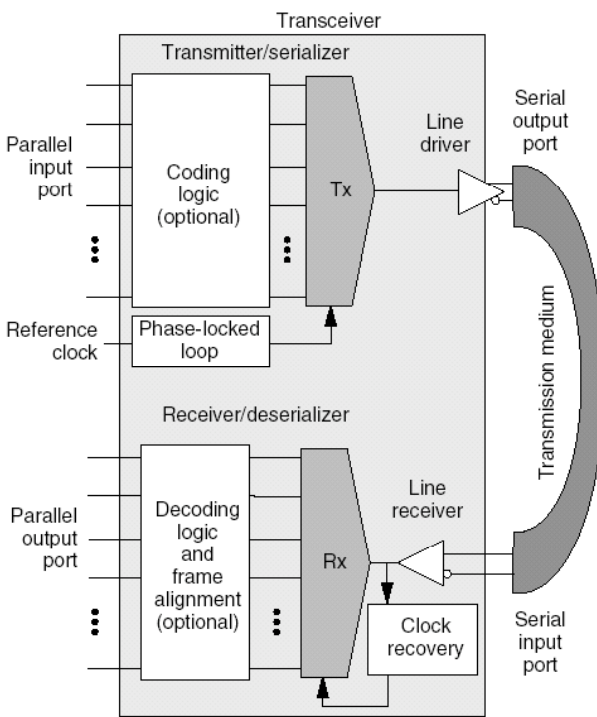
Keywords:

High-speed serial link, jitter testing, jitter tolerance

三、前言

高速序列式（serial）傳送技術已逐漸取代並列式（parallel）傳送方法成為高速資料傳送主流。圖一所示為序列資料傳送收發器的示意圖。在發送端，傳送器（transmitter）將平行輸入端的資料轉成高速的序列格式。為此，傳送器必須有一個與平行輸入資料同步（synchronized）的參考時脈（reference clock）訊號以捕捉輸入資料並合成序列器（serializer）所須要的高速序列位元時脈。在發送端則有接收器（receiver）接受其 differential port輸入的高速序列資料。其內部的時脈回復（clock recovery）電路由所接收的資料導出資料的時脈並加以retime。

Retimed後的資料接著被轉成平行的格式。在實際應用時，這些高速序列傳送元件藉由各種媒介（如：optical fiber、copper wires等）將資料傳送到遠方的接受器。為了確保接收端能自資料流（data stream）中萃取出時脈訊號並藉以取得資料，傳送端所產生的jitter必須小於一定值，而接收端則必須能容忍由傳送端與傳送媒介所產生的jitter。



圖一 序列資料傳送收發器的示意圖

雖然高速序列技術的普及擴大了資料傳送頻寬，各個主要高速通訊標準（如：Gigabit Ethernet、Infiniband、3GIO、SONET等）與高頻寬系統backplane所大量使用的gigabit I/O buffer對測試而言卻是極大的挑戰（表一）：

- a. 高速序列式傳送標準早已超過2.5 Gb/s而且尚在持續提高中。然而，ATE（Automatic Test Equipment）供應商從1999年才開始引入具有1

Gb/s量測能力的新系統。

- b. 序列式傳輸元件在接收端使用時脈回復電路導出資料流（data stream）中的時脈訊號，並須要彈性極大的timing與clocking技術以配合時脈回復的latency變異、相位對準（phase alignment）與frame alignment。這些電路都很難在ATE上實現。
- c. 一般而言，差動訊號（differential signal）振幅都在幾十個到幾百個millivolt的範圍（如：Firewire A為118 mV、Firewire B為200 mV、SONET OC-48為30 mV）低於目前ATE driver的性能範圍。
- d. 多數2.5 Gb/s的LVDS buffer其振幅約在100至400 mV的範圍。雖然大部份的比較器設計時最小的overdrive電壓要求都在150 mV左右，準確地探測低於250 mV peak-to-peak的訊號仍是一大挑戰。
- e. Differential timing skew是一項很重要的規格。在SONET、Gigabit Ethernet、Fiber Channel等標準中，差動訊號的交錯點（cross-over point）與真正的50%交錯點的偏移必須小於20—25 ps。扣除掉test fixture的長度與rise/fall time的mismatch，所剩下允許的skew遠小於大部份ATE的edge-placement-accuracy（大約在±80 ps）。

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007	
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65	
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65	
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35	
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25	
<i>High-performance-level serial transceivers</i>								
Serial data rate (Gbits/s)	10	10	40	40	40	40	40	
Maximum reference clock speed (MHz)	667	667	2500	2500	2500	2500	2500	
<i>High-integration-level backplane and computer I/O</i>								
Serial data rate (Gbits/s)	Production	2.5	3.125	3.125	10	10	40	40
	Introduction	3.125	—	10	—	40	—	—
Maximum port count at Production frequencies at Introduction frequencies		20	100	200	100	200	100	200
		—	—	20	—	20	—	—
Maximum reference clock speed (MHz)	Production	166	166	166	667	667	2500	2500
	Introduction	—	—	667	—	2500	—	—

表一 短期的高速序列通訊測試要求 (ITRS01)

目前，測試這些IC須要昂貴的BER (bit-error-rate) 測試儀器組合。過高的測試費用與過長的測試時間使得這個方法不可能在大量生產時使用。此外，目前工業界提高系統整合度的趨勢也意味著gigabit序列埠 (serial port) 將會變成任何IC的標準介面模組 (I/O macro)，所有的IC生產測試設備將必須配備有符合經濟效益的gigabit測試解決方案。因此，發展能在生產測試環境下，有效測試這些gigabit transceiver的技術成了亟待解決的問題 [Ca00, ITRS99]。

類比電路的可測試性設計一直被認為是解決目前高度整合的混合信號IC中居高不下的類比/混合信號測試成本的有效方案之一。到目前為止，已有相當多的學術與工業界研究人力投入此一領域。然而，由於對於測試規格的要求極高 (見表一，如：ps resolution、hundred millivolt voltage swing、differential signal)，對gigabit transceiver的可測試性技術發展尚在起步階段。

在這個子計劃中，我們將提出一個可以有效降低 gigabit I/O transceiver 的 jitter testing 測試成本的可測試性設計技術。此可測試性設計的主要功能將包括：

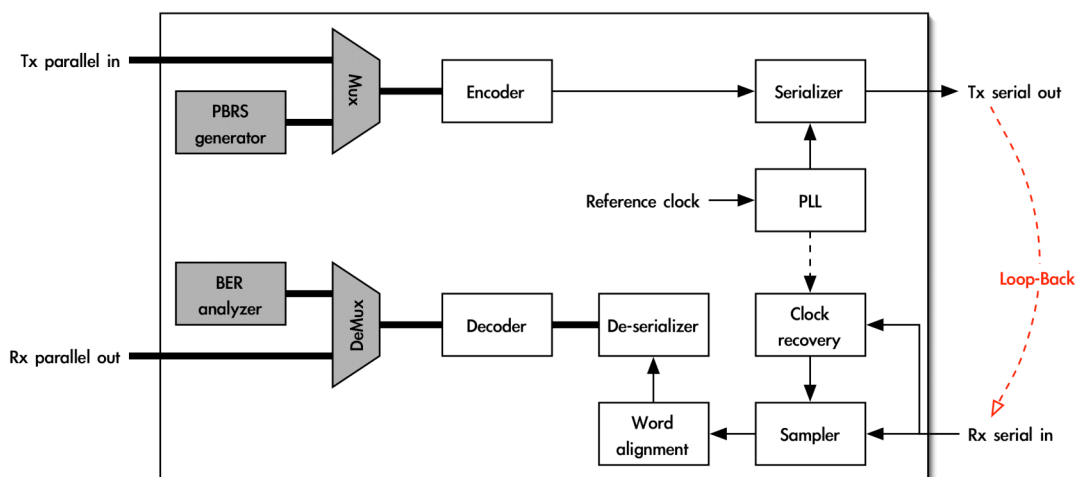
- a. 量測傳送器所產生的jitter。

- b. 測試接收器的jitter tolerance。

四、研究目的

這個子計劃的主要目的為實現一個可以有效降低 gigabit I/O transceiver 的 jitter testing 測試成本的可測試性設計技術。在 gigabit transceiver 的可測試性設計技術方面，目前以內建 pseudo-random pattern generation 與 bit-error rate analyzer 的 loop-back testing (如：[YeGu99]) 接受度較高。圖二為此一架構的概念圖。此一架構的優點在於：藉由加入 PRBS (pseudo-random bit sequence) generator、BER (bit error rate) analyzer、Mux (多工器) 與 DeMux (解多工器) 等簡單的DfT電路與外部 (或內部) 的loop-back，此架構可以實現at-speed的功能測試。然而，它也有一些缺點和限制：

- a. 發送器與接收器皆為待測電路，所形成的系統能正常運作有可能是 fault masking 的結果 (亦即兩者的性能偏移恰好互補)，並不表示兩者都符合性能規格。
- b. 此架構不能進行 jitter 與 jitter tolerance 等重要參數的量測。



圖二 內建PBRS與BER analyzer的loop-back自我測試技術〔LaCa01〕

此子計劃所發展的DfT量測技術包括：量測傳送器所產生的jitter技術與測試接收器jitter tolerance的技術。為達此目的，我們須要有jitter generation、jitter injection與jitter measurement的電路。圖三為我們將研發的gigabit transceiver DfT架構。在所加入的DfT電路中（灰色部份），multi-purpose pattern generator、reconfigurable buffer與noise source的目的為產生接收器jitter tolerance testing所須的jittered bit stream；jitter analyzer則用來量測發送端所產生的jitter。如此，除了傳統的loop-back功能測試外，此架構也使得jitter與jitter tolerance等重要參數的量測變得可能：

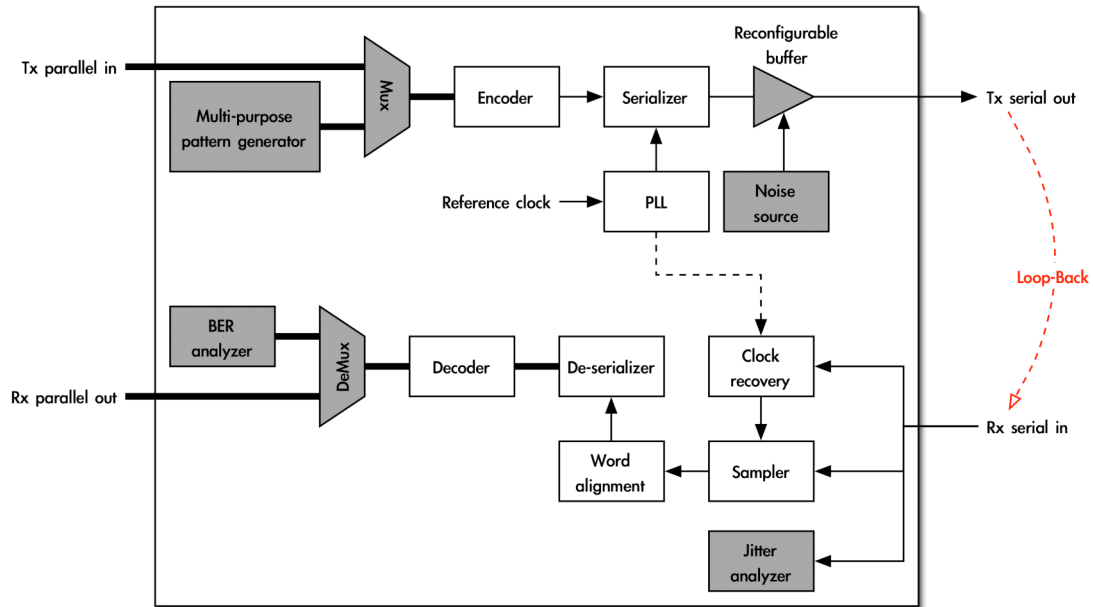
- a. 我們以 multi-purpose pattern generator 取代原來的 PRBS generator。除了產生功能測試用的 pseudo random pattern外，此pattern generator也可以配合 reconfigurable buffer 產生所須要的 DDJ（data dependent jitter）。
- b. Reconfigurable buffer的功能為（1）模擬傳輸媒介所造成的振幅衰減（〔LaCa01、CaLa02〕），與（2）

以combiner + limiting amplifier的方法（〔CaWe02〕）產生random與sinusoidal jitter。

- c. Noise source的功能為產生random noise與sinusoidal signal以達到jitter injection的目的。
- d. Jitter analyzer為一jitter量測電路，可以得到jitter的histogram。

五、文獻探討

在〔DaRo98〕中，作者提出一個以under sampling技術來量測高速資料通道jitter的方法。其優點是可以以最小的元件輸出端負載來實現非常高的頻寬。在所提出的技術中，信號在所定義的時間點重複地與一參考電壓比較。這些等間隔時間點的時距即為此量測系統的有效取樣頻率。分析比較結果後，吾人可推導出jitter的標準差。此方法的優點在於簡單與低測試時間，其缺點則為必須有一參考用trigger信號。



圖三 本子計劃所提出的gigabit transceiver的DfT架構

在 [SuRo99] 中所提的jitter量測技術，係利用一可變的delay line來求出一個常態分佈的jitter其CDF curve上15.9%與84.1%兩個點的delay差異，藉以推導出jitter的標準差。與 [HuHu03] 的方法相比，[SuRo99] 須要較複雜且須要調校的delay line。

在 [DuSz00] 中所提出的 jitter measurement技術使用vernier delay line。雖然理論上可以達到很高的解析度，其對vernier delay line的線性度要求卻不易達到，所佔的面積也太大。在 [ChRo01] 中，為改善此一線性度問題，提出了一個component invariant的vernier delay line架構，此方法的主要限制為較長的測試時間。

[YaSo00]提出一個以Hilbert transform為基礎的PLL jitter量測方法並在[Yaso00+]中以商業用的PowerPC™進行驗證。和傳統的jitter量測方法相比，此技術可以在較短的測試時間內，得到相當準確的結果。然而，由於其主要目的在減低ATE的複雜度，並不適合DfT應用。在 [YaSo02] 中，作者更進一步以 [YaSo00、YaSo00+、YaSo01] 所發展的方法為基礎，發展出可以推導出接收

器jitter tolerance的技術。然而，其最大的問題仍然在於難以在晶片上實現。

在[ChCh01]所提出的jitter量測方法是將含有jitter的待測信號當作ADC的時脈信號去對一jitter-free的弦波信號取樣。由ADC輸出值的分佈可求出jitter的分佈。此方法雖然大幅簡化了jitter測試的問題，由於須要弦波信號及高解析度的ADC，也不適合直接用於DfT的應用。

在 [LaCa01、CaLa02]，作者提出以passive filter來模擬資料傳送媒介所造成的DJ。雖然可以有效降低測試成本，卻仍然不適用於未來具有大量high-speed serial port的IC之生產測試。在 [CaWe02] 則提出了適合 jitter measurement與 jitter tolerance measurement的ATE架構。其中，jitter measurement的電路並不適合DfT，jitter injection的方法則為本子計劃中 jitter tolerance measurement技術的基礎。

六、研究方法

本子計劃的目標為發展用於測試gigabit transceiver的jitter與jitter tolerance規格的

DfT技術。為符合實際運用的系統，我們將以2.125 Gb/s的Fiber Channel標準所規定的 jitter specification與最近的產學界研發成果作為訂定電路規格的依據。

在架構的設計方面，在研究與分析Fiber Channel 的 jitter measurement 與 jitter tolerance measurement的規格與相關的研究成果後，我們將進行系統階層的模擬，藉此決定各個子電路的規格與標準，接著便可進行電路的研究與晶片的設計。

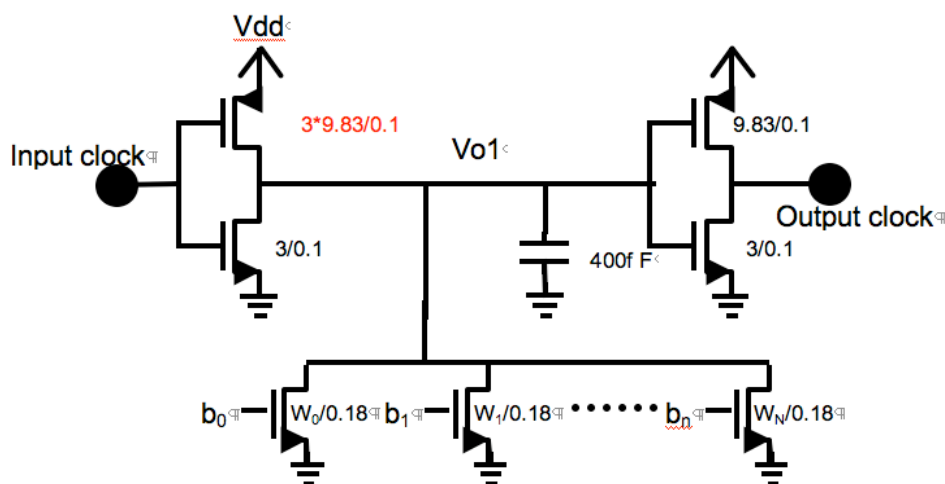
在電路設計方面，我們將首先了解先進的CMOS製程的元件特性，接著將依據各個電路的功能並參考過去的相關研究成果，設計符合本子計劃需求的電路。除了以電腦模擬所設計電路外，各個子電路都將透過晶片製作做更一步的功能驗證。

最後，我們將整合經過晶片製作驗證的各個子電路，進行系統階層的模擬，並希望能以晶片製作的方式加以驗證。

七、結果與討論

1. Jitter injection

為了測試高速序列收發器的接收端的抖動容忍力 (jitter tolerance)，我們發展了一個jitter injection的電路，其電路架構如圖四



圖四 Jitter injection 電路

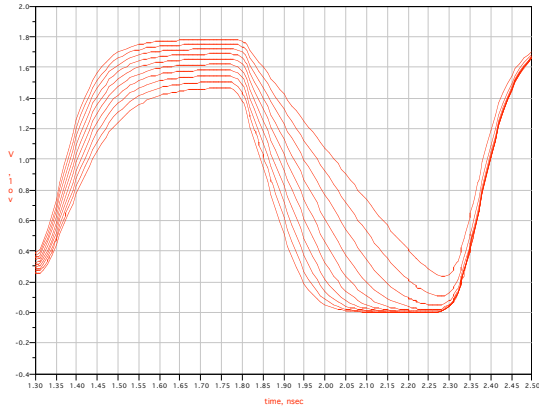
所示。此電路可以用來產生使用者所定義的 jitter profile，例如：random jitter、periodic jitter、或兩者的組合。

圖四的電路其原理是藉由 amplitude modulation造成 phase modulation。Amplitude modulation是靠接在第一個 inverter 輸出的 pull-down NMOS 來達成。藉由接通不同數目 (或 strength) 的 pull-down 電晶體，吾人可以控制第一個 inverter 的最大輸出電壓 (亦即 amplitude modulation)，當此 inverter 的電壓下降時其通過 threshold voltage 的時間點便會受最大電壓值影響 (phase modulation)。

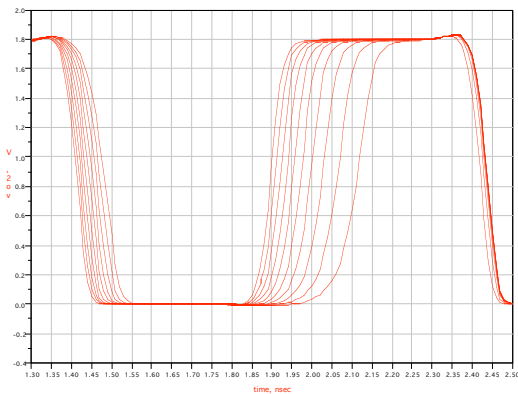
為了提高 phase modulation 的量，我們在第一個 inverter 的輸出端加入一個固定電容。因為我們並不需要改變第一個 inverter 上升緣的 cross point，我們將其 PMOS 的尺寸加大以減少所加入的 capacitance 對上升緣造成的影響。

圖五所示為改變 pull-down NMOS 的 strength 時第一個 inverter 的輸出波形。可以明顯的看出 amplitude modulation 與對下降緣所造成的 phase modulation。此外，由於加強 PMOS 的原因，上升緣的斜率較不受 pull-down NMOS 的影響。

圖六則為第二個inverter的輸出，可以明顯的看出加入jitter的效應。



圖五 Output of the first inverter



圖六 Clock signal with injected jitter

在實際使用時，吾人係藉由改變 pull-down NMOS的total strength來控制jitter

的大小。在經過分析後，我們發現jitter的大小與NMOS的strength並非呈線性的關係，我們目前正在尋求實現此非線性關係反函數的最佳方法。

2. Jitter measurement

圖七(左)為我們所設計的jitter量測電路的基本原理，其中S為待測的jittery signal，而S'則是將S延遲d所得到。假設S的jitter為一常態分佈的隨機變數(以J表示)，則B將會有50%的機會領先A'。如圖七右顯示，B領先A'的機率(以p表示)與d的關係如下：

$$p = F_X \left(\frac{d - J_{RMS}}{T} \right)$$

其中 F_X 為 normalized 的 Gaussian CDF (cumulative distribution function)。在實際運用時，由於d的準確值很難得到，因此我們無法用上式來求jitter的RMS值(J_{RMS})。

為了避免必須準確量測d的值，我們將待測的信號延遲 d_1 與 d_2 並分別求出相對應的 p_1 與 p_2 值(圖八)，經過化簡可以由下式得到 J_{RMS} ：

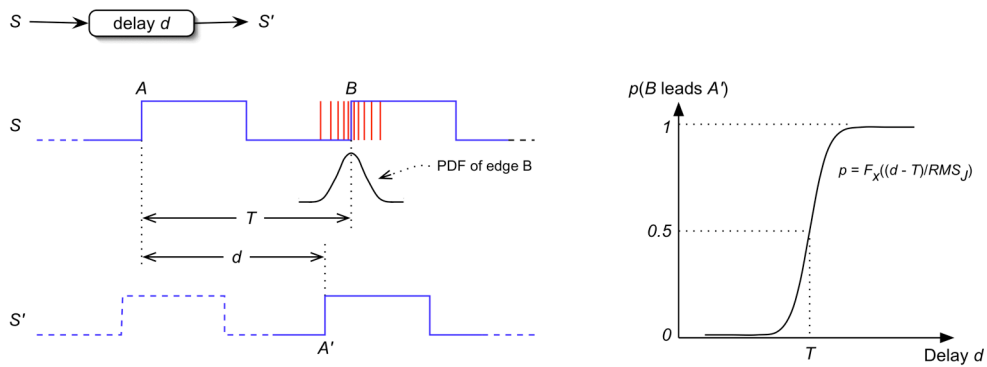
$$J_{RMS} = \frac{p_1 - p_2}{x_1 - x_2}$$

其中

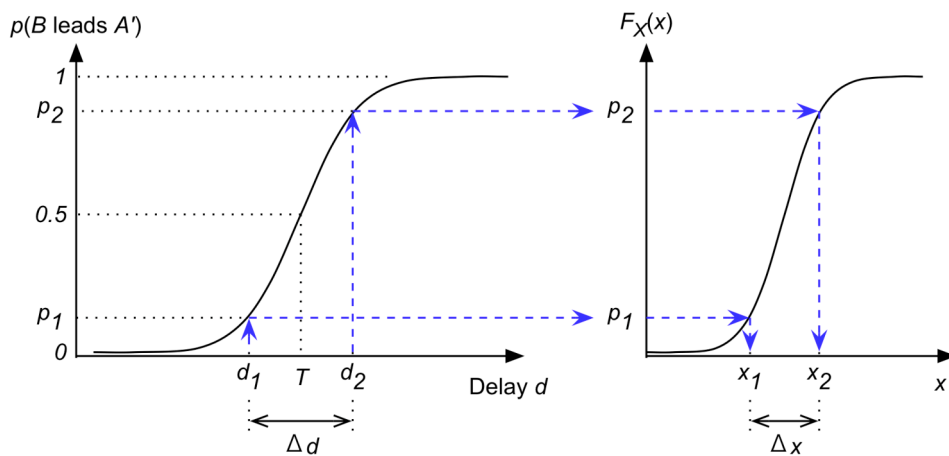
$$x_1 = F_X^{-1}(p_1)$$

$$x_2 = F_X^{-1}(p_2)$$

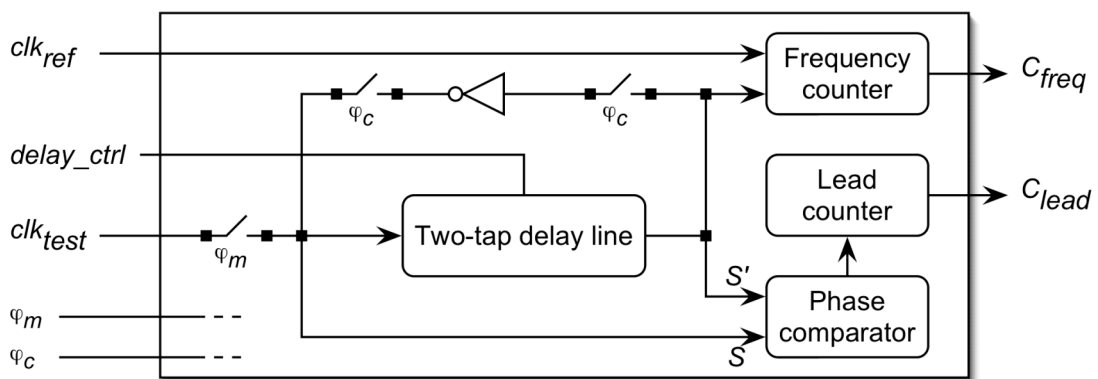
如此我們便可避免必須準確量測d值的問題。



圖七 Jitter量測電路原理



圖八 J_{RMS} 的求法

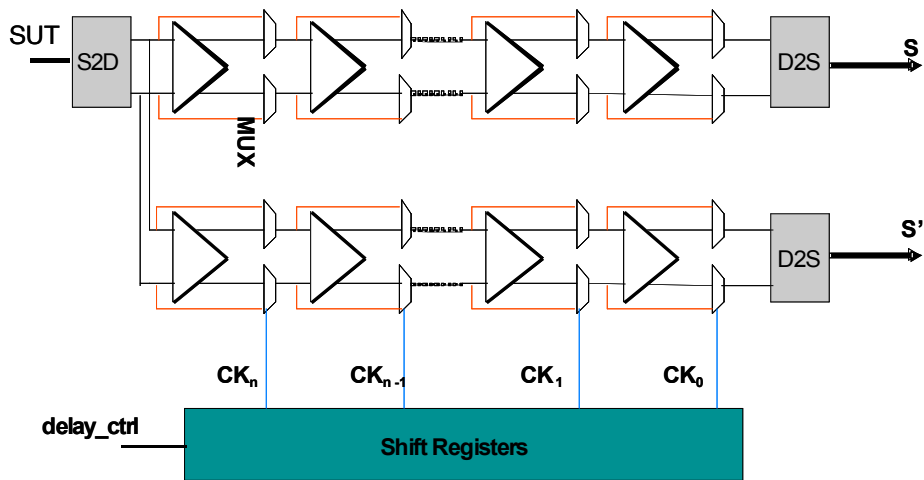


圖九 Jitter量測電路架構

圖九所示為實現我們的 J_{RMS} 量測方法的電路架構,除了可以產生兩個不同延遲量的two-tap delay line、決定B與 A' 先後關係的phase comparator與幫助記錄 p_1 與 p_2 的lead

counter外,我們還加入了frequency counter、inverter與一些開關來量測 d_1-d_2 的值。

此技術碰到最大的挑戰為如何在製程變



圖十 新的延遲線架構

異存在時， d_1 與 d_2 的值仍能在設計值的容許範圍內，為了解決此一問題，我們發展了如圖十所示的延遲線架構。

與圖九的架構相比，新的架構在S與S'兩條路徑皆加入延遲線，目的是為了容忍30%的延遲線飄移。同時，為了增加對噪訊的容忍力，延遲單元採用differential的架構。在實際使用時，適當的延遲線組態被存在shift register中，使得上下兩條延遲路徑的差值符合需求。

八、計畫成果自評

第二年到報告撰寫之時，我們已完成jitter injection的電路設計，目前正在進行電路模擬以確定各個參數。

在jitter measurement方面，所發展的新延遲線架構已經完成，現在正在進行下線的準備。

論文發表狀況如下：

- J. J. Huang, and J. L. Huang, “An Infrastructure IP for On-Chip Clock Jitter Measurement,” *International Conference on Computer Design*, Oct.

2004.

- J. L. Huang, “Random Jitter Testing Using Low Tap-Count Delay Lines,” submitted to Asian Test Symposium, 2005.

參考文獻

- [Ca00] Y. Cai et al., “Digital Serial Communication Device Testing and Its Implication on Automatic Test Equipment Architecture,” *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaLa02] Y. Cai, B. Laquai, and K. Luehman, “Jitter Testing for Gigabit Serial Communication Transceivers,” *IEEE Design & Test of Computers*, pp. 66-74, January 2002.
- [CaWa00] Y. Cai, T. P. Warwick, S. G. Rane, and E. Masserrat, “Digital Serial Communication Device Testing and Its implications on Automatic Test Equipment Architecture,” *Proc. International Test Conference*, pp. 600-609, 2000.
- [CaWe00] Y. Cai, S. A. Werner, G. J. Zhang, M. J.

- Olsen, and R. D. Brink, "Jitter Testing for Multi-Gigabit Backplane SerDes—Techniques to Decompose and Combine Various Types of Jitter," *Proc. International Test Conference*, pp. 700-709, 2002.
- [ChCh01] S. Cherubal, and A. Chatterjee, "A High-Resolution Jitter Measurement Technique Using ADC Sampling," *International Test Conference*, pp. 838-847, 2001.
- [ChRo01] A. H. Chan, and G. W. Roberts, "A Synthesizable, Fast and High-Resolution Timing Measurement Device Using a Component-Invariant Vernier Delay Line," *Proc. International Test Conference*, pp. 868-867, 2001.
- [DaRo98] W. Dalal, and D. Rosenthal, "Measuring Jitter of High Speed Data Channels Using Undersampling Techniques," *Proc. International Test Conference*, pp. 814-818, 1998.
- [DuSz00] P. Dudek, S. Szezepanski, and J. V. Hatfield, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line," *IEEE Transactions on Solid-State Circuits*, vol. 35, no. 2, pp. 240-247, February, 2000.
- [HuHu03] J. J. Huang, and J. L. Huang, "A Low-Cost Jitter Measurement Technique for BIST Applications," to appear in *Asian Test Symposium*, November 2003.
- [ITRS99] "High Frequency Serial Communication: Technology Requirement," International Technology Roadmap for Semiconductor, Test and Test Equipment Section, pp. 64-65, 1999.
- [LaCa01] B. Laquai, and Y. Cai, "Testing Gigabit Multilane SerDes Interfaces with Passive Jitter Injection Filters," *Proc. International Test Conference*, pp. 297-304, 2001.
- [SuRo99] S. Sunter, and A. Roy, "BIST for Phase-Locked Loops in Digital Applications," *Proc. International Test Conference*, pp. 532-540, 1999.
- [Ya02] T. J. Yamaguchi, "Multi-GHz Interface Devices Should be Tested Using External Test Resources," *Proc. International Test Conference*, pp. 1229, 2002.
- [YaSo00] T. Yamaguchi, M. Soma, M. Ishida, T. Watanabe, and T. Watanabe, "Extraction of Peak-to-Peak and RMS Jitter Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, pp. 395-402, 2000.
- [YaSo00+] T. Yamaguchi, M. Soma, D. Halter, J. Nessen, R. Raina, M. Ishida, and T. Watanabe, "Jitter Measurements of a PowerPCTM Microprocessor using the Analytic Signal Method," *International Test Conference*, pp. 955-964, 2000.
- [YaSo01] T. J. Yamaguchi, M. Soma, , J. Nissen, D. Halter, and R. Raina, "Testing Clock Distribution Circuits Using an Analytic Signal Method," *Proc. IEEE VLSI Test Symposium*, 2001.
- [YaSo02] T. J. Yamaguchi, M. Soma, and M. Ishida, "A New Method for Testing Jitter Tolerance of SerDes Devices Using Sinusoidal Jitter," *Proc. International Test Conference*, pp. 717-725, 2002.
- [YeGu99] A.-L. Yee, R. Gu, H.-C. Lin, A. Tsong, R. Prentice, and J. Tran, "An Integrated 1-2.5 Gbps Low Jitter CMOS Transceiver with Built in Self Test Capability," *Symposium on VLSI Circuits*, pp. 45-46, 1999.