

多媒體與多重服務之數位用戶迴路通訊系統 總計劃
多媒體與多重服務之數位用戶迴路通訊系統

1

行政院國家科學委員會專題研究計畫成果報告

多媒體與多重服務之數位用戶迴路通訊系統

xDSL Multimedia & Multi-service Communication System

計畫編號：NSC 90-2218-E-002-037

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

主持人：汪重光 國立臺灣大學電機工程學系暨研究所

共同主持：闕志達、吳安宇、廖婉君 國立臺灣大學電機工程學系暨研究所

周世傑、吳曉光 國立中央大學電機工程學系暨研究所

蘇朝琴 國立交通大學電子工程學系暨研究所

中文摘要

本 3C 整合計劃將以網路電話、網路代理伺服器、高品質即時多媒體服務為應用，開發高速 xDSL 數據傳收機系統晶片、多媒體服務及多重服務技及先進網路協定，使得 xDSL 傳輸系統有能力去保證資料傳輸的服務品質(QoS)。在系統晶片開發方面有非對稱超高速數位用戶迴路分散式多載波調變傳收機，技術內容包括混合訊號處理、多載波調變引擎、內嵌式數位處理單元、測試及為測試而設計的系統晶片等。

Abstract

The first goal of this 3C group project is to explore xDSL transceiver using SoC techniques. The topics include technologies of xDSL, mixed signal processing, VLSI circuits, DMT engine, embedded DSP core, mixed signal circuits testing, SoC testing and design for test (DFT). Second, advanced technologies for broadband services will be explored. The specific applications include VoIP, web proxy and real-time multimedia services. In addition, we also aim to explore advance protocol for mentioned services and quality of service (QoS).

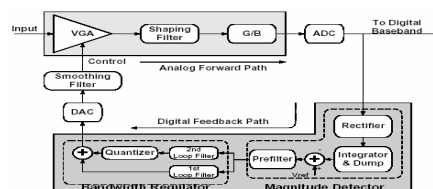
INTRODUCTION

子計劃一：DMT 傳收機系統架構及類比前端電路設計 [1]

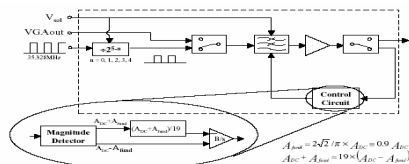
主持人：汪重光 國立臺灣大學電機系

參與人員：章豪順、周家驊、張景祺

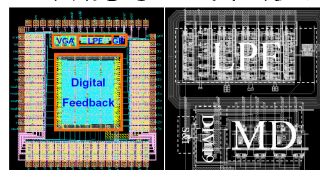
第一年度是設計出一 DMT 調變的數位用戶端迴路傳收機超大型積體電路架構與規格，第二年度是發展數位用戶端迴路類比前端電路設計技術，包括可調頻寬濾波器(Programmable Filter)與自動增益控制子系統(AGC)其架構如圖(1-1)所示，包含一個可變增益放大器(VGA)、可調頻寬濾波器(Programmable Filter)及增益輸出級(Gain & Buffer)，而迴溯數位電路用於偵測振幅的變化並調整 VGA 的增益。可調頻寬濾波器於圖(1-2)，包含一四階 Chebyshev 低通濾波器，其頻寬範圍為 1.104×2^n MHz。圖(1-3)則分別為 AGC 及 Programmable Filter 佈局的結果，圖(1-4)則為佈局後迴路的模擬結果。



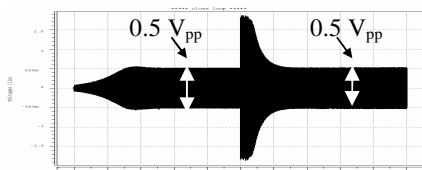
圖(1-1) 雙迴路混合訊號自動增益控制器



圖(1-2) 可調頻寬濾波器與調整機制電路



圖(1-3) AGC 與 Programmable Filter 佈局圖

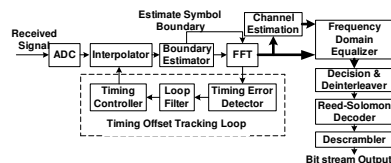


圖(1-4) AGC 的迴路模擬結果

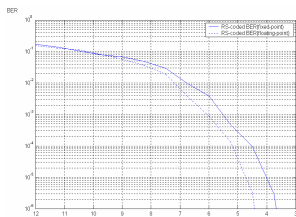
子計劃二：高速數位用戶迴路 DMT 基頻處理電路架構設計 [2]

主持人：關志達 國立臺灣大學電機系
參與人員：張喬智、林晏生

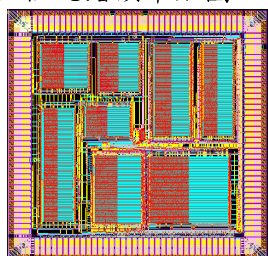
於第一年度期間，已設計出一離散多音調(DMT)超高速數位用戶迴路收發機架構，考量通道響應及各式干擾與雜訊，例如：高斯雜訊(AWGN)，近端交談雜訊(NEXT)，遠端交談雜訊(FEXT)，無線電波干擾(RFI)及突波雜訊(Impulse noise)。第二年度是發展此接收機架構的數位積體電路設計。其中接收機的架構如圖(2-1)所示，包含符元邊界偵測，取樣頻率誤差估測與補償，快速傅利葉轉換，通道估測與等化等模組。在經錯誤更正碼解碼後的位元錯誤率如圖(2-2)所示。此積體電路設計以 gate-level 方式完成模擬驗證，並經台灣積體電路公司 0.35 μm 1P4M 製程實現，目前正在量測中，晶片佈局圖見圖(2-3)。



圖(2-1) 接收機架構圖



圖(2-2) 位元錯誤率如圖



圖(2-3) 晶片佈局圖

子計劃三：用於高數位用戶迴路之 DM 數位

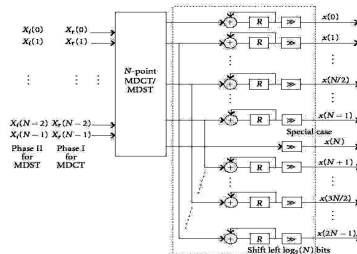
IP 模組設計及實現 [3]

主持人：吳安宇 國立台灣大學電機系

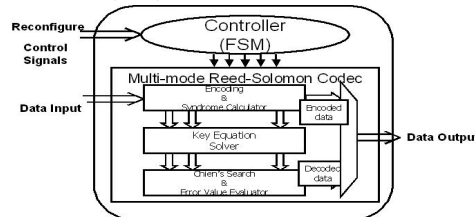
參與人員：許槐益、駱彥宏、溫青樺、

吳宗翰、陳建宏、王信中

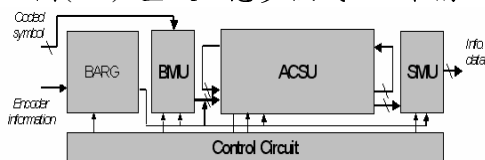
本計畫為三年計畫之第二年度。乃延續第一年度之數位 IP 模組之設計。於第二年度中，所發展出的 IFFT 的架構如圖(3-1)所示，包含了近似離散餘弦轉換(MDCT)及近似離散正弦轉換(MDST)。Reed Solomon 的架構如圖(3-2)所示，包含可規畫之 FSM 控制器及多模式 RS codec 兩部份，可變的碼字(codeword)為 $0 \leq n \leq 255$ ，其錯誤更正能力為 $0 \leq t \leq 8$ 。在 TCM 迴旋碼解碼器如圖(3-3)所示，此 TCM 解碼器中，加入 BARG(BM-to-ACS Routing Generator)模組以改變傳統 BMU 與 ACS 間控制電路，以達到可規畫式的目的。



圖(3-1) IFFT 處理架構圖



圖(3-2) 重設組態多模式 RS 架構



圖(3-3) 可規畫式唯特比解碼器架構

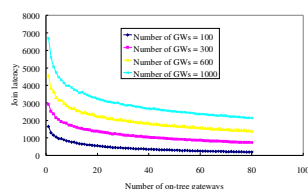
子計劃四：數位用戶迴路上網路電話與代理伺服器服務設計 [4]

主持人：廖婉君 國立臺灣大學電機系

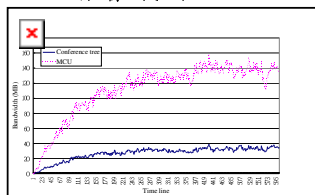
參與人員：賴俊如、詹勝淵、蔡光凱、

郭文興、曹正霖

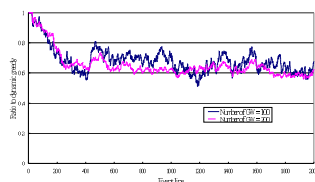
本計畫以設計數位用戶迴路上網路電話與網路代理伺服器為目標，為三年計畫之第二年度。於第一年度，已針對 xDSL 網路特性設計出 TCP Formosa，並將之實作測試於我們所建立的數位用戶迴路 testbed 上。第二年度是發展 xDSL 網路上之網路會議技術，改良現有集中式管理技術缺點，提出架構在網路應用層之會議樹 (Application Layer Conference Tree) 演算法，並以 Megaco/H. 248 實作之。圖(4-1)是在不同的 Gateway 數下，使用者加入會議所需時間之模擬。圖(4-2)則是會議樹法與集中管理法所需的頻寬比較；圖(4-3)則是與另一演算法之 Cost Effective 比較。



圖(4-1) 應用層會議樹之加入延遲



圖(4-2) 頻寬使用率之比較



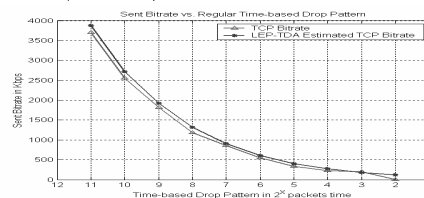
圖(4-3) Cost Effectiveness

子計劃五：xDSL 網路上支援可調式服務品質保證的多重解析視訊應用 [5]

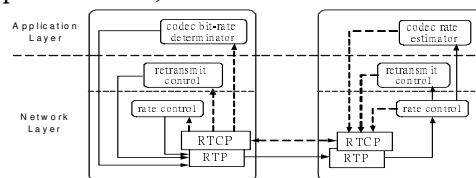
主持人：吳曉光 國立中央大學資工系
參與人員：陳政蓁

在第二年成果中，我們主要著重在 QoS 的研究，由多個層次考量並預期達到服務品質的保證，RTP 的傳輸控制一直是我們研究的方向，經由 ns2 模擬的結果，可得知 jitter 的應用可以達到視訊傳輸品質的提昇與網路效能的改善，在實作方面，我們

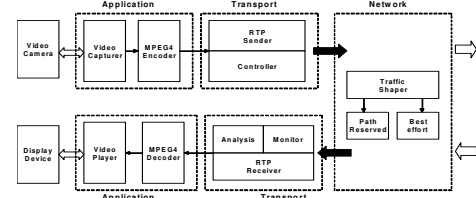
做了即時視訊串流的流程的規畫、系統的架構、與程式的撰寫，以期將研究的成果整合到實作中。成果計有兩篇研究論文及視訊串流的實做。以時間基礎模型用做 TCP-Friendly 速率估計的新方式 (A New Approach Using Time-Based Model for TCP-Friendly Rate Estimation)。在這篇論文裡，提出根據類似 RTP/RTCP 的接收端對封包的 loss-ratio 及 jitter-ratio 等採樣與使用時間基礎的 TCP 模型以進行 TCP-friendly 速率估計。下圖為利用 ns2 模擬的部份結果：



在即時多媒體系統中以 loss-jitter 做為速率調整之應用 (The loss-jitter Based Adjustment for Multimedia Applications)



下圖為視訊串流的系統架構圖。

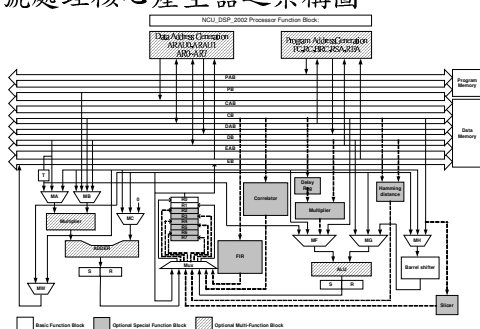


子計劃六：XDSL 可參數化數位信號處理核心 [6]

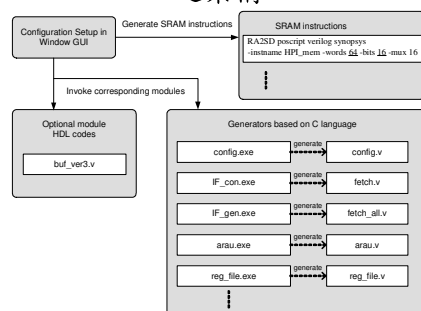
主持人：周世傑 國立中央大學電機系
參與人員：林茂青、曹亞嵐、蔡孟宏、
譚明烜、鄧君賢、陳威豪、程文聖

本計畫為三年計畫之第二年度。本計畫希望在三年內完成適用於 XDSL 的 DSP 核心設計、雛形建立及晶片製作。內嵌式數位信號處理器為目前系統晶片內最重要之矽智慧財產模組。在第一年的計畫中我們已經完成了內嵌式數位信號處理器核心的架構，並且已經完成第一版的晶片設計。在第二年的計畫中我們除了完成第一版的

晶片製作並將架構精進及參數化架構擴增外,更完成了指令集架構(Instruction Set Architecture ISA)模型以及對 VDSL 實現之評估。並且我們設計了一個圖形介面(Graphic User Interface GUI)的 DSP Core 產生器(Generator),作為未來應用之絕佳利器。VDSL 可參數化數位信號處理核心之架構於圖(6-1)。圖(6-2)是可參數化數位信號處理核心產生器之架構圖。



圖(6-1) VDSL 可參數化數位信號處理核心之架構



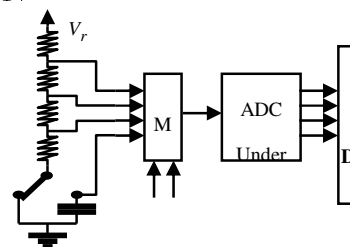
圖(6-2) 可參數化數位信號處理核心產生器之架構圖

子計劃七：xDSL 混合信號單晶片系統之測試與可測試設計 [7]

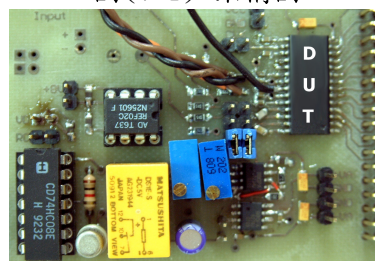
主持人：蘇朝琴 國立中央大學電機系
參與人員：陳鴻愷

ADC 自我校正的方法是為了克服系統內建自我測試電路中,因製程飄移的誤差所提出解決的方法。利用在同一晶片上的數位訊號處理器或是微處理器,來進行測試結果的資料分析。所提出的方法只需藉由四個電阻與一個電容,純被動元件即可。這是非常容易控制與分析的。我們提出了兩種方法,一個是統計的方法,另一種為曲線比較的方式。利用離散元件來實際組裝硬體電路,模擬內建自我測試電路

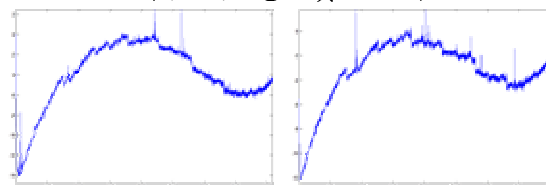
的類比數位轉換器。實驗結果驗證了此方法的可能性。



圖(7-1) 架構圖



圖(7-2) 電路實體照片



圖(7-3) 量測之 ADC INL 誤差圖

REFERENCE

- [1] NSC Program Report, *System Architecture and AFE Designs of DMT Transceiver*, NSC-90-2218-E-002-038.
- [2] NSC Program Report, *Design of DMT Baseband Processing Architecture for High-speed DSL*, NSC-90-2218-E-002-039.
- [3] NSC Program Report, *Design and Implementation of Digital IP for DMT Engine in High-Speed DSL Applications*, NSC-90-2218-E-002-40.
- [4] NSC Program Report, *Voice over IP (VoIP) and Web proxy over xDSL*, NSC-90-2218-E-002-041.
- [5] NSC Program Report, *Adaptive QoP/QoS Support for Multiresolution Video Application over xDSL*, NSC-90-2218-E-008-022.
- [6] NSC Program Report, *Parameterized DSP Core for xDSL*, NSC-90-2218-E-008-023.
- [7] NSC Program Report, *xDSL Mixed Signal System on Chip Testing and Design for Testability*, NSC-90-2218-E-008-024.