

行政院國家科學委員會專題研究計畫執行報告

數位式多媒體無線接收機之中頻與基頻類比前級

超大型積體電路架構設計與晶片製作(I)

VLSI Architecture Design and Implementation of IF and Baseband Analog Front End for Digital Multimedia Wireless Receiver (I)

計畫編號：NSC 89-2215-E002-025

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

主持人：汪重光 執行機構及單位名稱：國立台灣大學電機系

一、中文摘要

本計劃之類比前級主要應用於無線區域網路，工作於 ISM band 射頻為 2.4GHz，中頻為 280MHz，基頻為 17.6MHz。本報告為子計劃的第一年報告，主要計劃之工作要項為中至基頻子系統的研究。包含限制放大器，接收信號強度指示器，中頻至基頻之降頻轉換及自動增益控制器的研究，以及低壓低功率高速類比電路設計的研究。關於限制放大器，架構及線路設計都在本年完成，包含寬頻增益級，偏移電壓消除器及帶通濾波器。關於接收信號強度指示器方面，目標是其架構，實現方式及電路設計的完成。固定強度的限制放大器，供應 80dB 以上的增益，與 290MHz 的頻寬。接收信號強度指示器則有 40dB 的工作範圍，與 3dB 的誤差。電路採用 0.35 μm CMOS 標準製程。

關鍵詞：限制放大器，接收信號強度指示器，寬頻放大器，帶通濾波器。

Abstract

This report proposes an analog front-end VLSI architecture that deals with IF signal in wireless LAN system. The frequencies of RF, IF and baseband chosen are 2.4GHz, 280MHz and 17.6MHz respectively. Low-power high-speed analog front-end architectures and circuits of limiting amplifier, RSSI (Received Signal Strength Indicator), and IF/Baseband down-converter were investigated and designed in the first period. Using 0.35 μm CMOS standard technology, the limiting amplifier which is used to provide constant magnitude achieves 80dB gain with 290MHz bandwidth, and the RSSI compasses 40dB dynamic range with 3dB error performance.

Keywords: limiting amplifier, received signal strength indicator, wideband amplifier, bandpass filter.

二、計畫緣由與目的

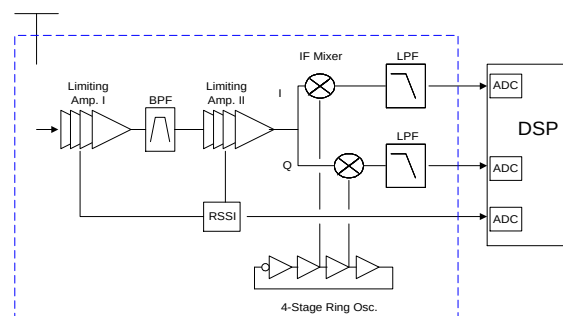
隨著寬頻通信與數位訊號處理技術快速成長，消費者已能享受到結合聲音、圖形、影像、及大量文字傳遞的多媒體通訊服務。諸如遠距教學，電子商務等。為提供更可靠、更便捷、與低成本的多媒

體傳輸服務，發展結合 3C (computer, communication, and consumer) 環境之高效能數位式多媒體無線接收機，將是一重要課題。

對於無線傳輸而言，有下列幾項重要特性需要考慮：低功率，少量元件，低成本，且須符合要求標準。本次計劃除了有效達成降頻轉換外，另一重要目標，為數位與類比電路之相容性，即以 SOC 為方向。本次報告為三年計劃之第一年成果報告。

三、研究方法與成果

圖一為整個接收器中，中頻/基頻類比前端的方塊圖。將 280MHz 中頻信號，降頻轉換為相差 90 度之 I-channel 及 Q-channel 之基頻信號。限制放大器接收前級(射頻/中頻)輸出之中頻信號，將信號限制在一固定之大小；接收信號強度指示器則監測出中頻原始信號的大小，輸出至基頻，指示信號的強度；最後利用二個相同的混波器，灌入相差 90 度之振盪信號，再透過低通濾波器，除去高頻諧波與雜訊，達成降頻。以下便分別敘述本年度的工作，限制放大器及接收信號強度指示器的設計及結果。



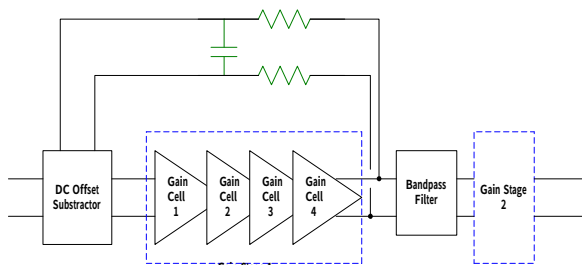
圖一 系統方塊圖

A. 限制放大器 (Limiting Amplifier)

為了後級類比數位轉換器設計上的考量，須將信號大小固定於一定範圍內。欲達成此目的，通常有兩種做法：限制放大器與自動增益控制器。自動增益控制器是一負回授結構，特點是具有較佳的線性度，輸出電壓的大小亦可透過設定電壓予以調整。但自動增益控制器需要較長的時間，才能得到固定的信號大小，此外，其動態範圍相對來說也比

較小。而限制放大器則接成開迴路方式，具有較大的動態範圍，較快速的反應時間，其線路較為簡單，所以功率的消耗也比較低。基本上，限制放大器為一多重放大級，將不同的輸入信號都放大至飽和的準位，亦即，當輸入信號大於(或小於)某臨界值時，輸出即為正飽和(或負飽和)。

圖二為限制放大器之方塊圖，其疊加二個獨立子電路；每個子電路由四個增益單元構成。二個子電路中間之帶通濾波器，其作用為降低雜訊之頻寬，濾去信號頻帶之外的雜訊。增益單元的個數，對功率消耗及增益頻寬乘積都有直接的影響，我們的目標是最低的功率散逸，以及各單元所提供之增益頻寬乘積最小。對二者作分析，可得最佳之單元數目。限制放大器主要的工作原理，乃為利用足夠大的增益，將輸入信號放大至飽和電壓，達成固定之信號振幅大小。由於每個單元間採直接耦合，若其中有直流偏移電壓產生，經過多級增益單元的放大，將破壞原有信號，所以在輸出端連接一電阻-電容網路，濾出直流成分之後，再送入增益單元前之減法器，將偏移電壓消去。



圖二 限制放大器方塊圖

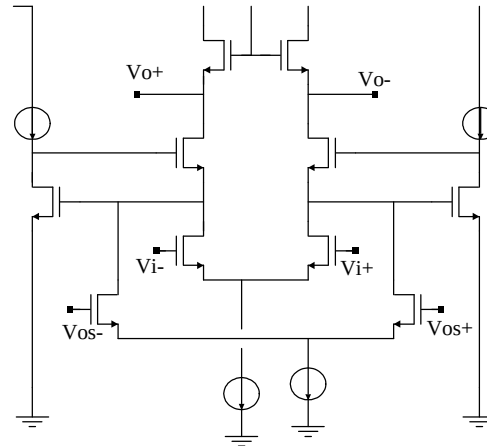
(a) 基本增益單元

基本增益單元為限制放大器之核心，提供足夠大的增益及頻寬使中頻信號能夠被放大到飽和。針對寬頻之要求，實作上已有數種方法，如使用並聯-並聯式反饋，以降低端點等效電阻，使主極點能被拉得較遠；或是使用電流來推動電路，以達到高速的響應。本報告所採用的電路如圖三所示，在使用二極體接法當電阻的源極耦合對中，因其本身的輸出電阻並不高，額外加入一組閘極接閘極之電晶體，此組電晶體會產生一個零點，若經適當調整，則可使頻率響應產生尖峰，而提高頻寬。可證明此法，較提升電流以增加頻寬有更好的效果。經由電阻-電容網路，在四級串接輸出端取出之直流信號，送入減法器之輸入，以消去直流偏移電壓。圖四為單一增益單元之頻率響應，增益為 10 dB，頻寬為 1.4 GHz。圖五為四級增益單元組成之子電路之頻率響應，增益為 40 dB，頻寬為 340 MHz。

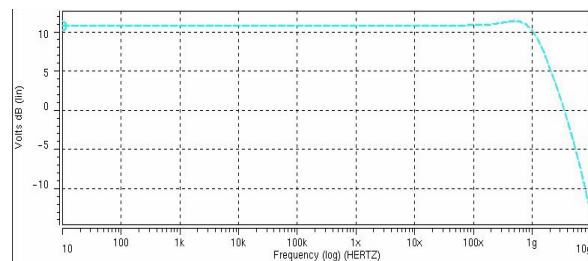
(b) 帶通濾波器

在限制放大器的二級子電路中間，我們插入一帶通濾波器，可消除信號頻帶以外的雜訊。此處我們將注意力放在低電壓連續時間類比式濾波器。設計上，我們可先由轉移函數，導出單端的電容-電感梯

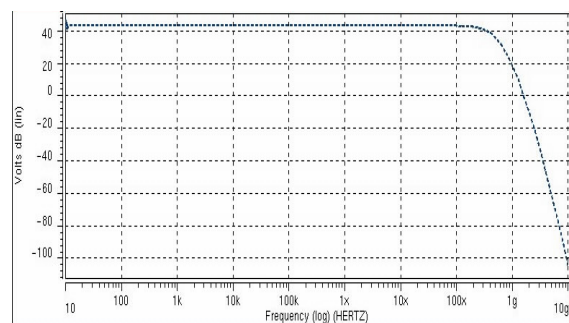
狀結構，此種結構的好處，是對元件的變異較不敏感，設計也容易。之後再將這些被動元件組成的模型加以轉換，取代直接使用電感，例如使用迴旋器的主動元件實現法，連接四個背對背的迴旋器，



圖三 增益單元電路(含減法器)



圖四 單一增益單元之頻率響應



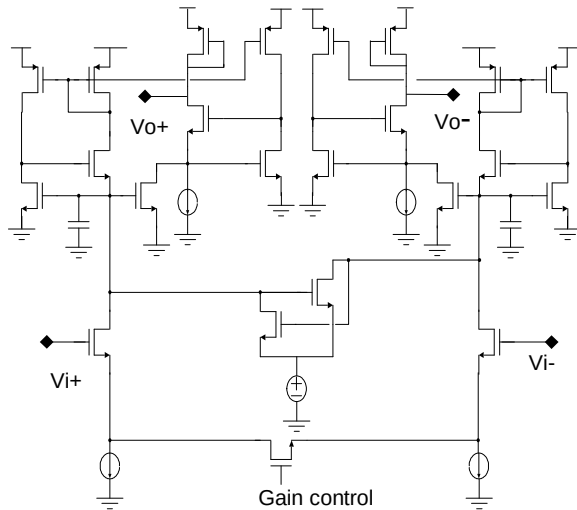
圖五 四級增益單元之頻率響應

再加上電容，即可等效達成電感之作用。

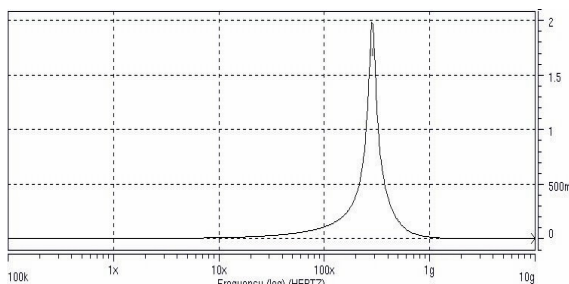
在濾波器的電路實現上，有許多做法，諸如，轉導-電容式，以及電晶體-電容式濾波器等，兩者都可利用積分器加以合成。對轉導-電容式而言，由於其不含反饋路徑，在高頻操作時，會比電晶體-電容式有較小的相位偏移，但也因為開迴路的特性，輸入端無法近似虛接地，因而大的信號將導致濾波器非線性的效應更加明顯，且信號的大小將影響濾波器的頻率響應。相反地，對電晶體-電容式而言，輸入端的虛接地特性，將使得寄生電容的效應較不明顯，但因其使用操作放大器為基本的結構，會受限於元件的增益頻寬乘積，而造成相位誤差。若要改進此問題，需增加功率的消耗。簡言之，轉導-

電容濾波器消耗較少的功率,及較高頻操作的能力,但線性度較差;電晶體-電容式則相反。

另一種電路的實現法,為主動電感濾波器,如圖六,其特性為低損耗,高操作頻寬及較大的電感範圍,其主要是利用元件寄生電容的效應,實現電感。我們即採用此種電感的實現方式,達成帶通濾波器。其在主動電感的合成上,類似迴旋器-電容(Gyrator-C)構造,但電容所在位置則有所不同。



圖六 帶通濾波器電路

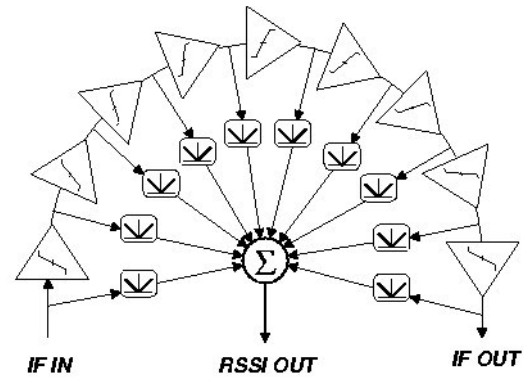


圖七 帶通濾波器頻率響應

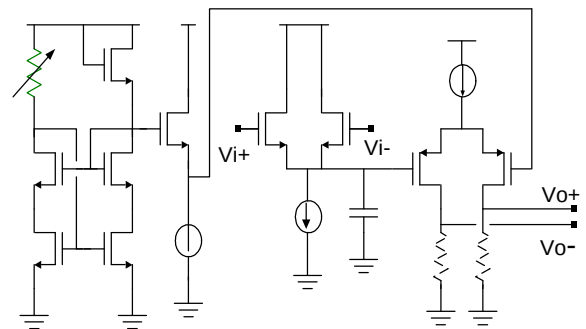
B、訊號強度指示器(Received Signal Strength Indicator)

因為功率的控制以及指向性天線選擇的需求,我們希望得知訊號強度的大小,此處我們使用接收訊號強度指示器,量測出中頻信號的大小,再將其送至基頻,以傳送至發射端指示其信之強度。由於輸入信號的動態範圍頗大,一般約為70~80分貝,若採用線性表示,範圍有限,故採用非線性的指數型,以較小的電壓表示大的輸入值。

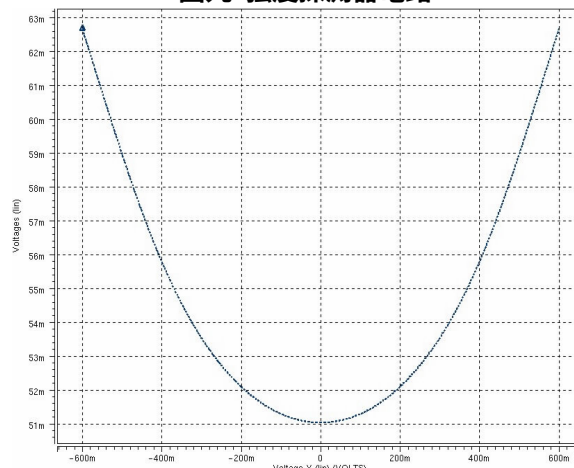
配合限制放大器線路的多級結構,我們使用連續累加法來實現電路,如圖八所示。只要使用少量額外的電路,即強度探測器,如圖九,將限制放大器之各增益單元的輸出分別取出,整流之後,將之加總,就可得到近似的片段線性的指數表示值。圖十為強度探測器之轉移曲線。



圖八 實現接收訊號強度指示器之連續累加法架構



圖九 強度探測器電路



圖十 強度探測器的轉移曲線

四、計畫成果自評

此次整個計劃,著眼於無線區域網路的應用,架構出數位式多媒體無線接收機。我們已完成了第一年的工作。即限制放大器,和接收訊號強度指示器的線路設計。

接下來,第二年工作要項,為限制放大器及接收訊號強度指示器之佈局設計和 post-layout 模擬。降頻部份,混波器及低通濾波器的線路設計及佈局設計,都應完成。最後一年的工作要項為整個晶片的實現及測試,及快速之自動增益控制放大器之架構研究及線路設計。包含 VGA, magnitude detection,並完成其 layout。最後,完成整個中頻

/基頻 類比前端之整合及模擬。

整體而言,此子計畫最主要目的是要在低電壓低功率高速度的要求下,發展中頻至基頻類比前級的線路設計技術,以配合射頻前端與基頻信號處理,達成高階整合之系統晶片。

五、參考資料

1. M. E. Van Valkenburg, Analog Filter Design, Pretice-Hall, 1982
2. B. Gilbert, Monolithic Logarithmic Amplifier, August, 1994
3. Kuang-Hu Huang, "Low-voltage low-power circuit and architecture design for CMOS receiver front-end"
4. Z. H. Wang, "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation", IEEE Trans. Circuits and Systems-I, vol.39, pp.456-462, June 1992.