

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫一：60 GHz CMOS 高效能無線前端積體電路(1/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-015-

執行期間：92 年 11 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳怡然

共同主持人：呂學士

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 6 月 1 日

行政院國家科學委員會國家型研究計畫期中報告

總計畫：高效能類比積體電路之研製

子計畫一：60 GHz CMOS 高效能無線前端積體電路(1/3)

計畫編號：NSC 92-2220-E-002-015

執行期限：92年11月1日至93年7月31日

計畫主持人：陳怡然 教授 台灣大學電子工程研究所

協同主持人：呂學士 教授 台灣大學電子工程研究所

一、大綱

近年來由於無線通訊帶給人們便利的生活，然而由於與日俱增的需求，頻寬已漸不敷使用，所以無線通訊逐漸移向更高頻率。自 90 年代中期起，互補式金氧半電晶體(CMOS Transistor)已被提出可應用在射頻積體電路的設計上，但目前許多高頻率的射頻積體電路設計，大多仍使用高成本的製程，例如：InP HEMT、GaAs pHEMT、III-V HBT...等，而互補式金氧半電晶體在射頻積體電路的研究與設計，大部分都集中在 10 GHz 以下的頻率範圍。因此，對於互補式金氧半電晶體是否可以應用在 60 GHz 這個不需要使用執照的工業、科學、醫學頻段(ISM band)或更高的頻率的收發器製作，是一個很值得研究的題目。因為互補式金氧半電晶體是目前被工業界使用最廣泛的半導體技術，它的製作成本及電路整合的優點仍是其他半導體技術所不及的。60 GHz 這個頻段的電路開發已經有不少研究機構投入，例如：Georgia Institute of Technology 與 IBM 合作使用 IBM 開發出來的 0.13 μm SiGe 8HP，來發展 60 GHz 無線區域網路的射頻積體電路； Berkeley Wireless Research Center 從 2001 年起成立 60 GHz Research Team。相信陸續會有更多研究機構會投入 60 GHz 無線網路積體電路研發。

二、採用方法

本計畫將致力於 60 GHz 收發器之前端建構元件的研究與設計，例如：壓控振盪器、低雜訊發大器、混波器及除頻器。本計畫預計三年完成。第一年：首

先對相關領域最近的技術發展趨勢做研究，搜尋及研讀文獻。再來對目前的矽製程做量測及特性分析，然後設計測試主動元件與下線，評估矽製程元件的性能極限，並用來驗證元件是否適合 60 GHz 的應用。第二年：因為晶圓代工廠沒有考慮到如此高頻的應用，所以需要利用前一年所下線的測試主動元件來驗證其模型。另外被動元件也是高頻電路不可或缺的一環，因此也需要下線、測試與作特性分析。之後開始積體電路的設計與模擬。第三年：根據模擬的結果做佈局、下線與量測，最後做積體電路修正與最佳化。

三、可能遭遇的困難

1. 目前 CIC 所提供的 0.18 μm CMOS 的 f_T 及 f_{max} 可能不足以應用到 60 GHz 的電路設計。
2. 缺乏量測儀器：量測是本計畫的一大難題，所需的儀器都非常昂貴。
3. 既有 Model 可能不敷本計畫使用，所以需要自己設計測試元件來加以驗證。

四、解決的途徑

1. 若元件性能不足，則必尋求更快的製程來設計電路。
2. 尋求國內研究機構，例如：國家奈米元件實驗室(NDL)、貴重儀器中心，或國外機構，例如：Georgia Institute of Technology，來協助量測。
3. 測試元件下線及量測的結果，可供本計畫電路設計之參考。

五、預期完成之工作項目:第一年

1. 文獻搜尋研讀與架構探討
2. 評估晶圓廠所提供的半導體技術，量測矽製程元件，並作特性分析。
3. 設計主動及被動測試元件，及下線。

六、第一年成果

1. 論文發表：

[1] Yi-Jan Emery Chen, Wei-Min Lance Kuo, Jongsoo Lee, John D. Cressler, Joy Laskar, and Greg Freeman, "A Low Power Ka-Band SiGe HBT VCO Using Line Inductors," *Digest, 2004 IEEE RFIC*, June 2004.

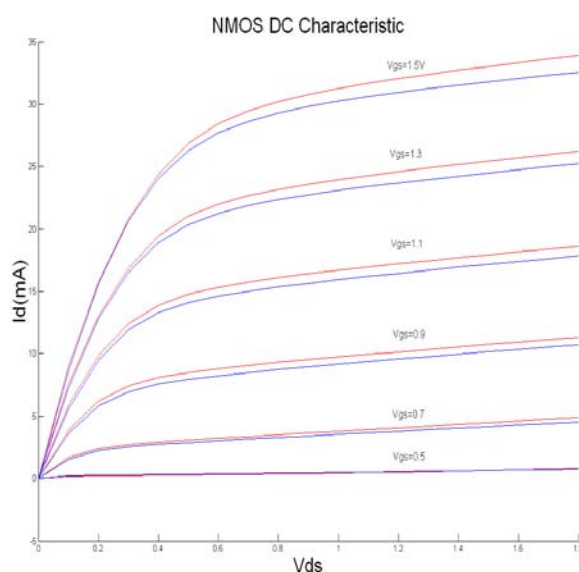
[2] Wei-Min Lance Kuo, John D. Cressler, Yi-Jan Emery Chen, Alvin J. Joseph, "A 21-GHz Inductor-less Quadrature Ring Oscillator Implemented in SiGe HBT Technology," *Proceeding, 2004 IEEE ISTDM*, 2004.

[3] Bhaskar Banerjee, Sunitha Venkataraman, Yuan Lu, Sebastien Nuttinck, Deukhyoun Heo, Yi-Jan Emery Chen, John D. Cressler, Joy Laskar, Greg Freeman, and Dave Ahlgren, "Cryogenic Performance of a 200 GHz SiGe HBT Technology," *Proceedings, 2003 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 171-173, September 2003.

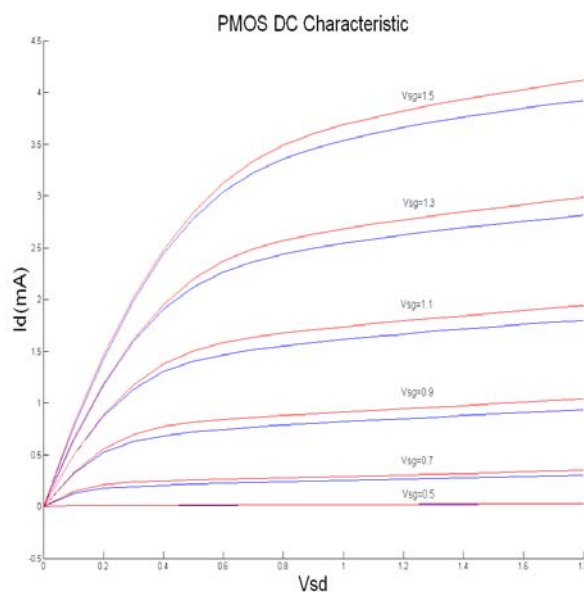
2. 主動元件下線：

由於CIC所提供library的有效範圍僅止於10 GHz，所以依本計畫需求，設計主動元件下線，並驗證其模型。圖(一)為NMOS的直流特性曲線圖，紅色曲線是模擬的結果，藍色曲線是量測的結果：其中NMOS的大小為： $W=5\mu\text{m}$ 、 $L=0.18\mu\text{m}$ 、finger=15，等效 $W=75\mu\text{m}$ 。直流偏壓的狀況為： V_{gs} 從0.5V到1.5V， V_{ds} 從0V到1.8V。經由比較圖(一)的模擬與結果曲線圖，可以得知曲線的形狀很類似，但量測結果均小於模擬結果，且觀察得到閘極與汲極的電壓逐漸升高時，電流大小的差異就越明顯。圖(二)為PMOS的直流特性曲線圖，紅色曲線是模擬的結果，藍色曲線是量測的結果，其中PMOS的大小為：

$W=5\mu\text{m}$ 、 $L=0.18\mu\text{m}$ 、finger=5，等效 $W=25\mu\text{m}$ 。直流偏壓的狀況為： V_g 從-0.5V到-1.5V， V_d 從0V到-1.8V。經由比較圖(二)的模擬與結果曲線圖，可以得知曲線的形狀跟NMOS的狀況也很類似，量測結果也均小於模擬結果，且觀察得到閘極與汲極的電壓逐漸升高時，同樣的電流大小的差異也就越明顯。



圖(一) NMOS 直流特性曲線圖

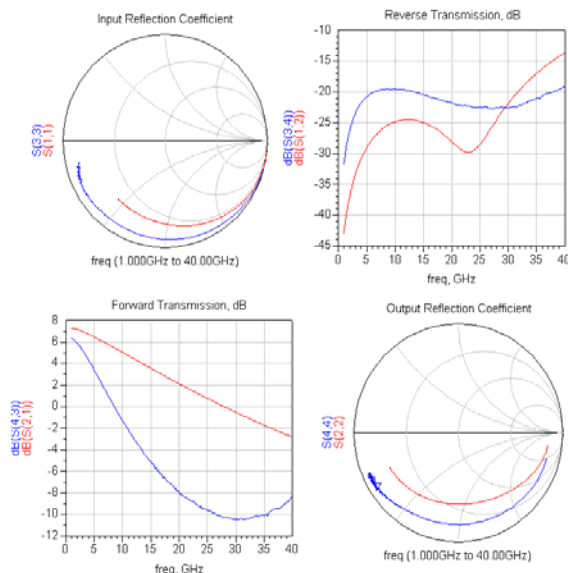


圖(二) PMOS 直流特性曲線圖

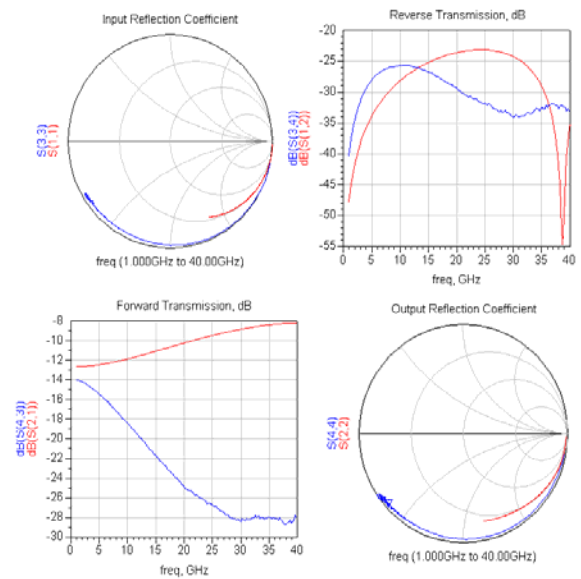
圖(三)為 NMOS 的高頻 S 參數曲線圖。紅色曲線是模擬的結果，藍色曲線是量測的結果，其中 NMOS 的大小為： $W=5\mu\text{m}$ 、 $L=0.18\mu\text{m}$ 、 $\text{finger}=15$ ，等效 $W=75\mu\text{m}$ 。直流偏壓的狀況是： $V_g=0.7\text{V}$ 、 $V_d=0.9\text{V}$ ，頻率從 $1\text{GHz} \sim 40\text{GHz}$ 。圖(四)為 PMOS 的高頻 S 參數曲線圖。紅色曲線是模擬的結果，藍色曲線是量測的結果，其中 PMOS 的大小為： $W=5\mu\text{m}$ 、 $L=0.18\mu\text{m}$ 、 $\text{finger}=5$ ，等效 $W=25\mu\text{m}$ 。直流偏壓的狀況是： $V_g=-0.7\text{V}$ 、 $V_d=-0.9\text{V}$ ，頻率從 $1\text{GHz} \sim 40\text{GHz}$ 。

觀察圖(三)，高頻 S 參數的模擬結果跟量測結果有明顯不同，只有在較低頻率的時候，模擬與量測結果才比較接近，尤其是 S_{21} 下降的速度比模擬結果更快，在 1GHz 相差 1dB ，但在 10GHz 的時候卻差了 6dB ，在 30GHz 時相差了快 10dB 。

觀察圖(四)，高頻 S 參數的模擬結果跟量測結果與 NMOS 一樣有明顯的不同，只有在較低頻率的時候，模擬與量測結果才比較接近，特別是 S_{21} 的曲線圖，顯示出 PMOS 高頻率時不適合用來當做放大器使用。



圖(三) NMOS 高頻 S 參數曲線圖

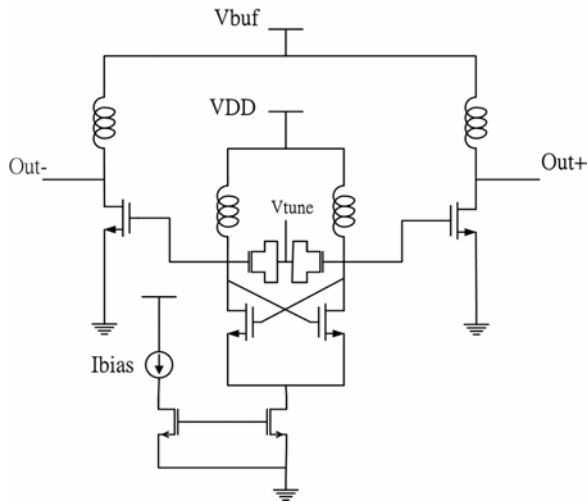


圖(四) PMOS 高頻 S 參數曲線圖

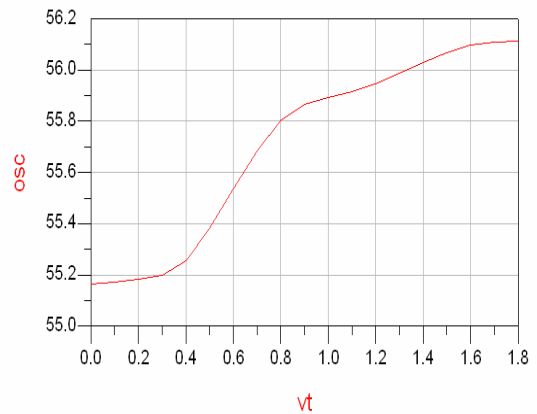
3. 60 GHz CMOS VCO 電路初步模擬結果：

在許多通信系統中，振盪器是重要的組成元件。圖(五)是一個 60GHz CMOS LC-tank VCO 的架構圖。其中 VCO core 部分採用 NMOS 交錯耦合差動對，以正回授的方式產生 negative resistance 用來補充因 LC tank 所產生的耗損；LC-tank 使用線型電感及 MOSCAP 當作 varactor，利用控制 MOSCAP 汲極端的電壓來改變 MOSCAP 電容達到調頻的效果。VCO 偏壓是使用 MOSFET 電流源提供 VCO core 穩定的電流源。輸出端與 VCO core 之間用一個以 common-source 放大器作為 output buffer，以避免負載效應。

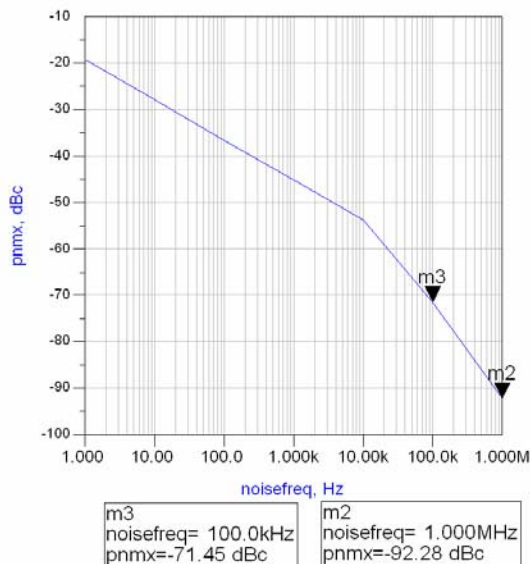
圖(六)是用此 CMOS LC-tank VCO phase noise 的模擬結果。經過軟體模擬後，得到 VCO 的相位雜訊在偏移中心頻率 1MHz 時，為 -92.82dBc/Hz ；在偏移中心頻率 100kHz 時，為 -71.45dBc/Hz 。VCO 的偏壓為： $V_{DD}=1.2\text{V}$ 、 $V_{buf}=1.2\text{V}$ 、 $V_{bias}=1.5\text{V}$ 、 $V_{tune}=0.8\text{V}$ 。



圖(五) CMOS LC-tank VCO 架構圖



圖(七) VCO 模擬 tuning range 結果圖



圖(六) VCO Phase noise 模擬結果圖

圖(七)為用此 CMOS LC-tank VCO 模擬調頻範圍的結果。調頻電壓為0 V 到 1.8 V，而頻率從 55.2 GHz 變動到 56.1 GHz，其中從0.4 V 到0.8 V 是線性調頻區。經由計算可以得到調頻參數在0.4V 到0.8V 之間約為1.375 GHz/V。表(一) 是此 CMOS LC-tank VCO 模擬特性的總整理。

中心頻率	55.8 GHz
相位雜訊	-92.28dBc/Hz@1MHz offset
調諧範圍	0.9 GHz
功率消耗	15.7 mW

表(一) VCO 初步模擬結果列表

七、參考文獻

- [1] Tiebout, M.; Wohlmuth, H.-D.; Simburger, W." A 1 V 51GHz fully-integrated VCO in 0.12 μm CMOS", ISSCC Digest of Technical Papers, vol. 1, pp. 300 -468, Feb. 2002
- [2] HongMo Wang," A 50 GHz VCO in 0.25 μm CMOS",ISSCC Digest of Technical Papers, vol. 44, pp. 372 -373, Feb. 2001
- [3] De Ranter, C.R.C.; Steyaert, M.S.J." A 0.25 μm CMOS 17 GHz VCO", ISSCC Digest of Technical Papers, vol. 44, pp. 370 -371, Feb. 2001