

中華民國九十四年八月二十二日

摘要

關鍵詞：彈地雜訊、時域反射量測、訊號完整度、差模對傳輸線、時域有限差分法

本計畫擬探討在多層構裝電路板中，差模對傳輸線的各種訊號完整度問題，包括訊號連接器的高頻反射雜訊、與鄰近差模對傳輸線的串音雜訊、以及電路板中高速數位訊號切換時，驅動電流急遽改變在系統的電源及接地環境中所造成的彈地雜訊(通常亦稱 ΔI 雜訊)等。

在彈地雜訊方面，本計劃將以二維時域有限差分法為基礎，建立簡化有效的模擬模式。進一步將推廣此模型處理高頻複雜效應，包含建立近似電路模型處理訊號線通過開槽切割的孤立電源層、結合積分方程式以考慮訊號經由平板邊緣的輻射與耦合效應、以及利用束線動差法分析訊號線轉折至傳輸線的輻射效應等。另外在實用問題方面，我們亦探討如何加入適當個數的去耦合電容以及選擇其擺設位置，來有效抑制彈地雜訊的影響。

在高速訊號的傳輸設計方面，吾人將爰用準靜態法，計算差模對傳輸線的傳播特性，包括單一差模對傳輸線的特性阻抗，以及兩個差模對傳輸線間的耦合串音雜訊。在傳輸線不連續結構部份，則將處理直角轉折及連接器結構，計算其電路散射參數，並進行適當的設計以抑制反射，改善訊號的轉接。

計畫中並將針對本問題設計量測結構，進行時域和頻域量測，探討彈地雜訊、串音雜訊與訊號連接器反射等效應，並與模擬結果比較，一方面驗證分析模式的正確性與適用性，另方面也研究可以適合未來更高速數位訊號的訊號走線與電源分佈系統設計。

Abstract

Keywords: Ground bounce, Time domain reflectometry, Signal integrity, Differential Signaling, Finite-difference time-domain method

In a period of three years, this project will investigate the various signal integrity (SI) issues caused by differential signaling in multi-layered structures, including the high frequency reflection by the discontinuity of connectors, the crosstalk due to the nearby transmission lines, and the ground bounce (also known as delta-I noise) caused by the drastically varying driver currents during the switching on and off of high-speed digital circuits in the multi-layered power and grounding environment.

Based on the Finite Difference Time Domain (FDTD) method, this project will develop a simplified efficient simulation model to predict the voltage drop developed between the power and ground planes due to the ground bounce. Furthermore, the model will be extended to take into account several other geometries having larger concern at higher frequencies. More specifically, for the signal over the slot-cut isolated power islands, the slot-induced ground bounce will be modeled by simplified equivalent capacitances and inductances. For the coupling and radiation at the finite plane boundaries, the field from the opening will be considered by integral equations and absorbed into the FDTD iteration schemes so as to investigate its influences on the signal integrity and electromagnetic interference issues. And for the bent-over to the transmission lines, the equivalent circuits will be constructed by matrix-penciled moments method. In addition, the placement of the decoupling capacitors to effectively reduce the ground bounce due to plate resonance will also be discussed.

On the differential signaling for high-speed design, the quasi-static approach will

be employed to calculate its propagation characteristics, such as the characteristic impedance and the crosstalk between two differential pairs. On the discontinuities, the right-angle bent and the connectors will be considered. The scattering matrices will be calculated by full wave simulation software and some new design will be exploited to minimize the reflection and achieve good transition.

This project will build some test structures to do the measurement by time domain reflectometry (TDR) and time domain transmission (TDT), and network analyzer in frequency domain. The measured data will be compared with the simulation results to verify the established analysis model and based on which, to exploit the signal routing and power distribution system design suitable for next generation digital electronics with higher switching speed in gigahertz range.

目錄

第一章 前言	8
1-1 簡介.....	8
1-2 研究方法與進行步驟.....	13
1-3 章節簡介.....	21
第二章 差模耦合傳輸線特性	23
2-1 基本傳輸線理論.....	23
2-2 微帶傳輸線.....	24
2-3 耦合微帶線.....	26
2-4 差模微帶線之設計.....	32
第三章 差模串音與延遲線效應分析	34
3-1 簡介.....	34
3-2 單根蛇狀與平面螺旋延遲線之接收端波形分析.....	35
3-3 單根蛇狀與平面螺旋延遲線之傳輸端波形分析.....	40
3-4 差模延遲線分析.....	45
3-5 單根與差模延遲線之時域波形比較.....	47
3-6 單根與差模延遲線之接收端眼狀圖比較.....	54
3-7 模擬與量測結果比較.....	59
第四章 差模轉角模型化與效應分析	63
4-1 轉角電路模型.....	63
4-2 弱耦合情形之轉角電路參數擷取.....	65

4-3	弱耦合轉角之實例分析與驗證.....	71
4-4	強耦合情形之轉角電路參數擷取.....	76
4-5	強耦合轉角之實例分析.....	80
4-6	轉角效應的實例分析.....	84
4-7	轉角模型的實驗驗證.....	88
4-8	差模轉角的補償.....	91
第五章 Wire Bound 與 Package pin 之模型化.....		100
5-1	簡介.....	100
5-2	準靜態方法模型準確性之驗證.....	100
5-3	單根棒線等效電路模型萃取.....	108
5-4	差模棒線等效電路模型萃取.....	120
5-5	垂直耦合下棒線等效電路模型萃取.....	132
5-6	Q3D 接腳結構萃取結果驗證.....	143
5-7	接腳參數分析.....	149
第六章 連通柱之模型化與效應分析.....		156
6-1	單根連通柱的模型擷取.....	157
6-2	差模連通柱的模型擷取.....	164
6-3	單根連通柱的效應分析.....	169
第七章 差模信號線穿層模型化.....		171
7-1	前言.....	171
7-2	時域有限元素法.....	172
7-3	Matlab 程式設計流程.....	174

7-4 數值結果比較.....	176
第八章 差模信號線跨越槽線的效應.....	179
8-1 單根導體微帶線跨越槽線雜訊分析.....	179
8-2 槽線模型.....	186
8-3 差模耦合微帶線跨越槽線雜訊分析.....	188
8-4 帶線跨越槽線雜訊模型之修正與模擬.....	200
8-5 接地雜訊電壓視覺化.....	202
8-6 金屬平面電流視覺化.....	207
8-7 接地雜訊之模擬與實驗驗證.....	218
第九章 去耦合電容位置最佳化.....	222
9-1 簡介.....	222
9-2 雙層平行金屬板之空腔模型.....	223
9-3 去耦合電容之空腔模型.....	227
9-4 基因演算法之介紹.....	230
9-5 最佳化後之實例.....	234
9-6 去耦合電容之選取.....	241
第十章 結論.....	244
參考文獻.....	246

第一章 前言

1-1 簡介

依據美國半導體科技展望(NTRS, National Technology Roadmap for Semiconductors)預測，如表 1.所示[1]，到 2003 年時積體電路晶片尺寸會達 130nm，供應電壓 1.5V，功率消耗 130W，而晶片頻率為 2.1GHz；到 2012 年，上述的規格甚至將分別為 50nm，0.6V，175W，及 10GHz。顯見很快地積體電路晶片將走向 10GHz 時代，構裝基板也必須作相對的配合。預期在高達 GHz 的頻率範圍內，電源分佈系統須有寬頻低交流阻抗，使電壓之變化不應超過 5%，以 2012 年之規格而言，阻抗應控制在 0.1mΩ 以內[1]；訊號分佈系統則須使各種雜訊獲得適當控制，理想上應使 eye pattern 的 opening 至少有 30%。由於頻率範圍很高，其間含有許多電磁交互作用，構裝連線系統的設計成為一個很高的挑戰。

表 1. 1997 年 NTRS 科技趨勢預測報導

Year	Feature	Power	Vdd	Current	Chip Freq.	Target Imped.
	(nm)	(W)	(V)	(A)	(GHz)	(mΩ)
1997	250	70	2.5	28	0.75	4.5
1999	180	90	1.8	50	1.25	1.8
2001	150	110	1.5	73	1.5	1.0
2003	130	130	1.5	87	2.1	0.9
2006	100	160	1.2	133	3.5	0.45

2009	70	170	0.9	189	6	0.23
2012	50	175	0.6	292	10	0.1

圖 1.1 為構裝結構示意圖，其含有許多層次，分別有晶片(chip)連接至模組(module)，卡(card)，以迄於基板 (board) 或背板(backplane)，其間有諸多連線，構成電源與訊號分佈系統。不論是模組、卡、或基板，常呈多層平面結構，如圖 1.2 所示之印刷電路板，其上有一些連接器(connectors)，可以與其他結構連接，整個電路板基本上則為多層結構，包含了信號層、電源層和接地層。

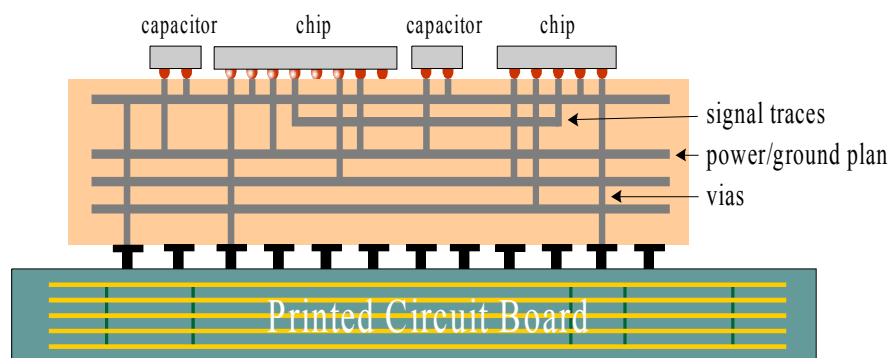


圖 1.1 構裝結構示意圖

在高速數位電路系統中，訊號上昇時間愈來愈短，訊號遇到各種不連續如轉折、分叉、或連接器等，會產生相當可觀的反射雜訊；訊號線與訊號線間由於電磁耦合，會產生串音雜訊；另外更嚴重的是系統的位元數愈來愈高，許多電路同時快速切換的結果，在晶片的輸出接腳連通柱(via)由於切換電流會產生可觀的電壓雜訊(ΔI noises)，也會導致電源及參考零電位不穩定所造成的彈地雜訊(ground bounce)現象。因為近來數位電路普遍應用小電壓擺幅(low-swing)的元件，因此這些由連通柱產生的 ΔI 雜訊甚至會造成高低位準的誤判，使整個模組產生錯誤的動作。受到上述各種效應的綜合影響，隨著積體電路的微小化，此一 ΔI 雜訊將呈指數方式成長[2],[3]，其影響會愈來愈嚴重，勢必成為高速大型系統構裝時最主要的電氣特性考量。

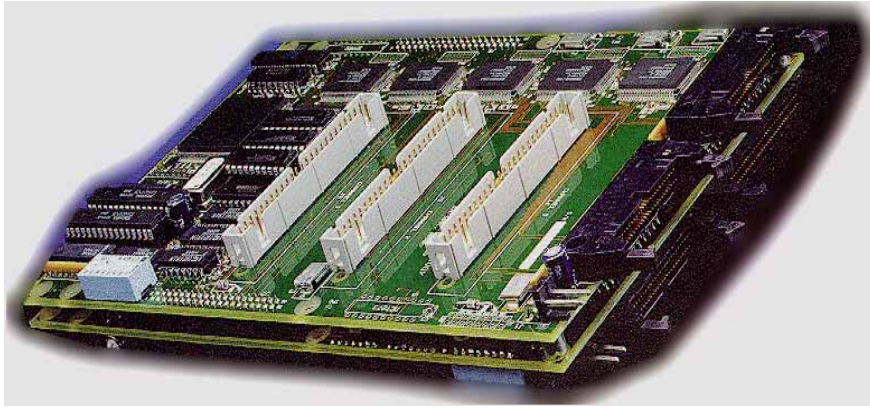


圖 1.2 典型的印刷電路板

早期，工程師常以導線的寄生電容電感效應來描述此一問題，利用 PEEC 方法建立電氣模型[4]，取代接腳代入 SPICE 來模擬其造成的影響[5]。但隨製程技術快速的發展，積體電路(Integrated Circuit, IC)及晶片以外的電路(off-chip circuitry) 頻率越來越高，在連線上的時間延遲 (time retardation) 與晶片的交換時間(switching time)相比不可忽略，單純以電感及電容來描述連線的寄生效應已不適用，必須藉助電磁波的觀念與電磁理論來處理。

近年來已有人使用有限差分時域(FDTD)法，把整個連線系統包含進來進行三維數值分析，模擬由於電路切換的急遽電流變化，在電源與接地環境中所造成的彈地雜訊[6], [7]。此法固然十分嚴謹，電磁感應及輻射的效果均已有考慮，但也由於如此，計算相當耗時，對於連線相當複雜的實際系統，本法便不太實用了。事實上，在 PC 板中其層高遠小於波長，因此宜善用此一特性，作一些合理的近似，建立簡化的快速二維分析模式[8]。此法可以推廣去處理較實際的結構[9]，甚至有公司 (www.sigrity.com) 據此開發了一套 SPEED 2000 的軟體。IBM 公司有人實際設計測試結構量測彈地雜訊與該模擬軟體比對，發現其誤差在 5% 以內[10]，文獻上也有一些此方法模擬所得與實驗結果之比對[11],[12]，均驗證了此法的正確性。

基於類似的想法，以二維的時域有限差分法(2D FDTD)為基礎，我們也已自行初步開發出一套便捷快速的程式，來模擬電源與接地連線系統中所造成的彈地雜訊[13]。未來配合吾人過去所建立之穿孔連通柱等效電路[14],[15]，將可模擬訊號線經過連通柱的反射雜訊與彈地雜訊，以及多層板中數根穿孔連通柱的電磁場互相耦合干擾的效應，未來進一步把穿孔連通柱的高頻等效電路模型包含進來，將更有其實用價值。

事實上，彈地雜訊不只可由連通柱(via)電流造成，也可能由訊號線通過槽狀切割所激發。此種槽狀或分割電源/接地層的結構，如圖 1.3 所示，由於可以提供諸多好處[16]，已常為許多構裝設計所採用。例如把電源層切成幾個區域，可以只用一層提供多個不同電壓的電源；把電源或接地層切開可提供更多的接線空間；以及在混合訊號設計中，把不同功能的區域切開形成”孤島(islands)”以隔離雜訊等[17],[18]。由於此種結構破壞了接地面與電源面的完整性，對彈地雜訊會造成何種影響，遂成為很重要的課題，並也引起一些學者的注意[6],[16],[19]，惟目前文獻所探討的都是開槽對訊號線所造成的影響，對於由於開槽所造成的彈地雜訊則較少著墨；同時所使用的方法也都要靠三維的FDTD，當處理實際結構時難免會受到很大的限制。如何建立簡易模擬分析模型、與實驗結果比較驗證、推廣到多層板、以及利用開槽隔離來降低彈地雜訊[7]等，均有待更進一步的研究發展。

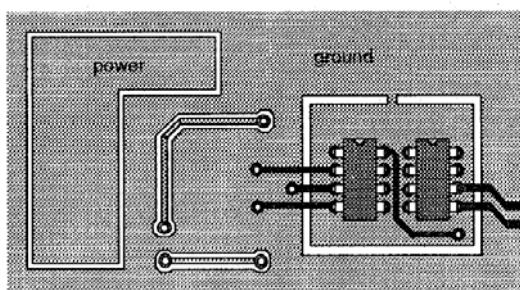


圖 1.3 具有切割或開槽接地/電源層的結構

對於開槽而言，不論是切割接地或電源層，或是在平行板的邊緣處，就物理機制而言，一方面會造成開槽的輻射，一方面也會造成開槽與開槽間的訊號耦合。在主機板的輻射問題上，目前有人測量平板層周圍的輻射場，發現一些與傳統經驗法則相違背的結論[20]。原本，工程師以 20H 的法則來降低輻射量，亦即把地層(ground plane)向外延伸二十倍板層間距，但全波模擬結果卻顯示出其會增加輻射量，可見傳統對於開槽輻射的了解有些是似是而非的，值得有心人士再深入研究。早期二維 FDTD 的程式無法處理獨立電源層(island)間的干擾，如何把輻射場的效應加入於此套程式中，目前在文獻中似尚無較好的方法，也將是本研究努力的目標之一。

由於彈地雜訊的影響愈來愈重要，如何降低其影響已成為構裝設計的一大課題。一般是加入去耦合電容，它可以是集總(lumped)型式[1]，也可以是積層(integrated)型式[9]。其中積層型式可以達到非常好的效果，但會增加成本，故並非吾人在本年計畫中的主題。反倒是集總型式，文獻發現會降低接地電源面間的共振頻率[21],[22]，但在某些情形反而增加雜訊，則值得吾人注意，探討如何避免這些情形。另外也值得利用最佳化理論，設計去耦合電容的數量以及擺放位置，以得到最好的效果[1]。同時在過去的研究中[13]，對於穿孔連通柱所造成的彈地雜訊，我們也發現了一些有趣的現象，例如在二維電路板中，不僅會出現共振頻率，更出現了一些零點(null)。亦即，在某些位置上，某些頻率的訊號會恰好抵消，亦值得進一步探討此現象，或可善加利用以助於抑制彈地雜訊。

為了降低彈地雜訊對高速數位電路的影響，除了常用加入去耦合電容的方法外，另一種相當有效的方法則是採用差模傳輸線(differential pair)傳播模式，近年對其傳輸特性且已有一些初步探討[23]-[26]。吾人過去已建立 CAP 多導體傳輸線程式[27]，可以用來擷取耦合傳輸線電氣參數，再以此參數建構等效之 Pspice 模型以協助進行傳輸特性分析[27]，但對於差模對傳輸線，其含有奇模態

及偶模態，不同差模對傳輸線間由於互感與互容，會造成彼此的耦合與共模態激發，須加上適當的修正才可處理。

至於訊號連接器所造成的反射，則有賴於其高頻特性的分析、模型建立、與參數擷取。在連通柱(Via)的參數擷取與電性模擬上，最早有人利用準靜態的方法計算其電容電感[28]-[30]，甚而得出經驗式[31]，吾人也做得相當早，包括完整多層板構裝結構的連通柱準靜態等效電路擷取[32]，並首度建立連通柱的高頻電磁場傳播及輻射模式[33],[34]，另外也有人用動差法進行單根與耦合穿孔連通柱的全波分析[35],[36]，甚至多根連通柱孔洞耦合的情形也有人探討[37]。這些在探討訊號線的高頻傳播特性，尤其是反射雜訊上是十分重要的參考資料，但所考慮的結構仍多以簡易的圓柱形為主。

1-2 研究方法與進行步驟

本計畫將以差模對訊號線(differential pair)為主，探討其用於高達 5 Gbps 高速數位電路設計上的各種訊號整合度(Signal Integrity)問題，涵括反射雜訊(reflection noise)、串音雜訊(crosstalk)、與彈地雜訊(ground bounce)。考慮反射雜訊時其結構示意圖如圖 1.4 所示，在考慮彈地雜訊時，其典型結構如圖 1.5 所示，研究方法與進行步驟如下。

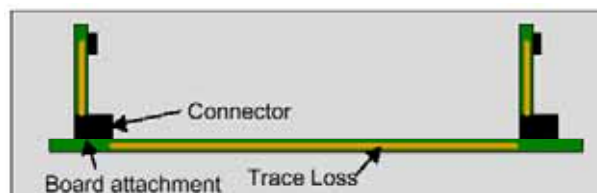


圖 1.4 連接器對訊號線造成反射雜訊

彈地雜訊模擬：參考如圖 1.5 之結構，在數值模擬上，本計畫首先將從[8]的做法出發，對 via 的輸入阻抗值，已可由電磁理論得到其正確解。惟在數值模擬時，利用時域有限差分法將原結構作網格分割會引進不同的數值阻抗值，必須進行適當的修正。

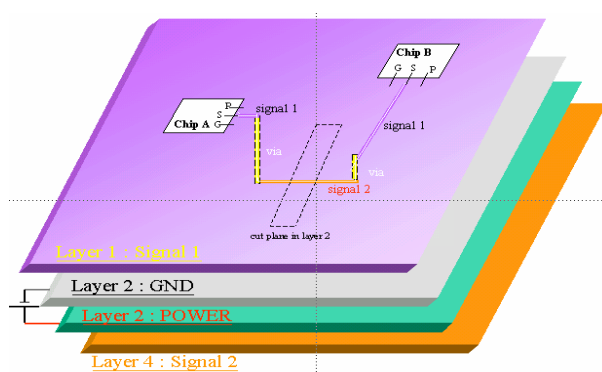


圖 1.5 典型的接地雜訊問題結構

等效電路如圖 1.6 所示，其中除了主動元件，構裝連接線所造成者包含： Z_{via} 代表不連續連通柱(via)所造成的額外電感電容，Tx-line 代表等效傳輸線，以及二維 LC 網路(由於繪圖所限，圖中以一維 LC 網路表示)則代表 Power 與 Ground 平面間的等效電路，這也是彈地雜訊主要的來源。除了 Z_{via_1} 與 Power/Ground 間 LC 網路部份已如前面所述[8]外，其他尚需力謀解決者略如下列：

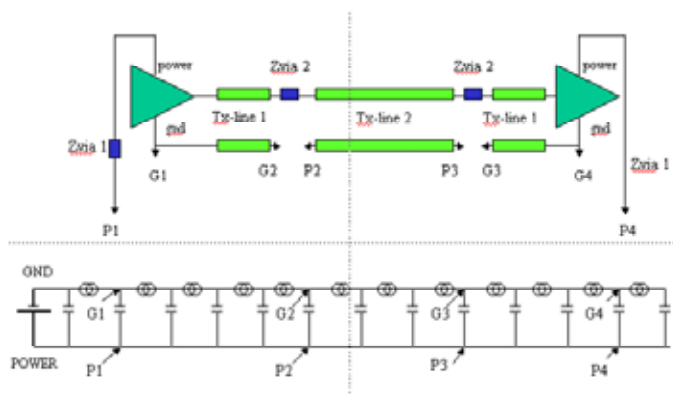


圖 1.6 接地雜訊問題的等效電路模擬

- Z_{via_2} 需進行三維不連續結構電磁模擬，以得出等效電路參數值，預計可以參考吾人推導的準靜態公式[32]，惟仍需進一步使用全波模擬軟體加以驗證，另外為考慮其全波輻射特性及快速分析多根導體的需求，甚且需要另行開發需要的程式，預期將可以吾人所提出的束線動差法為基礎推廣而處理之。
- Tx_line 需進行二維電磁模擬，以得出等效電路參數值，並進行傳輸線分析。傳輸線參數的擷取預期可以利用吾人所推得的 CAP 程式處理[27]，但差模傳輸線在結構不對稱時會激發出共模，要考慮此一效應必須將此一分析模式與耦合傳輸線分析模式結合起來，預計將可參考吾人處理多根傳輸線時域模擬的方法[27]。
- 窄開槽(如圖 1.5 所示在電源層的開槽)結構，需適當融入二維 LC 網路中，預計將以等效電路形式推導開槽結構的準靜態電容與電感，配合傳輸線模型處理訊號線，及二維 FDTD 方法模擬接地與電源層間的彈地雜訊，因此開槽的效應便可以有效考慮進來。此一模型將推廣到處理多條傳輸線通過同一開槽，以及其他較複雜形狀開槽，或甚至形成開槽迴圈的情形。
- 經由如圖 1.6 所示的等效電路，此一彈地雜訊問題將可直接在時域進行，要討論差模對傳輸線的效應，可以把其一接正電壓，另一則接負電壓，模擬其產生雜訊的時域特性。為考慮各種不同輸入波形的影響，並降低數值計算的誤差，吾人將以高斯脈波為輸入波形，由模擬結果計算得到“正規化”的脈衝響應(impulse response)[42]，進一步利用旋積分(convolution)可得到任意輸入波形之時域響應；利用 Fourier 轉換可求轉移函數(transfer function)而得到頻域之響應。

為了理論驗證此模型的正確性，在矩形平板的情形下，吾人預計將推導出矩形平板間連通柱的阻抗格林函數(Green function)，此表示式包含多根連通柱間互相干擾耦合所得到的總場。此方法的好處可幫我們更進一步的了解此問題的物理

機制，而不僅只是靠數值模擬結果。同時我們也可用此方法來導出去耦合電容的最佳化設計，此一最佳化條件，包含去耦合電容的擺設位置，以及可將板子的共振頻率提昇的範圍。一般而言二維 FDTD 只能用來驗證所設計的電路是否通過規格，但想用其事先來設計及最佳化是極為困難的，此方法或可為解答此諸多 SI 經驗法則的第一步。

串音雜訊模擬：差模對傳輸線亦可視為一雙根耦合傳輸線，含兩根訊號導線，它們共用一個接地系統，而且其上傳播的訊號是正負反向(或稱奇模態)。其特性可以由導線間的電容與電感求出，因此可以引用吾人所撰寫計算多導體傳輸線之 CAP 程式[27]，先計算出多導體間彼此的電容與電感矩陣，並且利用其模態的定義，擷取差模對傳輸線特性參數，含傳播常數及特性阻抗等，以利模擬其效應。

差模對傳輸線與鄰近的差模對會有耦合的現象，產生串音雜訊。嚴格說來，當兩個差模對傳輸線耦合時，其奇偶模態對稱性已被破壞，此時除了差模耦合外，也會激發出共模態(common mode)，吾人將討論如何應用 CAP 軟體所求出之多導體間的電容及電感矩陣，得出雙差模傳輸對間，以及差模與共模間的耦合係數等。

建立起參數擷取技術後，吾人將可進行模擬分析。預期吾人將以帶狀線(stripline)結構為主，改變各種參數，包括差模對線寬、間距、層高、介電常數、相鄰差模對間距等，探討差模對的傳輸特性(含特性阻抗與耦合串音雜訊)與這些幾何參數的關係，製成設計圖以便利參考。

反射雜訊模擬：差模對傳輸線在傳送時必須保持阻抗的匹配、電磁場的匹配、以及雙線間的對稱。阻抗或場不匹配會產生反射，不對稱則會激發出共模。計畫中將依據在基板中訊號走線時最常碰見的不連續結構，作不同的分析。

- 差模對傳輸線轉折問題，圖 1.7 所示為兩種可能的轉折設計，由於轉折不連續處會累積電荷造成反射，同時也勢必破壞結構的對稱性而激發共模態，需要仔細設計。預計吾人將採用 Sonnet 軟體進行模擬分析，探討何種構圖 (Layout) 設計，可以得到最好的轉接，同時也可以降低共模態的激發。



圖 1.7 差模對轉折設計例

- 連接器電路模型。由於沒有很完整的接地面當迴路，一般連接器均為較高阻抗的傳輸線，在高頻時會造成明顯的反射雜訊。此處我們將使用較簡化的分析，使用 CAP 來擷取其連接器的多導體間的等效電容與電感矩陣，並模擬輸入差模訊號時由於連接器接腳彼此間耦合，所造成反射以及共模激發等之效應，進一步也將採用嚴謹的全波分析如 HFSS 以作為驗證，同時也將研究電容補償技術的應用[24]等。
- 連通柱(via)電路模型。差模對訊號需要以連通柱跨層作連接，而為防止訊號的反射，常會在周圍加上接地連通柱，因此會形成多連通柱結構，如圖八所示。此一三維結構在高頻時會有散射、輻射等複雜的電磁效應，而且此一效應受到多種結構參數的影響，如 via 半徑、pad 尺寸、開洞大小、層高、層數、via 間距、短路點數目及位置等，必須加以考慮。對於兩個連通柱的情形，由於僅含少數連通柱，預計吾人可以利用 HFSS 來作精細的模擬。但是當結構含有眾多連通柱需要考慮彼此間的效應時，HFSS 的計算將太耗時，必須發展有效的方法。預計將採用吾人過去以積分方程為基礎所

開發的束線動差法[33],[34]，可以有效處理連通柱轉折到傳輸線的效果，把這些效果結合到 FDTD 二維彈地雜訊分析模型，預期可以研究平行板間的多孔洞連通柱的耦合效應。

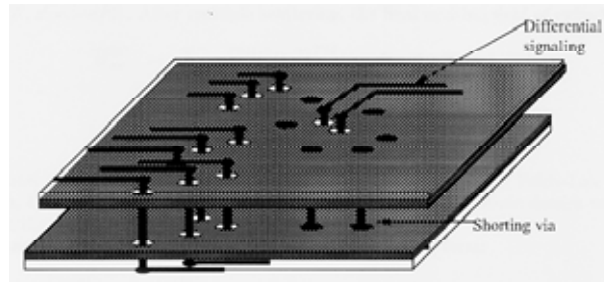


圖 1.8 典型多連通柱結構

整合 SI 模擬：在建立完連線的等效模型後，包括各集總元件如耦合電容(含電容 C 、與其等效串聯電感 ESL 、電阻 ESR)、耦合傳輸線、連通柱的高頻等效電路、窄開槽、邊緣耦合等，均結合到二維 FDTD 模型內一起模擬，觀察其對整體系統的影響，進而尋求其最佳化設計。

實驗量測：我們將針對各種重要參數做調整與模組化來設計實驗量測 PCBs，實驗的量測數據並將與模擬結果比較，以驗證分析方法的可行性與正確性，進而提出改善的對策。

對於彈地雜訊(ground bounce)的量測，將實際設計量測電路基板，利用時域反射法(TDR)與時域穿透法(TDT)量測多層板間之訊號完整性(Signal Integrity, SI)，包括 ΔI 所造成的訊號彈地雜訊、反射訊號波形的扭曲(waveform distortion)等。由實驗所得之數據，加上特殊的電路擷取方式[38]-[40]，也可以得到等效電路模型，並與建立的電路模型比較。

預計的實驗設計及目的包含

- 穿孔連通柱的彈地雜訊及其對傳輸線訊號完整度的影響，以進一步驗證第一年所建立程式的正確性。實驗上因考慮到單根穿孔連通柱的彈地雜訊太小，無法準確測量結果，預期將藉由多根穿孔連通柱加強彈地雜訊的效應，如圖九所示。其中有許多綠色的圓圈為去耦合電容加入的位置，可比較加入去耦合電容後的影響。
- 使用差模對傳輸線亦可改善彈地雜訊，我們並以雙傳輸線來初步模擬電流同向(共模輸入)及反向(差模輸入)所造成的影響，如圖 1.10 所示，實驗的測量數據並將與模擬結果比較，以驗證分析方法的可行性與正確性。

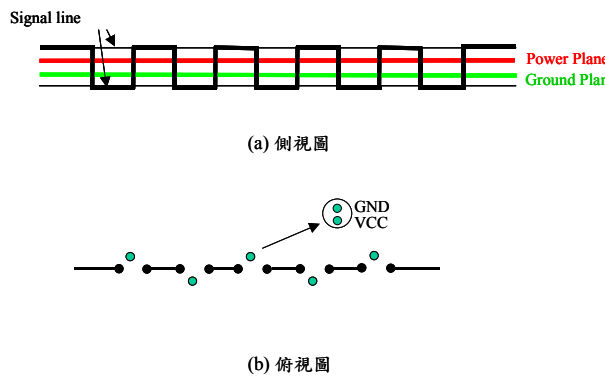


圖 1.9 穿孔連通柱的實驗基板示意圖

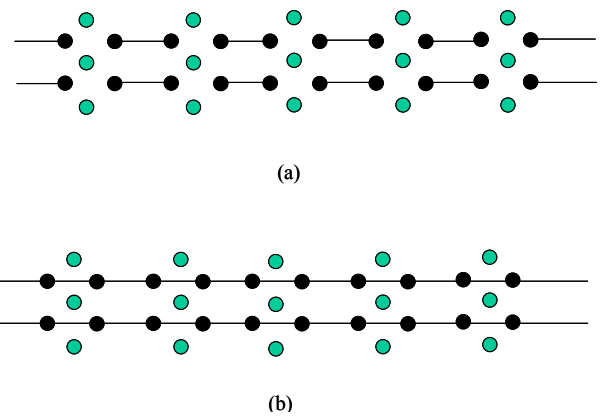


圖 1.10 以共模及差模輸入來探討穿孔效應對電流同向及反向輸入的影響。

- 訊號線流經電源層有槽線切割的不連續效應，我們設計了如圖 1.11 的架構，同樣的也包括了共模及差模輸入的架構，其中，去耦合電容的擺設方

法如圖 1.12。當高頻電流由訊號線流經槽線時，因電源層切割，故無直接回流。回流電流往往須多繞一大圈，或經由位移電流(displacement current)形成迴路。我們在槽線一端直接提供一迴路至地，可使去向與回向電流直接形成一迴圈。

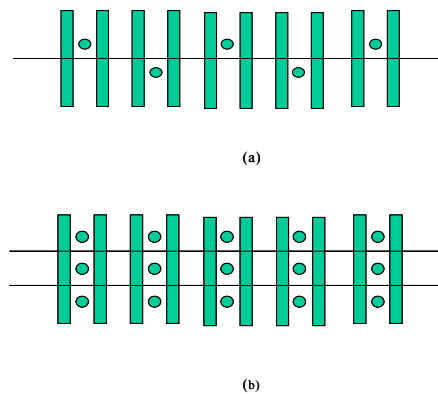


圖 1.11 量測訊號遇上電源層切割的測試裝置示意圖。

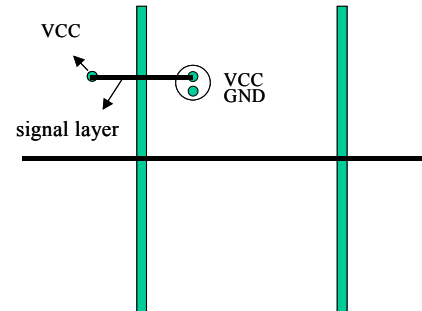


圖 1.12 去耦合電容加入電源層有槽狀切割基板示意圖。

- 電源隔離下的模組間開槽雜訊耦合及抑制。在混合訊號系統，模組與模組間為避免干擾，常在電源層用如護城河狀的切割來孤立模組間的干擾，但雜訊仍可藉由輻射路徑干擾到另一模組。為了探討此一現象，我們設計了如圖 1.13 所描述的架構。如圖(a)所示，兩電源層間彼此獨立，但共用一電源層。若在某一電源區激發一訊號，我們可在另一電源區中量得藉由輻射路徑所到達之訊號。圖(b)為相同的架構，但標示了板層邊緣處所預留的屏蔽連通柱，此連通柱之功用為遮蔽輻射電磁場，以減少不同模組間的干擾。對於連接器與傳輸線轉折的等效電路，如圖 1.4 與圖 1.7 所示，較好的方法

是設計測試板，在頻域上使用網路分析儀量測，並配合 TRL 校準以去除接頭的效應，由於微波領域多年的發展，此種頻域量測技術，已為多數人所熟習。

此外在研究進行過程中，吾人也將積極主動去了解台灣業界所面臨的相關問題，與公司研發工程師交換心得並實際到公司深入了解問題。我們期望在此一領域中與業界更密切的配合，有必要時也會適當地對計畫內容作修改增刪，以配合學術界及產業界的發展趨勢。

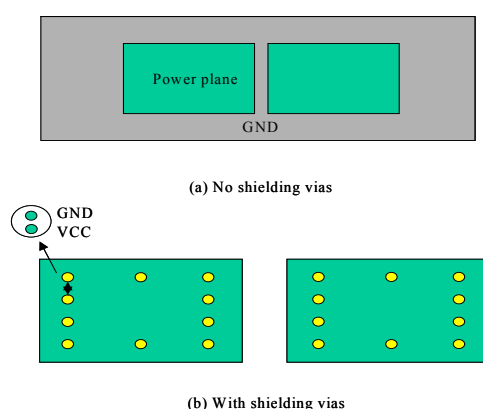


圖 1.13 測量由於幅射場干擾的裝置示意圖。(a)未加入任何屏蔽連通柱

(b)在電源層邊緣與地層之間有預留了一些穿孔來當作屏蔽。

1-3 章節簡介

在本報告中，吾人於第一章探討耦合傳輸線的基本特性而第二章則是分析差模串音現象，並以此結果進而加以應用而分析差模傳輸延遲線的效應。

第四、五與六章則是差模不連續結構的模型化，其差模不連續結構分別是(1). 差模轉角：包含 90 度、45 度與任意角度以及補償補丁結構的分析。(2).差模 Wire

Bound 與 Package pin：包含垂直與平行差模 Wire Bound 結構。(3).差模連通柱結構。

而第七與第八章則是電源完整性分析中接地雜訊產生結構的模型化與分析，包含差模傳輸線穿層與跨槽線結構；其中差模傳輸線穿層則是結合時域有限元素法與時域有限差分法來模型化，使得該接地雜訊的模擬分析更加精確與有效率。而差模傳輸線跨槽線抑制接地雜訊效應的模型化與原理也都被詳細探討，進而視覺化其電流回流的路徑。

抑制接地雜訊最常用的方式則是於電源層與接地層之間擺置去耦合電容，然而業界對於該值與最佳位置往往無法掌握，因此吾人於第九章將利用基因演算法求得去耦合電容最佳位置、值與數量。最後於第十章最做個總結。

第二章 差模耦合傳輸線特性

2-1 基本傳輸線理論

由於數位電路上的時脈訊號(Clock signal)越來越快，相對的訊號上昇時間(Rise time , T_r)越短，以至於訊號的上昇時間小於訊號在連接導線傳播的來回時間(Round trip time)，此時的時脈訊號相對應到的頻率上將遠高過於之前的時脈速度，因此構裝導線必須考慮其分散電路(Distributed circuit)效果，而視為傳輸線處理。在此傳輸線模式之下，其電磁場分佈可以假設在截面上保持同一型式，但其大小則沿著導線方向隨時間變化。若分別以電壓波 $V(z,t)$ 及電流波 $I(z,t)$ 對應電場與磁場的大小，如圖 2.1 所示，則電壓及電流波會滿足電報方程式(Telegrapher equation)。

$$\begin{cases} \frac{\partial V(z,t)}{\partial z} = -L \frac{\partial I(z,t)}{\partial t} \\ \frac{\partial I(z,t)}{\partial z} = -C \frac{\partial V(z,t)}{\partial t} \end{cases} \quad (2-1)$$

其中 L 與 C 分別代表傳輸線的信號線與接地面間單位長度的電感與電容，可以利用靜電場的理論計算出來。

傳輸線是一個分佈電路(distributed circuit)，它也可以用等效 LC 梯形電路(ladder circuit)來表示，如圖 2.1 所示。因此當要於 Spice 中，對傳輸線進行時域模擬，這時所需要輸入的傳輸線參數是特徵阻抗 Z_0 以及時域延遲 τ ，它們可以由傳輸線電感 L 及電容 C 直接得出，即 $Z_0 = \sqrt{L/C}$, $\tau = \sqrt{LC} \cdot \ell$ 其中 ℓ 是傳輸線的長度。

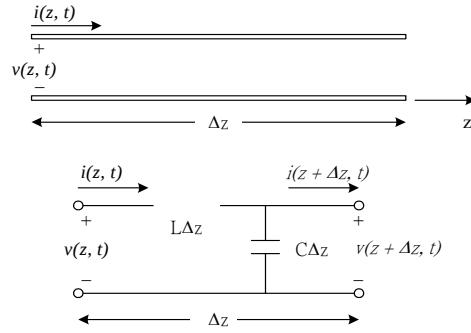


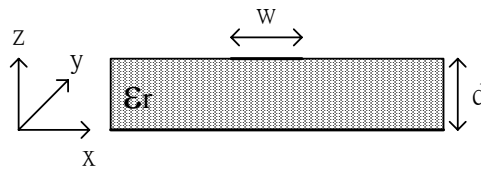
圖 2.1 傳輸線等效 LC 梯形電路

2-2 微帶傳輸線

微帶線(microstrip line)是一般印刷電路板中常用的傳輸線，其結構如圖 2.2(a)所示，重要尺寸參數含導線寬度為 w ，介質層厚度為 d ，及介電常數為 ϵ_r 。但在許多的實際應用裡，介質層的厚度通常遠小於所關心的最小波長($d \ll \lambda$)，所以微帶線上的場可近似看成 quasi-TEM。因此，從準靜態(quasi-static)方法得到的波速、傳播常數及特徵阻抗可以與全波方法得到的解有非常好的近似。而其波速就可以下式表示

$$v_p = \frac{c}{\sqrt{\epsilon_e}} \quad (2-2)$$

其中， c 是真空中的光速， ϵ_e 是微帶線的等效介電常數。可視為將金屬導線置於均勻介質 ϵ_r 中把原本的空氣及介質置換掉，如圖 2.3 所示。



(a)

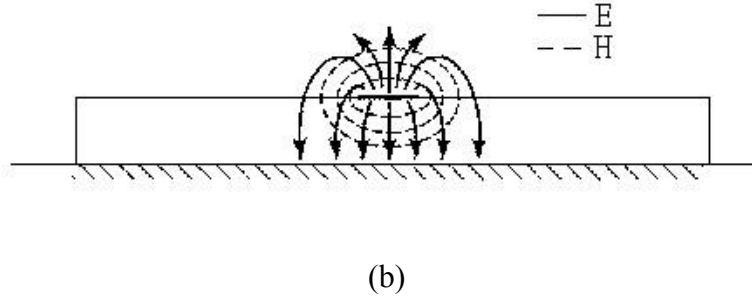


圖 2.2 典型的微帶線 (a)結構示意圖 (b)微帶線的電磁場分布

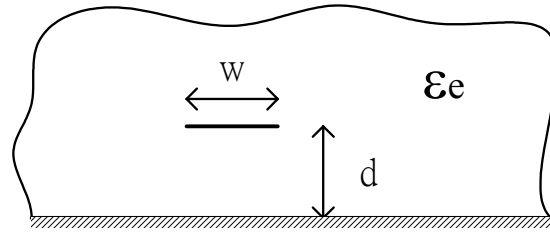


圖 2.3 quasi-TEM 微帶線的等效結構

藉由曲線逼近精確的準靜態解的設計公式[41][42]，可以由給定的微帶線參數快速地得到其 ϵ_e 及特徵阻抗 Z_0 。

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12 \frac{d}{w}}} \quad (2-3)$$

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_e}} \ln\left(\frac{8d}{w} + \frac{w}{4d}\right) & \text{for } w/d \leq 1 \\ \frac{120\pi}{\sqrt{\epsilon_e} [w/d + 1.393 + 0.667 \ln(w/d + 1.444)]} & \text{for } w/d \geq 1 \end{cases} \quad (2-4)$$

結合式(2-2)、(2-3)和(2-4)，可得傳輸線等效梯形電路的 L 、 C 值：

$$C = v_p / Z_0 \quad (2-5)$$

$$L = Z_0^2 \cdot C \quad (2-6)$$

代入式(2-1)，即可模擬出傳輸線的信號傳播。

在式(2-3)和(2-4)並無考慮信號線的金屬厚度，且由於此式為準靜態解的緣故，精準度仍比不上全波分析軟體計算之值。因此，在此使用先前的研究[43]所發展出可計算多導體耦合傳輸線結構下，電感及電容矩陣的程式: CAP 程式，得到如圖 2.4 的單根為帶線阻抗設計圖。因此，於設計線路時，為了達到線路端阻抗匹配，可根據圖 2.4 的設計曲線得到所要設計的單根傳輸線結構。

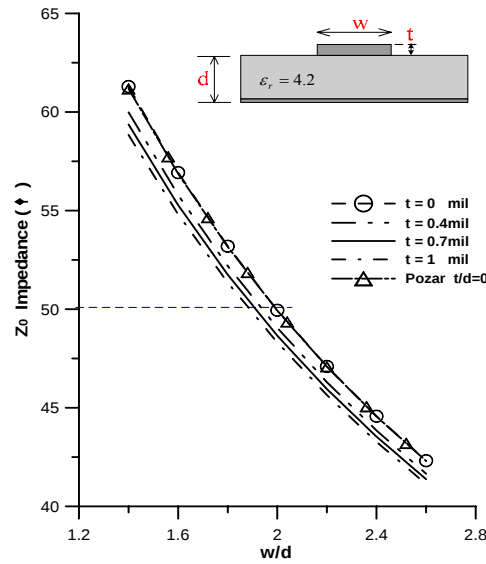


圖 2.4 有考慮信號線金屬厚度的微帶線阻抗圖

2-3 耦合微帶線

當兩條未受屏障的傳輸線靠近時，兩條線會因為電磁場彼此作用，而有能量的耦合；此種結構稱為耦合傳輸線，如圖 2.5 所示。在 PCB 中之耦合傳輸線有多種形式，在此主要考慮如圖 2.5(c)之耦合微帶線結構，此結構有一參考的接地面位於傳輸線下方為，耦合微帶線 (coupled microstrip lines) 的結構如圖 2.6(a)所示，其中 w 為導線的寬度、 s 為兩導線間的間距、 d 則為基板板厚，而 ϵ_r 為基板材料的介電係數。耦合傳輸線的等效梯形電路如圖 2.6(b)所示，其上之電壓電流滿足電報方程式：

$$\begin{aligned}
-\frac{\partial v_1}{\partial z} &= L_s \frac{\partial i_1}{\partial t} + L_m \frac{\partial i_2}{\partial t} \\
-\frac{\partial v_2}{\partial z} &= L_m \frac{\partial i_1}{\partial t} + L_s \frac{\partial i_2}{\partial t} \\
-\frac{\partial i_1}{\partial z} &= (C_s + C_m) \frac{\partial v_1}{\partial t} - C_m \frac{\partial v_2}{\partial t} \\
-\frac{\partial i_2}{\partial z} &= -C_m \frac{\partial v_1}{\partial t} + (C_s + C_m) \frac{\partial v_2}{\partial t}
\end{aligned} \tag{2-7}$$

其中：

$$\begin{aligned}
-\frac{\partial v_1}{\partial z} &= L_{11} \frac{\partial i_1}{\partial t} + L_{12} \frac{\partial i_2}{\partial t} \\
-\frac{\partial v_2}{\partial z} &= L_{12} \frac{\partial i_1}{\partial t} + L_{22} \frac{\partial i_2}{\partial t} \\
-\frac{\partial i_1}{\partial z} &= C_{11} \frac{\partial v_1}{\partial t} + C_{12} \frac{\partial v_2}{\partial t} \\
-\frac{\partial i_2}{\partial z} &= C_{21} \frac{\partial v_1}{\partial t} + C_{22} \frac{\partial v_2}{\partial t}
\end{aligned} \tag{2-8}$$

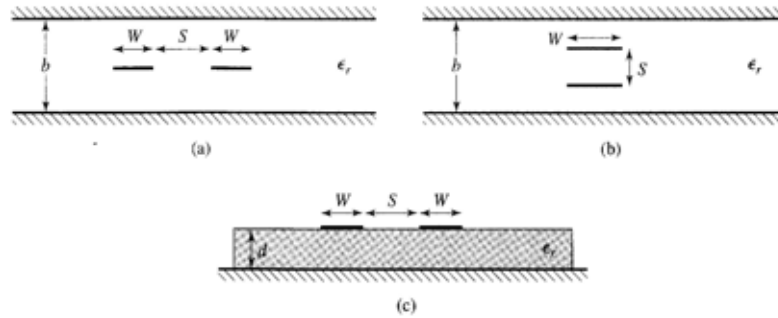
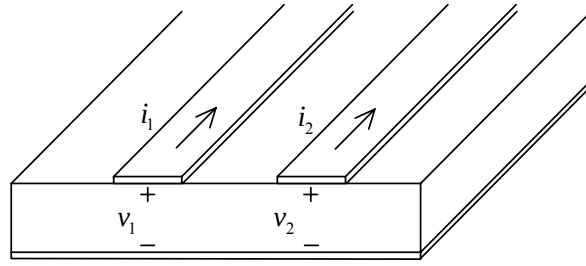


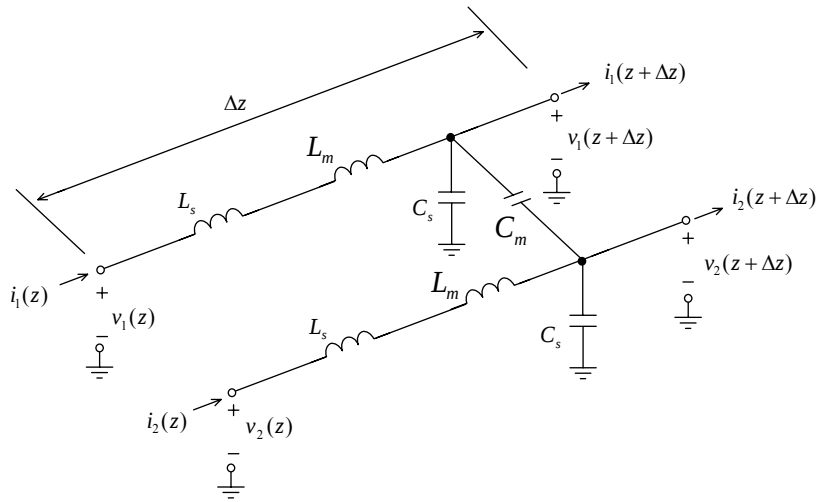
圖 2.5 各種耦合傳輸線 (a)平行式耦合帶線 (b)疊層式耦合帶線(c)耦合微帶線

比較(2-7)式與(2-8)式，可知：

$$\begin{aligned}
L_{11} &= L_{22} = L_s \\
L_{12} &= L_{21} = L_m \\
C_{11} &= C_{22} = C_s + C_m \\
C_{12} &= C_{21} = -C_m
\end{aligned}
\tag{2-9}$$



(a)



(b)

圖 2.6 典型耦合微帶線 (a)結構示意圖 (b)傳輸線等效梯形電路

耦合微帶線在兩種不同的輸入模式激勵之下，可分為：偶模與奇模。偶模輸入時，兩導體(不含接地)上的電流大小與方向均相同；而奇模輸入時，兩導體(不含接地)上的電流大小相同、方向相反。在這兩種操作模式下，耦合傳輸線橫截面上的電力與磁力線分布，如圖 2.7 所示。而其奇偶模下的等效電容網路，如圖 2.8 所示。而有關耦合微帶線的傳播常數與速度，可參考[42]。

當偶模輸入時，電力線會偶對稱於中心線，兩導體(不含接地)間也沒有電流流過，其等效電路如圖 2.7(a)所示， C_m 等效於開路。所以若是兩導體的大小與位置完全相同，在偶模操作時，任意一條傳輸線到地的電容為 $C_e = C_s = C_{11} - |C_{12}|$ 。所以偶模的特性阻抗為

$$Z_{0e} = \sqrt{\frac{L_e}{C_e}} = \frac{\sqrt{L_s + L_m}}{C_e} = \sqrt{\frac{L_{11} + L_{12}}{C_{11} - |C_{12}|}} \quad (2-10)$$

對奇模而言，電力線的分佈會反對稱於中心線，兩導體(不含接地)的對稱處會是電壓的零點，我們可以想像有一個接地面通過 C_{12} 的中心，其等效電路如圖 2.7(b)所示，所以任意一條傳輸線到地的電容為 $C_o = C_s + 2C_m = C_{11} + |C_{12}|$ ，因此奇模的特性阻抗為

$$Z_{0o} = \sqrt{\frac{L_o}{C_o}} = \sqrt{\frac{L_s - L_m}{C_s + 2C_m}} = \sqrt{\frac{L_{11} - L_{12}}{C_{11} + |C_{12}|}} \quad (2-11)$$

差模阻抗 (differential impedance) 的定義則為奇模阻抗的兩倍；即 $Z_{\text{differential}} = 2Z_{0o}$ 。

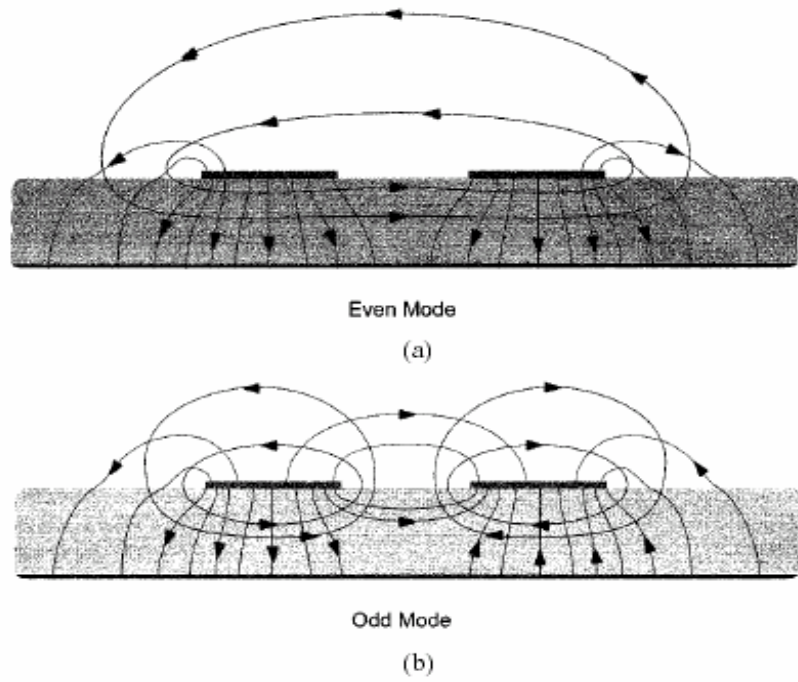


圖 2.7 耦合微帶線之奇偶模電磁場分布圖

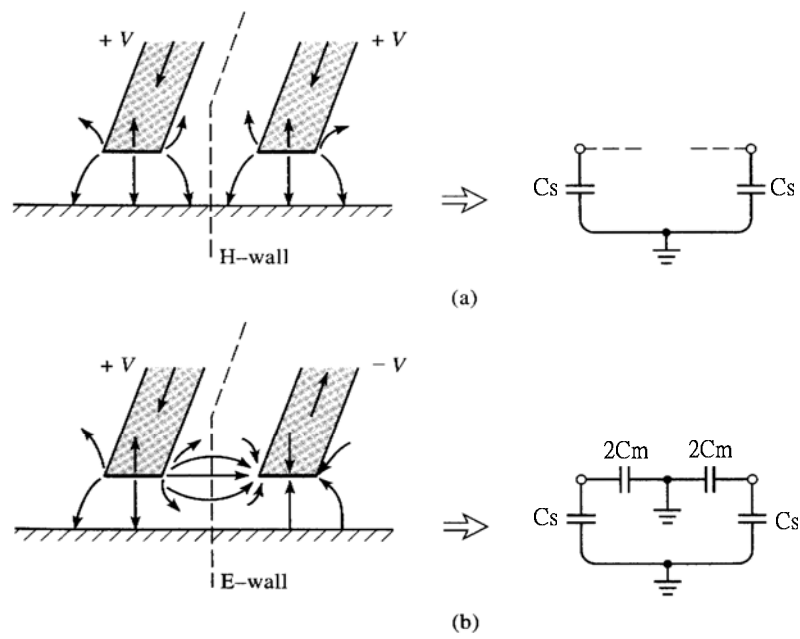


圖 2.8 耦合微帶線的奇偶模電力線分布圖與其等效電容網路

由於兩信號線距離十分接近，因此我們可以依據彼此耦合能量的強弱分為：
弱耦合(weakly coupling)、強耦合(strongly coupling)，其定義如下：

$$\text{弱耦合(weakly coupling) : } L_m/L_s \ll 0.2, C_m/C_s \ll 0.2$$

$$Z_{0e} \cong Z_{0o} \cong \sqrt{\frac{L_s}{C_s}} \quad (2-12)$$

$$\text{強耦合(strongly coupling) : } L_m/L_s > 0.2, C_m/C_s > 0.2$$

$$k \equiv \frac{L_m}{L_s} = \frac{C_m}{C_s + C_m} ; \text{ coupling factor} \quad (2-13)$$

$$Z_{0o} = \sqrt{\frac{L_s}{C_s + C_m}} \cdot \sqrt{\frac{1-k}{1+k}} \quad (2-14)$$

$$Z_0 = \sqrt{\frac{1+k}{1-k}} \cdot Z_{0o} \quad (2-15)$$

$$k = \frac{Z_{0e} - Z_{0o}}{Z_{0e} + Z_{0o}} \quad (2-16)$$

注意上述(2-13)式只對均勻介電質耦合傳輸線才成立，對於耦合微帶線結構，其上方是空氣，下方是介質，並不屬於均勻介質傳輸線，因此(2-13)式並不成立，此時一般定義 $Z_0 = \sqrt{Z_{0e} \cdot Z_{0o}}$ ，而耦合係數 k 即可由(2-15)式之關係定義，並由(2-16)式求得。

2-4 差模微帶線之設計

由於目前所使用的差分線路，如之前提到的光纖通道(Fiber Channel) 所使用的差模傳輸線的規格使用 $Z_{\text{differential}} = 100\Omega$ ，因此我們將設計其奇模阻抗為 $Z_{\text{odd}} = 50\Omega$ 。考慮一般使用的 FR4 印刷電路板，耦合微帶線截面圖的相關尺寸如圖 2.9，這時這些結構尺寸參數要適當設計，才能達到符合規格所需的差模傳輸線。設計的步驟如下所述：

1. 首先先針對弱耦合情況設計，即為 single line($s = \infty$)時其阻抗設計為 $Z_0 = 50\Omega$ ：由圖 2.4 有考慮信號線金屬厚度的微帶線阻抗圖，可以得到 $w/d \approx 2$ ，此處 $d = 1.5\text{mm}$ ， $t = 0.05\text{mm}(1.9685\text{mil})$ ，因此 $w \approx 2.73\text{mm}$ 。

2. 比較強耦合的阻抗公式，由式(2.16)可知耦合微帶線在強耦合情形下的阻抗略小於 single line 時之阻抗，因此可知欲維持 $Z_{\text{odd}} = 50\Omega$ 之下，則當耦合越強時其線寬必須逐漸減少。為了方便設計，我們藉由 CAP 程式執行計算耦合微帶線的阻抗值，並繪出如圖 2.10 之有考慮信號線厚度之耦合微帶線特徵阻抗圖。因為此處使用 FR4 板，因此其板材的厚度為 $d = 1.5\text{mm}$ ，而金屬厚度為 $t = 0.05\text{mm}(1.9685\text{mil})$ 。

3. 由 $Z_{\text{odd}} = 50\Omega$ 在圖 2.10 劃一等值線，並依耦合強弱取 $s/d = 1, 0.67, 0.34$ 三點與 $Z_{\text{odd}} = 50\Omega$ 等值線交點，並由線性內差得到在 $t = 0.05\text{mm}(1.9685\text{mil})$ 時 w/d ，分別為 1.4, 1.267 及 0.933。

4. 並依 $d = 1.5\text{mm}$ 而分別求出 $w \approx 2.1\text{mm}, 1.9\text{mm}$ 與 1.4mm 。

依據上述的設計步驟，並依圖 2.10 所示之差模傳輸線設計曲線，依照線路設計的規格要求（此處為 100Ω 之差模阻抗），可快速且正確地得到於不同的結構參數下，所需設計的傳輸線尺寸。

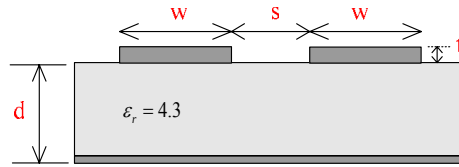


圖 2.9 差模微帶線截面圖

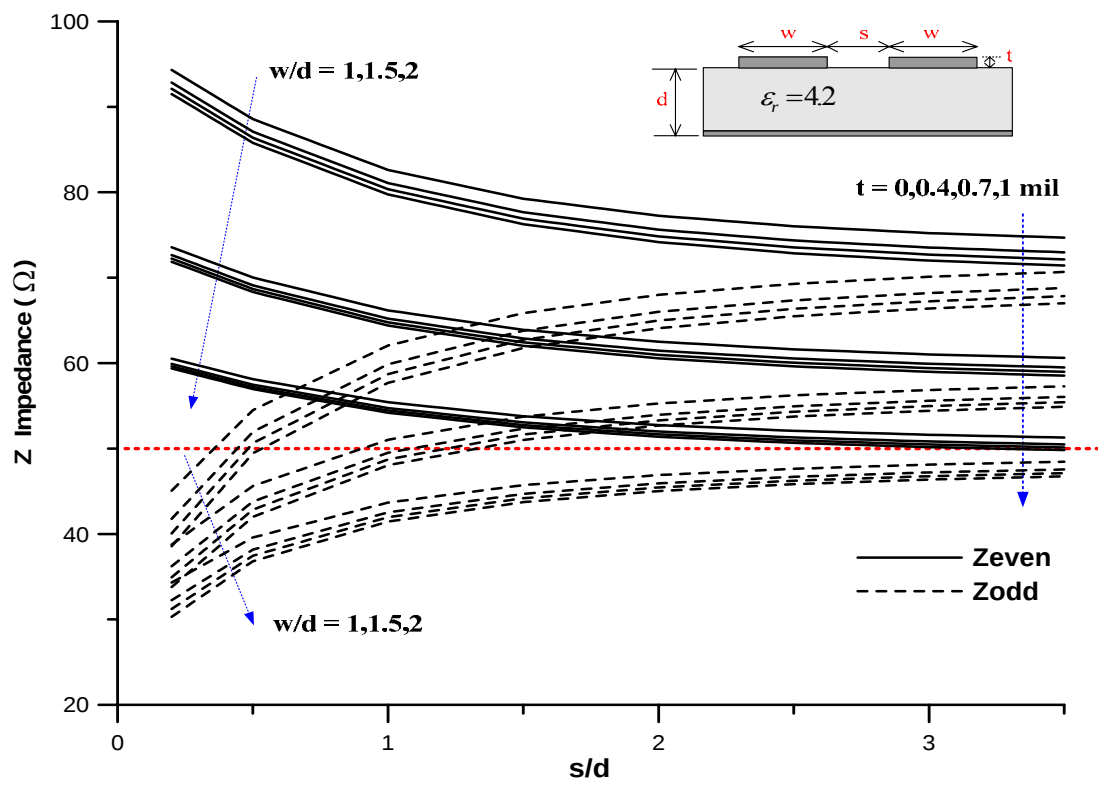


圖 2.10 有考慮信號線厚度之耦合微帶線阻抗圖

第三章 差模串音與延遲線效應分析

3-1 簡介

在高速數位電路中，由於並行的傳輸線相當多條，時脈信號的頻率也越來越高，因此對於信號到達目的地的一致性就顯得非常之重要，但是實際運用之印刷電路板(PCB)面積有限，且佈線以及元件配置均十分緊密，倘若為了解決上述問題，蛇狀延遲線(serpentine delay line)就成了一個相當實用的佈線方式，如圖 3.1 所示，此時雖然信號的時間延遲已經顧慮到了，然而蛇狀延遲線當中多重轉折部份彼此之間的耦合效應卻又成了另一個影響信號完整度的關鍵。除此之外，由於 PCI-Express 信號規格的出現，差模傳輸線對(differential pair)變成今日設計印刷電路板最普遍利用的佈線方式，因此差模延遲線的物理機制便成了非常迫切的研究任務之一。

由[44]可知單根(single)蛇狀延遲線由於相鄰傳輸線段的耦合效應其 TDT 會有階梯狀的波形出現，[45]的單根平面螺旋延遲線(single flat spiral delay line)改善了這個問題但是其 TDR 的波形卻比前者更為糟糕。3-2 與 3-3 節將先逐個分析單根蛇狀與平面螺旋延遲線 TDR 與 TDT 波形的成因，並進而在 3-4 節將其推廣至差模延遲線，與此同時，吾人也將推導差模串音的公式以方便業界未來使用。3-5 節呈現了上述四種基本佈線結構模擬之 TDR 與 TDT 波形並定量的比較其各個串音振幅大小，除此之外，一個改良的平面螺旋延遲線結構也將於此節提出供業界作個參考，在此吾人所使用的時域模擬軟體為現今業界普遍運用之 HSPICE。3-6 節則呈現了上述四種基本佈線結構模擬之 TDT 眼圖(eye diagram)並針對多重轉折傳輸線段的個數、間距以及使用材質的損耗與否、信號的頻率分別進行模擬以

判斷何者才是決定 TDT 眼圖的重要因素。最後，模擬與量測結果的比較將於 3-7 節討論。

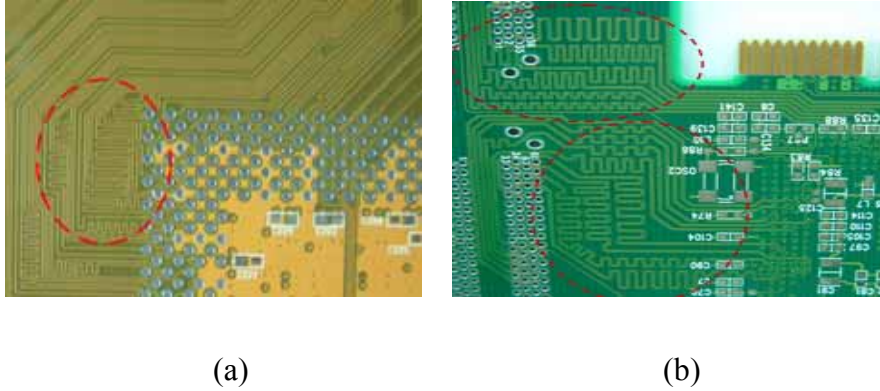


圖 3.1 蛇狀延遲線應用示意圖：(a)單根繞線、(b)差模繞線

3-2 單根蛇狀與平面螺旋延遲線之接收端波形分析

在討論單根延遲線於接收端(TDT)的波形之前，依據之前吾人所發表的論文 [44][45]，先簡單敘述單純兩根耦合傳輸線所產生的耦合雜訊大小，並加以定性的分析，之後再分析當多重轉折蛇狀與平面螺旋延遲線結構下的結果。

3-2-1 單根蛇狀延遲線

以單純的兩段耦合傳輸線而言：一段為主動線(active line)、一段為靜止線(quiet line)，如圖 3.2 所示，而於主動線上 A 點所傳輸的波形訊號如圖 3.3(a)所示，此輸入訊號上升時間為 T_r ，電壓振幅大小為 V_p ；其耦合傳輸間由於互容及互感耦合的機制下，在不考量多重耦合及輸入訊號的上升時間(T_r)小於兩倍單段傳輸

線的時間延遲(T_d)的情況下，於靜止線上NE點(近端)所產生的近端串音雜訊(near end crosstalk)或稱為向後傳輸串音雜訊(backward propagating crosstalk)的訊號波形，如圖 3.3(b)所示，其 T_d 表示單段傳輸線所產生的訊號延遲時間，而串音雜訊的大小 A 如公式(3-1)所示:[46]

$$A = \frac{V_p}{4} \left(\frac{L_m}{L_s} + \frac{C_m}{C_s} \right) \quad (3-1)$$

L_m 及 L_s 分別表示兩條線間的互感與自感； C_m 及 C_s 分別表示兩條線間的互容與自容；而 V_p 則表為輸入電壓的最大值。

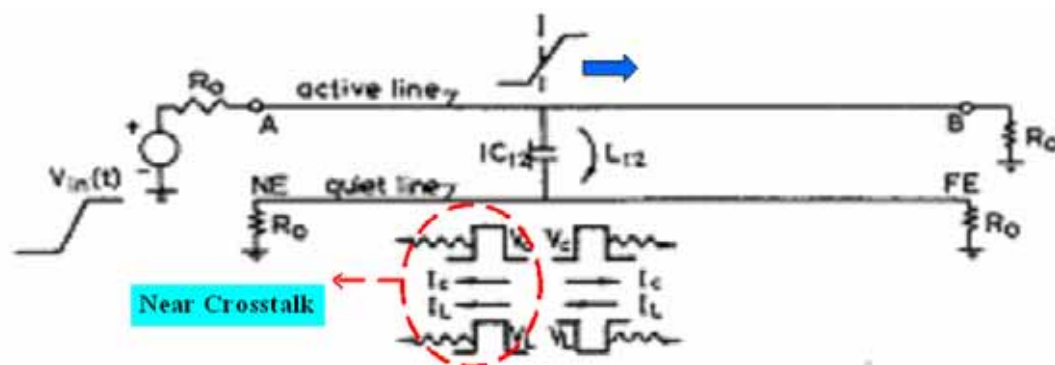


圖 3.2 耦合傳輸線，經由互容、互感機制所產生近端串音雜訊示意圖

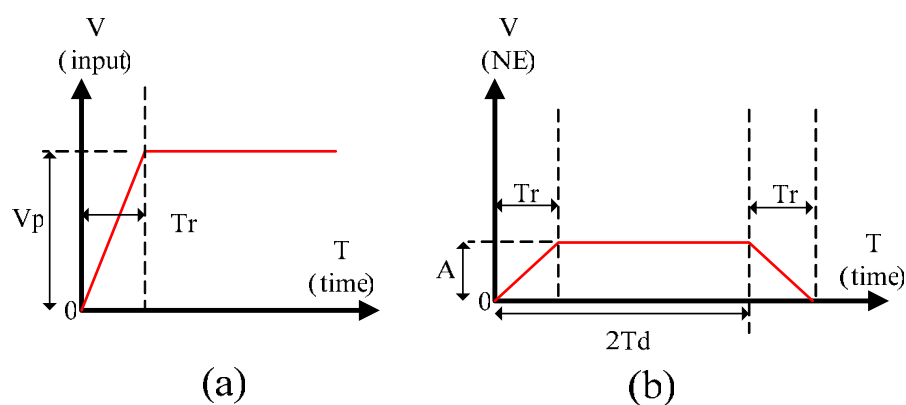


圖 3.3 (a)於圖 3.2 主動線上 A 點所傳輸的訊號波形

(b)於圖 3.2 靜止線上於近端(點 NE)所產生的串音雜訊的訊號波形

有了以上單純兩段線之近端雜訊觀念，再加上式(3-1)得到的近端雜訊最大振幅，接著將開始討論單根蛇狀延遲線於接收端的波形成因。首先，圖 3.4 為一七段轉折所構成的蛇狀延遲線架構，先假設其訊號源 V_s 的上升時間(T_r)小於兩倍單段傳輸線的時間延遲(T_d)；當 $t=0$ 開始，訊號由訊號源 V_s 傳輸出並產生於第一段線的 A 點，此時輸入訊號由於互容互感的耦合機制，將會產生向後傳輸的串音雜訊於第二段傳輸線上的 C 點，其大小、波形如同圖 3.3(b)所示，最大值如公式(3-1)所示；當輸入訊號經過第一段傳輸線的距離，即經過 T_d 時間後到達線的另一端，同時之前於 C 點所產生之向後傳輸串音雜訊，於 $t=T_d$ 也經由第三段線的傳播到達第三段線的另一端 D 點(注意！於此理論中皆先忽略耦合線與耦合線之間所連接之傳輸線所造成的時間延遲或假設其距離相當地小)。

接著輸入訊號將沿著第二段傳輸線，由 B 點向另一端傳播，由於輸入訊號於第二段線上傳輸，此時同樣由於耦合機制將於第三段傳輸線產生另外一組向後傳輸串音雜訊，其大小、波形也如同圖 3.3(b)所示，然而此時於 D 點上所看到的訊號還包含上一時段內(於 $t=0\sim T_d$ 間)於第二段傳輸線所產生之向後傳輸串音雜訊，經過了第三段傳輸線，於 $t=T_d$ 時已傳輸到 D 點。因此，此時於 D 點的所看到的串音雜訊，由於疊加的結果會有兩倍於公式(3-1)的大小；以此類推，當傳輸訊號經過五倍的 T_d 時間到達 E 點開始於第六段傳輸線傳播時，耦合雜訊的振幅將會疊加至六倍於公式(3-1)的大小並且出現於第七段傳輸線的 F 點。以上的討論只針對相鄰傳輸線段間的耦合效應做重點說明，當然非相鄰耦合線段之間也會有強度較低的耦合效應，其所產生的向後傳輸串音雜訊會較早抵達接收端，因此會形成於接收端出現的梯狀波形，如圖 3.5 所示。

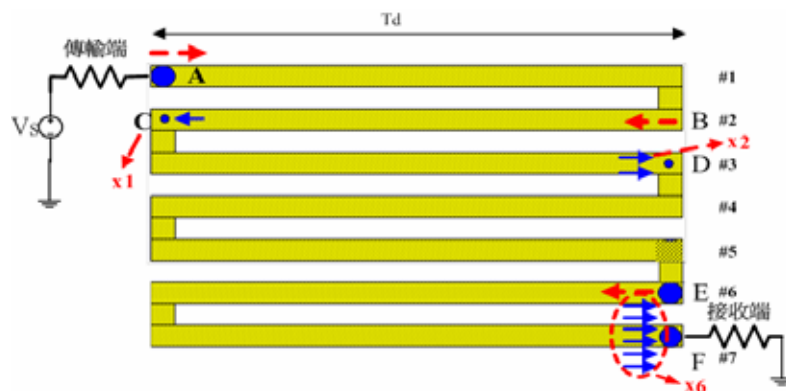


圖 3.4 七段單根蛇狀延遲線，接收端產生梯狀波形說明圖

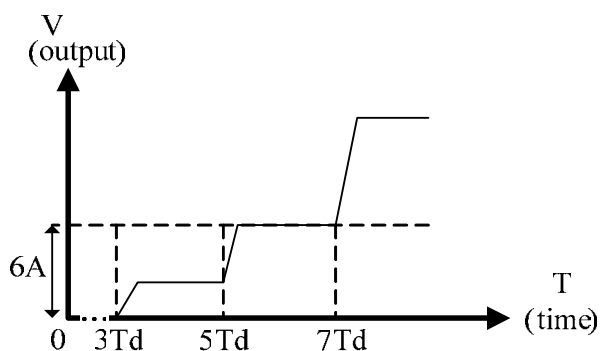


圖 3.5 七段單根蛇狀延遲線於接收端的梯狀波形示意圖

3-2-2 單根平面螺旋延遲線

圖 3.6 為一七段轉折所構成的平面螺旋延遲線架構，假設其訊號源 V_s 的上升時間(T_r)小於兩倍單段傳輸線的時間延遲(T_d)；同樣地從 $t=0$ 開始，訊號由訊號源 V_s 傳輸出並產生於第一段線的 A 點，此時向後傳輸串音雜訊也將產生於第二段傳輸線上的 C 點，此串音雜訊將於 $t=1T_d$ 時直接出現在第七段傳輸線的 F

點，而輸入訊號經過 $1T_d$ 的時間延遲後此時也抵達了第六段傳輸線的 E 點，當訊號沿著第六段傳輸線向左行進時，一個向後傳輸串音雜訊也將產生於 F 點與第五段傳輸線的 B 點，由於疊加的效果 $t=1T_d\sim 3T_d$ 時於 F 點將會出現一個波形如圖 3.3(b)所示，振幅為兩倍於公式(3-1)大小的串音雜訊，而出現在第五段傳輸線 B 點的串音雜訊也將於 $t=3T_d$ 時出現在 F 點；接著訊號經過 $2T_d$ 的時間延遲抵達第三段傳輸線的 D 點後，向後傳輸串音雜訊又出現於第二段傳輸線的 C 點與第四段傳輸線的左邊，因此 $t=3T_d\sim 5T_d$ 時於 F 點也會出現一個波形如圖 3.3(b)所示，振幅為兩倍於公式(3-1)大小的串音雜訊；以此類推，在主要訊號於 $t=7T_d$ 抵達接收端之前，接收端將會出現如圖 3.7 所示的波形。

在比較圖 3.5 與圖 3.7 可以發現，蛇狀延遲線會將向後傳輸串音雜訊累積起來並且會較主要訊號更早抵達接收端，倘若傳輸線段間的耦合效應過大，此種現象的出現將會容易導致邏輯閘的誤工作(false switching)，即串音雜訊大小超過邏輯閘的臨界電壓(threshold voltage)；而平面螺旋延遲線可以將這些向後傳輸串音雜訊分散至各個不同的時間間隔出現，因此較不容易有上述邏輯閘誤工作的問題發生。

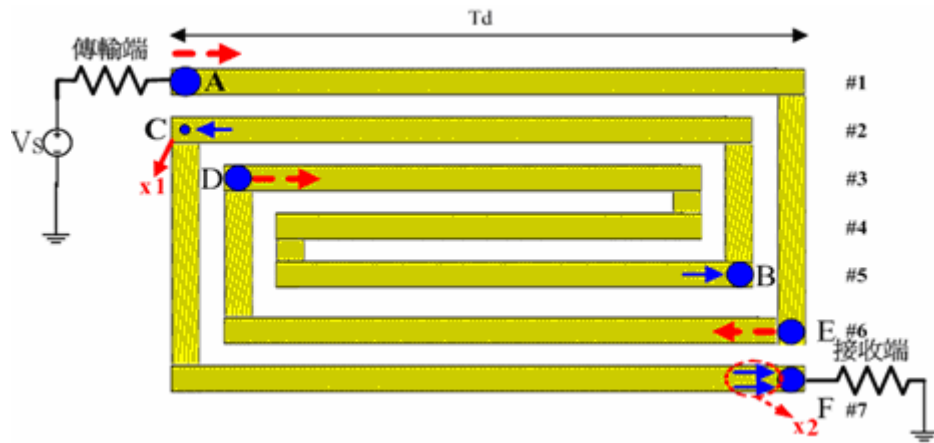


圖 3.6 七段單根平面螺旋延遲線，接收端產生波形說明圖

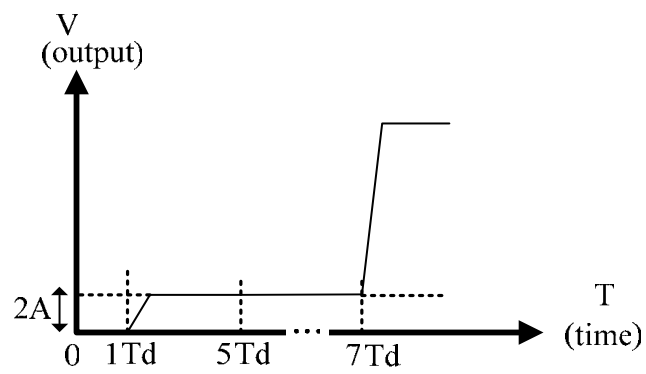


圖 3.7 七段單根平面螺旋延遲線於接收端波形示意圖

3-3 單根蛇狀與平面螺旋延遲線之傳輸端波形分析

3-3-1 單根蛇狀延遲線

同樣地，在討論單根延遲線於傳輸端(TDR)的雜訊之前，必須先簡單提到單純的兩段耦合傳輸線，一為主動線、一為靜止線，如圖 3.8 所示，於主動線上 A 點所傳輸的波形訊號如圖 3.9(a)所示，輸入訊號上升時間為 T_r ，電壓振幅大小為 V_p ；其耦合傳輸線段間由於互容及互感耦合的機制，以及在不考量傳輸線間的多重耦合效應下，於靜止線上 FE 點(遠端)所產生的遠端串音雜訊(far end crosstalk)或稱為向前傳輸串音雜訊(forward propagating crosstalk)的訊號波形，如圖 3.9(b)所示，其 T_d 表示單段傳輸線所產生的訊號延遲時間，而串音雜訊的大小 B 如公式(3-2)所示:[46]

$$B = -\frac{V_p T_d}{2 T_r} \left(\frac{L_m}{L_s} - \frac{C_m}{C_s} \right) \quad (3-2)$$

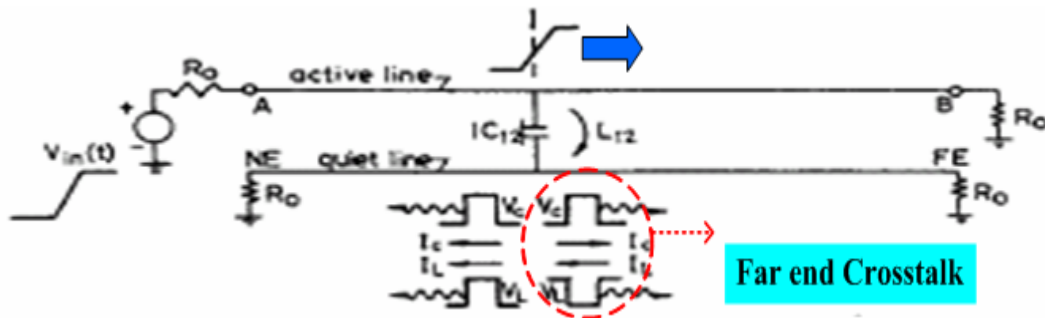


圖 3.8 耦合傳輸線，經由互容、互感機制所產生遠端串音雜訊示意圖

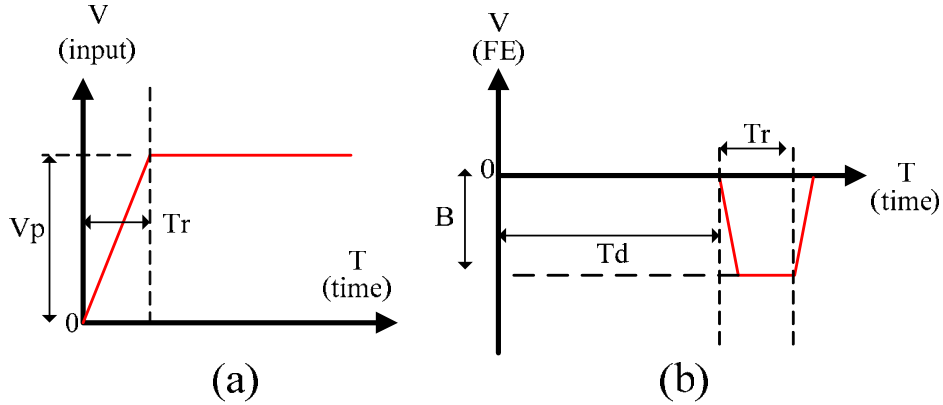


圖 3.9 (a)於圖 3.8 主動線上 A 點所傳輸的訊號波形

(b)於圖 3.8 靜止線上於遠端(點 FE)所產生的串音雜訊的訊號波形

有了以上單純兩段線之遠端雜訊觀念，再加上式(3-2)得到的遠端雜訊最大振幅，接著將開始討論單根蛇狀延遲線於傳輸端的波形成因。圖 3.10 為一七段轉折所構成的蛇狀延遲線架構，假設其訊號源 V_s 的上升時間(T_r)小於兩倍單段傳輸線的時間延遲(T_d)；當 $t=0$ 開始，訊號由訊號源 V_s 傳輸出並產生於第一段傳輸線的 A 點，此時輸入訊號由於互容互感的耦合機制，將會產生之前所提到的向前傳輸串音雜訊(forward propagating crosstalk)於第二段傳輸線上的 C 點並向 B 點傳播，其大小、波形如圖 3.9(b)所示，最大值如公式(3-2)所示；當輸入訊號經過第一段傳輸線的距離，即經過 T_d 時間後到達 B 點，同時之前於 C 點所產生之向前傳輸串音雜訊也經由第二段傳輸線的傳播到達 D 點。接著輸入訊號將沿著第二段傳輸線，由 D 點向另一端(C 點)傳播，由於輸入訊號於第二段傳輸線上傳播，此時同樣由於耦合機制將於第一段傳輸線產生另外一組向前傳輸串音雜訊，由第一段傳輸線的 B 點向 A 點傳播，與前一個向前傳輸串音雜訊疊加的結果在 $t=2T_d$ 時於傳輸端(A 點)將有一個如圖 3.9(b)且其振幅為兩倍於公式(3-2)的波形出現；以此類推，在主要訊號抵達接收端之前，蛇狀延遲線每隔 $2T_d$ 就將有一個如圖 3.9(b)且其振幅為兩倍於公式(3-2)的波形出現於傳輸端，如圖 3.11 所示。

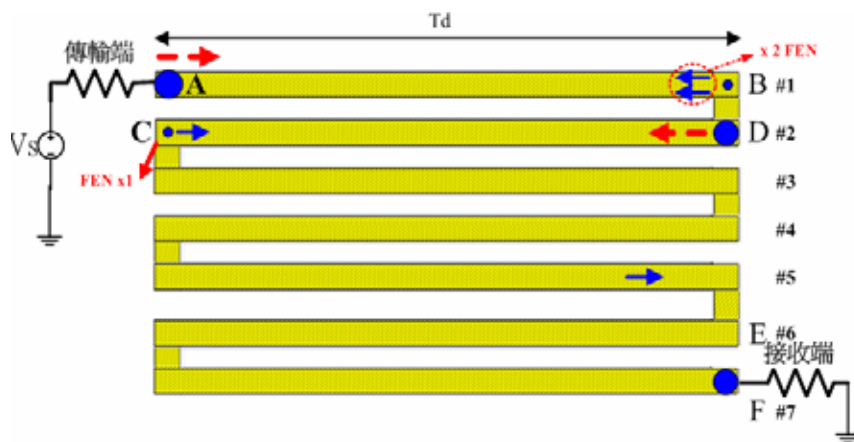


圖 3.10 七段單根蛇狀延遲線，傳輸端產生波形說明圖

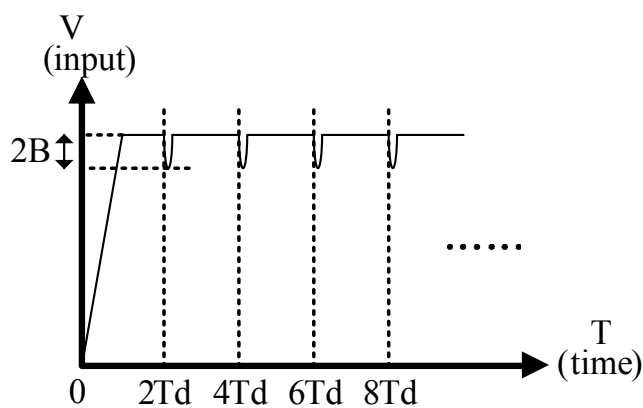


圖 3.11 七段單根蛇狀延遲線於傳輸端波形示意圖

3-3-2 單根平面螺旋延遲線

圖 3.12 為一七段轉折所構成的平面螺旋延遲線架構，假設其訊號源 V_s 的上升時間(T_r)小於兩倍單段傳輸線的時間延遲(T_d)；同樣地從 $t=0$ 開始，訊號由訊號源 V_s 傳輸出並產生於第一段線的 A 點，此時向前傳輸串音雜訊也將產生於第二段傳輸線上的 C 點，經過 T_d 時間後輸入訊號到達 B 點，而之前於 C 點產生

的串音雜訊達到了最大值並且抵達了 D 點，然而此串音雜訊還必須經過額外的 $5T_d$ 才能抵達傳輸端 A 點。接著輸入訊號進入了第六段傳輸線的右端(E 點)，此時兩個向前傳輸串音雜訊將分別產生於第五段傳輸線的 G 點以及第七段線的 F 點，當產生於 G 點的向前傳輸串音雜訊達到了最大值其仍還需要額外的 $4T_d$ 才能抵達傳輸端 A 點，而產生於 F 點的向前傳輸串音雜訊在達到了最大值後則需要更多的時間 $6T_d$ 才能抵達傳輸端 A 點；以此類推，於 $t=6T_d$ 以及 $t=8T_d$ 時傳輸端 A 點將產生一個如圖 3.9(b)但其振幅卻六倍於公式(3-2)的波形出現，如圖 3.13 所示。

在比較圖 3.11 與圖 3.13 可以發現，蛇狀延遲線可以將出現於傳輸端向前傳輸串音雜訊分散使其平均分佈於各個時間點；然而平面螺旋延遲線則會將向前傳輸串音雜訊累積起來並且於 $t=6T_d$ 以及 $t=8T_d$ 時出現於傳輸端，此外由公式(3-2)知向前傳輸串音雜訊與單段線的時間延遲 T_d 成正比及與輸入訊號的上升 T_r 成反比，因此在設計延遲線時同樣必須特別注意其傳輸端的訊號是否會低於邏輯閘的臨界電壓。

經由上述對於七段單根蛇狀與平面螺旋延遲線傳輸端以及接收端的波形分析可知，平面螺旋延遲線雖然可以改善蛇狀延遲線於接收端會出現梯狀波形的缺點，但是其傳輸端的波形卻比蛇狀延遲線的更為糟糕，在此僅提供給業界於設計延遲線時參考。

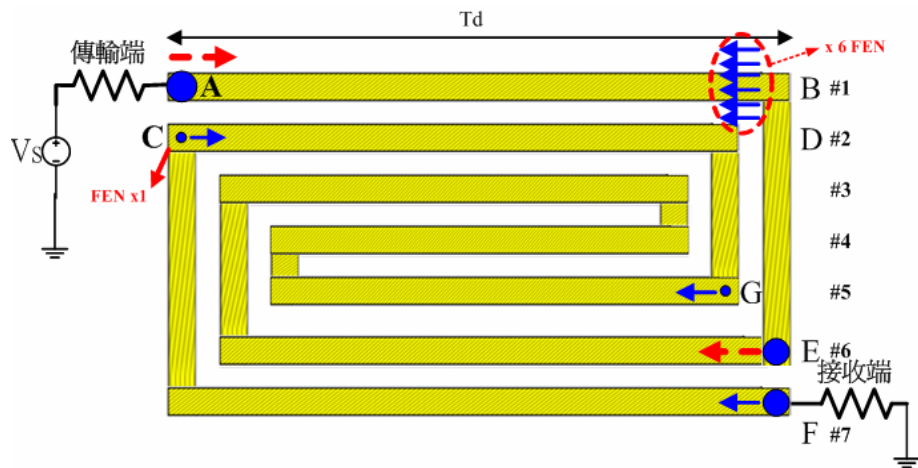


圖 3.12 七段單根平面螺旋延遲線，傳輸端產生波形說明圖

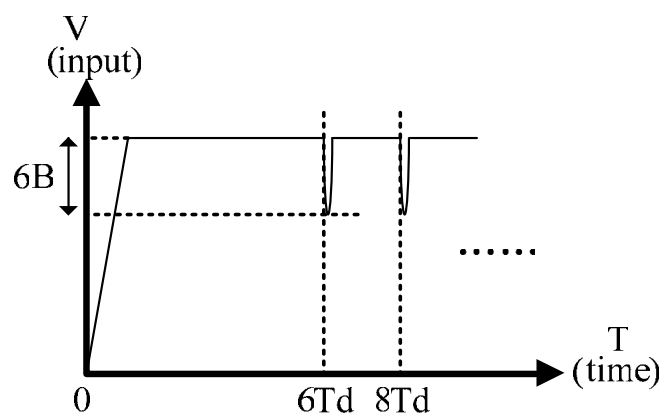


圖 3.13 七段單根平面螺旋延遲線於傳輸端波形示意圖

3-4 差模延遲線分析

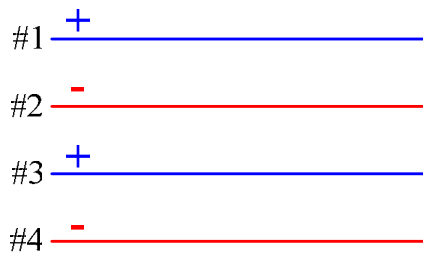
理論上來說，差模訊號其實就是在傳輸端將單根訊號一分为二利用兩條導線在印刷電路板上傳輸，最後當差模訊號抵達接收端時再將兩個訊號合而為一去驅

動系統的下一級，因此若將傳輸差模訊號的兩條導線視為一對(pair)，3-2 以及 3-3 節對於兩種單根延遲線的波形分析則皆可適用於差模延遲線，但是之前適用於單根延遲線的串音公式在此則不敷使用，然而為了對於差模延遲線做一系列完整的分析，本節則進一步地推導差模串音的公式。

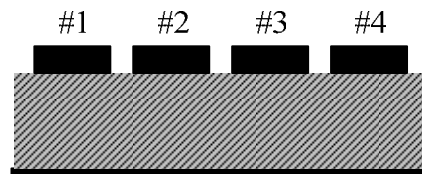
在弱耦合的假設下，如果對於差模傳輸線引進對與對耦合(pair-to-pair coupling)的概念則公式(3-1)以及公式(3-2)同樣可適用於差模串音振幅的計算，只是此時公式裡的 L_m 與 C_m 指的是差模對間的互感互容，而 L_s 與 C_s 指的則是差模對本身的自感自容，然而這些電感電容值要如何計算呢？假設現在有一個四根相同導體的傳輸線系統，如圖 3.14 所示，其等效電容矩陣可以寫成如(3-3)的形式，

$$Q_i = [C_{ij}] \cdot V_j; \quad i, j = 1, 2, 3, 4. \quad (3-3)$$

由於是差模訊號傳輸，導體 2 上的電量 Q 與電壓 V 可以寫成 $Q_2 = -Q_1$ 以及 $V_2 = -V_1$ ，導體 4 上的電量 Q 與電壓 V 可以寫成 $Q_4 = -Q_3$ 以及 $V_4 = -V_3$ 。經由一些簡單的數學運算，可以得到差模對的自容為 $C_s = (C_{11} + C_{22} - C_{12} - C_{21})/2$ 以及互容為 $C_m = (C_{13} - C_{23} - C_{14} + C_{24})/2$ ，同理差模對的自感為 $L_s = (L_{11} + L_{22} - L_{12} - L_{21})/2$ 以及互感為 $L_m = (L_{13} - L_{23} - L_{14} + L_{24})/2$ ，經由將這些電感電容值代入公式(3-1)以及公式(3-2)，差模串音的振幅即可容易地計算出來。



(a)



(b)

圖 3.14 四根相同導體傳輸線系統：(a)上視圖，(b)剖面圖

接下來，吾人將實際舉一個實例以驗證上述差模串音公式的正確性，假設一個輸入及輸出差模阻抗皆被設計為 100 歐姆的七對差模蛇狀延遲線，其剖面圖，如圖 3.15 所示，輸入訊號的規格為振幅 $\pm 0.5\text{ V}$ ，上升時間為 100ps。藉由上述公式的計算，出現在蛇狀延遲線傳輸端第一個電壓下降以及接收端最高的梯狀電壓值列表於表 3.1，在與 HSPICE 模擬結果比較之後可以發現兩者的值皆非常接近，因此驗證了上述公式的正確性。

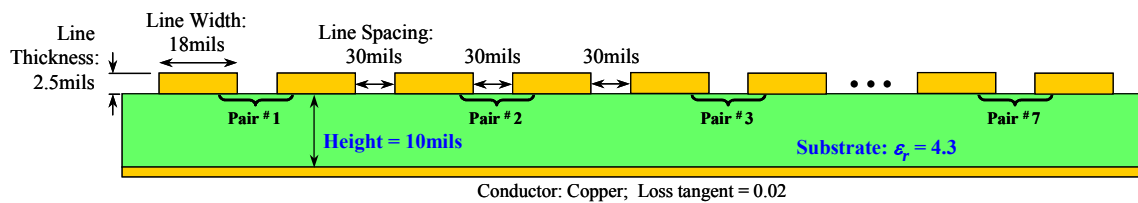


圖 3.15 七對差模蛇狀延遲線結構剖面圖

分析方法	第一個電壓下降(TDR)	梯狀波最高電壓(TDT)
公式計算	21.97 mV	22.86 mV
HSPICE 模擬	21.95 mV	22.41 mV

表 3.1 出現在蛇狀延遲線傳輸端第一個電壓下降以及接收端最高的梯狀電壓值列表

3-5 單根與差模延遲線之時域波形比較

本節旨在利用軟體 HSPICE 針對前幾節所述四種延遲線結構進行模擬，並且

比較單根與差模延遲線兩者之信號完整度，一個改良的平面螺旋延遲線結構也將於此節提出供業界參考；最後，本節將介紹兩張吾人自行繪製可以快速估計單根與差模延遲線接收端串音雜訊大小的設計圖表。

3-5-1 單根延遲線之時域模擬波形

圖 3.16 與圖 3.17 為單根蛇狀與平面螺旋延遲線的結構上視圖與剖面圖，其傳輸端與接收端接的皆是匹配電阻，輸入訊號的上升時間為 100ps 且電壓振幅為 1V，模擬的波形如圖 3.18 所示，黑色實線指的是一條總長度與延遲線相等之完整長直導線的模擬波形，基本上單根蛇狀與平面螺旋延遲線波形之形狀皆與先前分析的相似，蛇狀延遲線於接收端出現的梯狀波超過了臨界電壓 0.25V，雖然利用平面螺旋延遲線結構可以改善這個缺點，但其仍然加快了主要訊號原來該有的到達時間(T_d)。除此之外，平面螺旋延遲線於傳輸端的電壓下降似乎沒有預期地來的深，推想其原因乃是由於使用材質的損耗導致的結果。

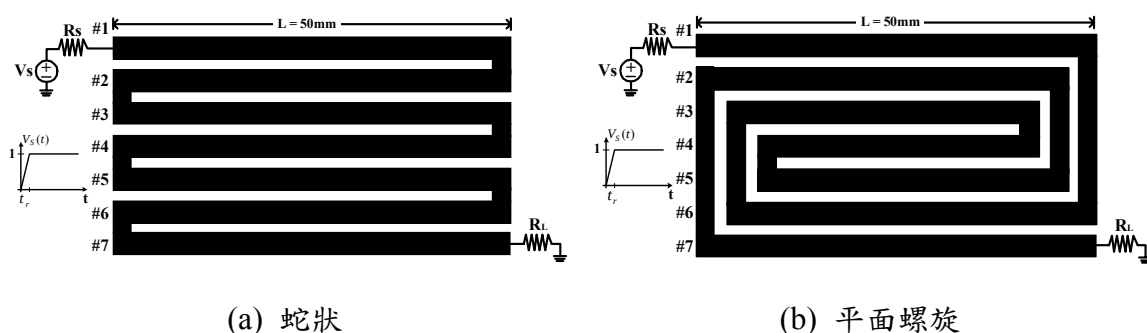


圖 3.16 七段單根延遲線結構上視圖

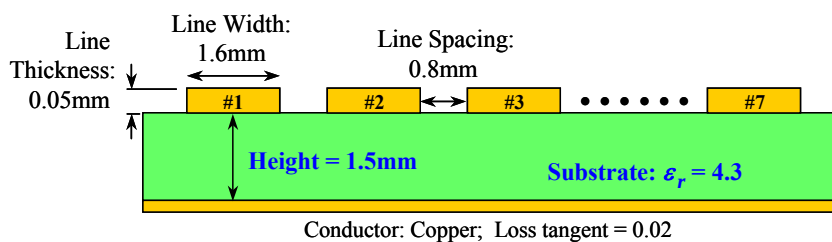


圖 3.17 七段單根延遲線結構剖面圖

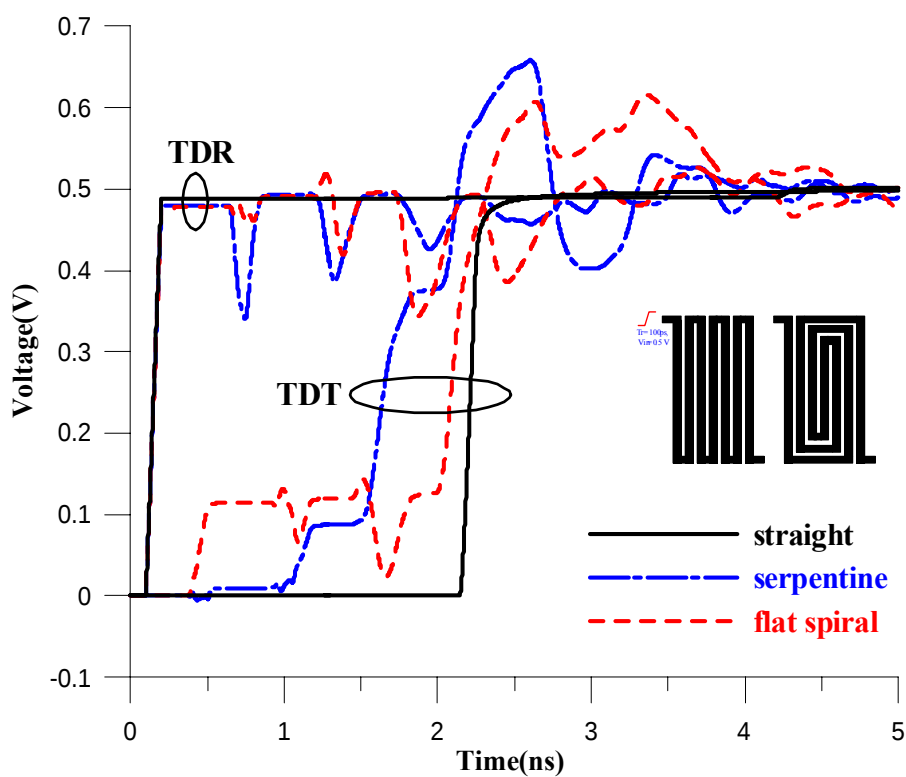


圖 3.18 單根蛇狀與平面螺旋延遲線模擬波形比較圖

3-5-2 差模延遲線之時域模擬波形

由於差模訊號傳輸時乃是正負電壓相間的，因此其會有良好的雜訊抑制能力，圖 3.19 與圖 3.20 為差模蛇狀與平面螺旋延遲線的結構上視圖與剖面圖，其

傳輸端與接收端接的皆是匹配電阻，而為了配合單根延遲線的輸入訊號此時差模延遲線輸入訊號的上升時間仍為 100ps 但其電壓振幅為 $\pm 0.5\text{V}$ ，模擬的波形如圖 3.21 所示，在此所顯示的波形乃是差模正負訊號相減的波形，黑色實線指的是一對總長度與延遲線相等之完整差模長直導線的模擬波形，基本上差模蛇狀與平面螺旋延遲線波形的形狀皆與單根延遲線的相似，但是信號完整性相對來說卻好得多。除此之外，由於差模信號強大的雜訊抑制能力，導致兩種差模延遲線的主要訊號時間延遲皆與長直導線的差不多，表 3.2 則比較了單根與差模蛇狀延遲線兩者傳輸端與接收端雜訊的最大值，可以發現差模信號於延遲線的運用其雜訊抑制比率大約在 4~6 之間。

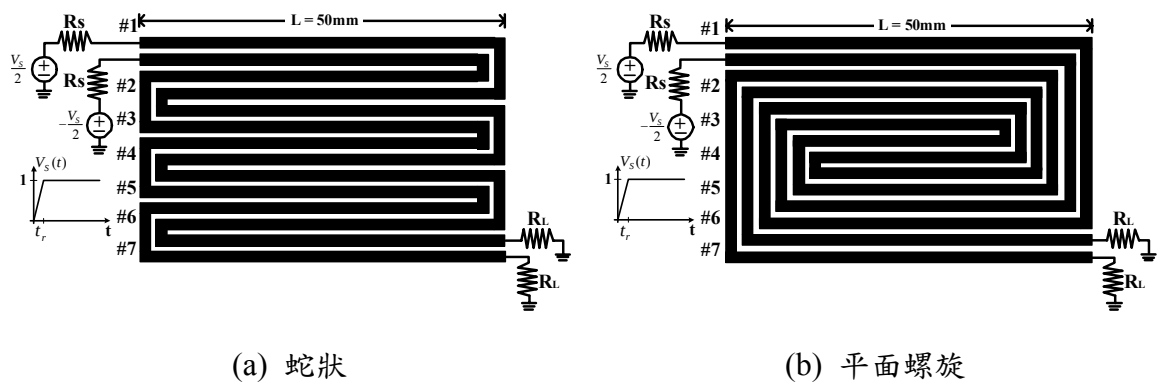


圖 3.19 七對差模延遲線結構上視圖

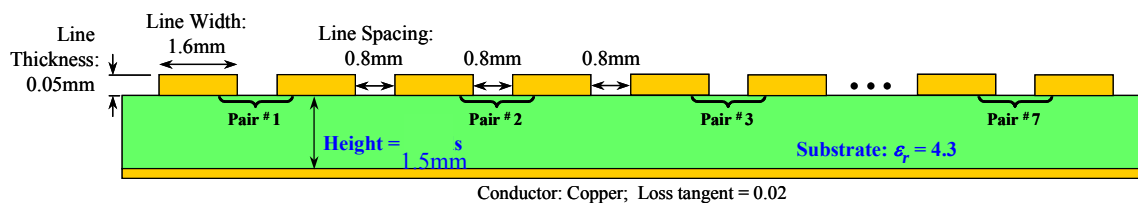


圖 3.20 七對差模延遲線結構剖面圖

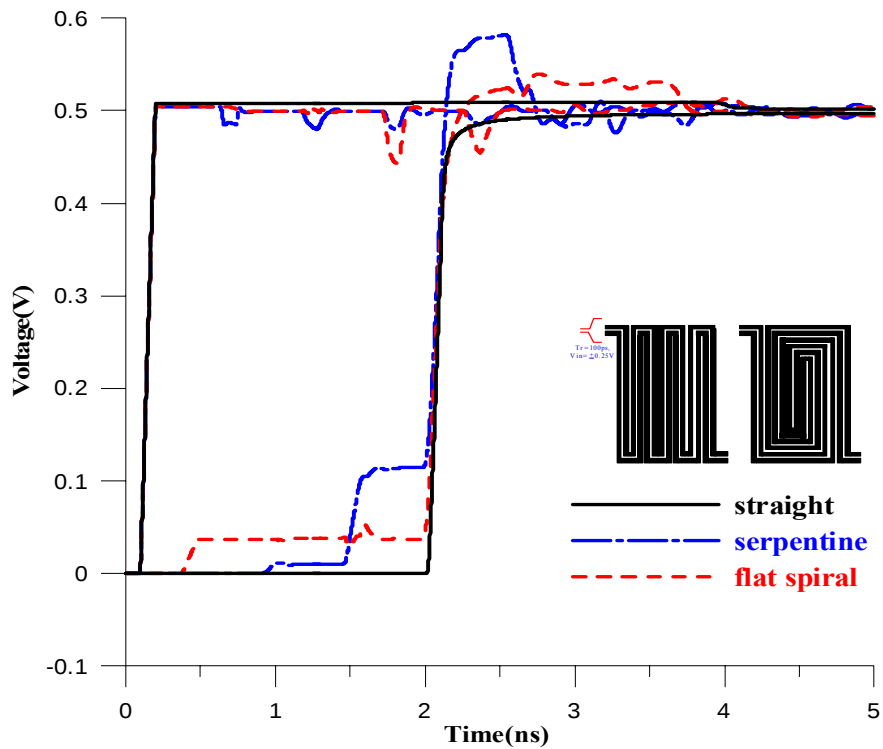


圖 3.21 差模蛇狀與平面螺旋延遲線模擬波形比較圖

單位：V	單根	差模	雜訊抑制比率
第一個電壓下降(TDR)	0.139	0.020	6.95
梯狀波最高電壓(TDT)	0.376	0.114	3.30

表 3.2 單根與差模蛇狀延遲線傳輸端與接收端雜訊的最大值

然而，當差模對長度越來越短或者是數量越來越多時，差模平面螺旋圖樣於印刷電路板上的實現將更顯困難，在此吾人提出一個改良過後的平面螺旋圖

樣以增加延遲線於印刷電路板上使用的彈性，結構上視圖與模擬波形圖如圖 3.22 與圖 3.23 所示。在比較過其與差模蛇狀以及傳統平面螺旋延遲線的模擬波形後可以發現改良之平面螺旋圖樣其效能恰好介於蛇狀與傳統平面螺旋圖樣之間。

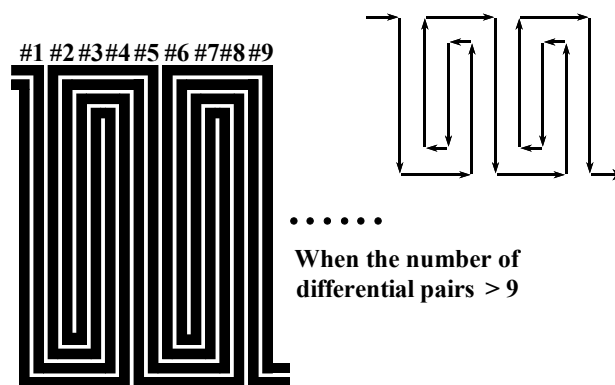


圖 3.22 改良之差模平面螺旋延遲線圖樣

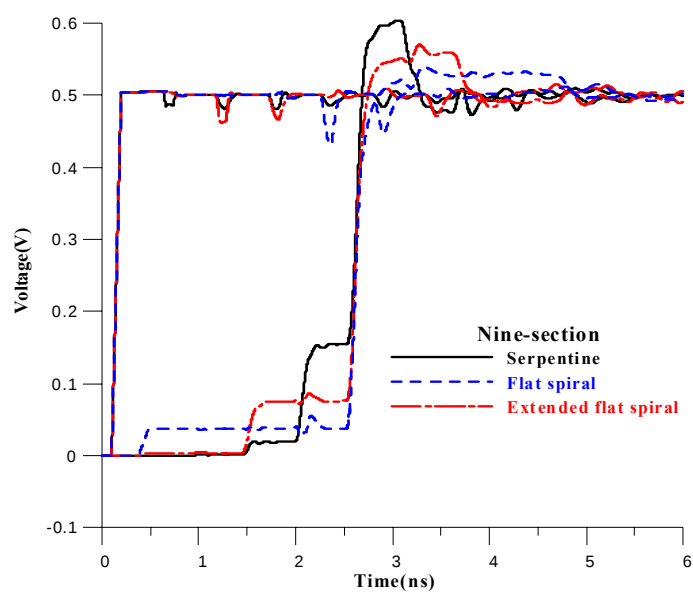


圖 3.23 差模蛇狀、平面螺旋及改良之平面螺旋延遲線模擬波形比較圖

3-5-3 接收端串音設計圖表

雖然之前已經推導過差模串音公式以方便分析差模延遲線之串音振幅量值，然而利用公式計算對工程師來講仍嫌費時，尤其是每當單根或差模延遲線重新設計的時候。有鑒於此，吾人特額外繪製兩張關於單根及差模延遲線接收端串音雜訊最大值大小的圖表，如圖 3.24 與圖 3.25 所示，在此接收端串音雜訊的單位已經被延遲線的段數(N)以及輸入訊號(V_{in})正規化以求適用於一般的情況；除此之外，經由比較上述兩張圖可以發現差模訊號所產生的接收端串音雜訊較不容易受到傳輸線尺寸改變的影響。

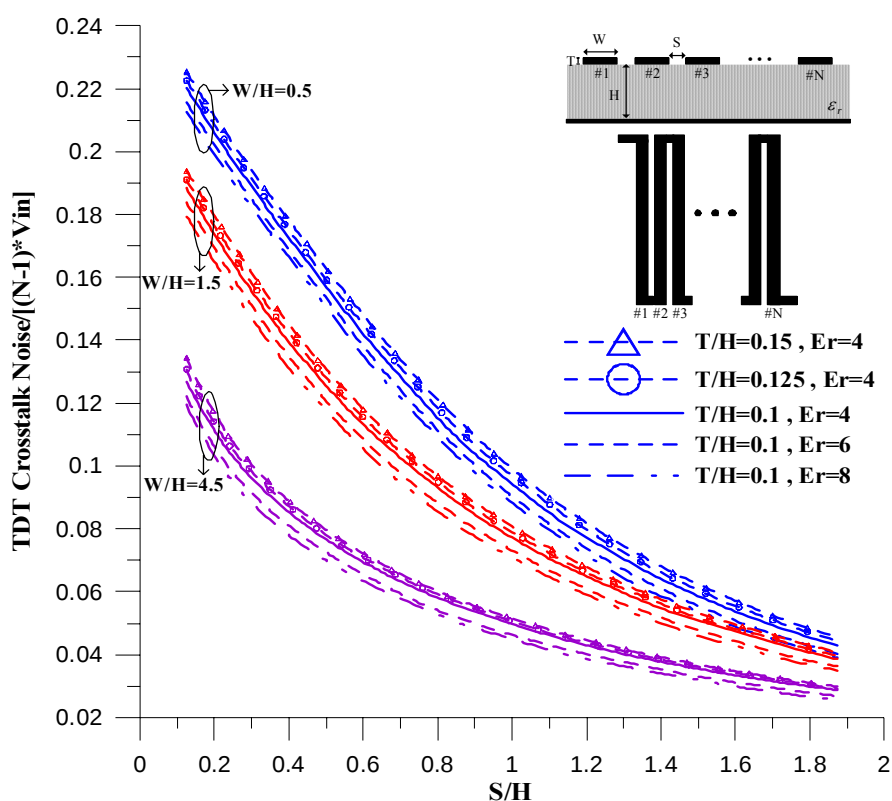


圖 3.24 接收端串音雜訊 vs.單根延遲線尺寸設計圖表

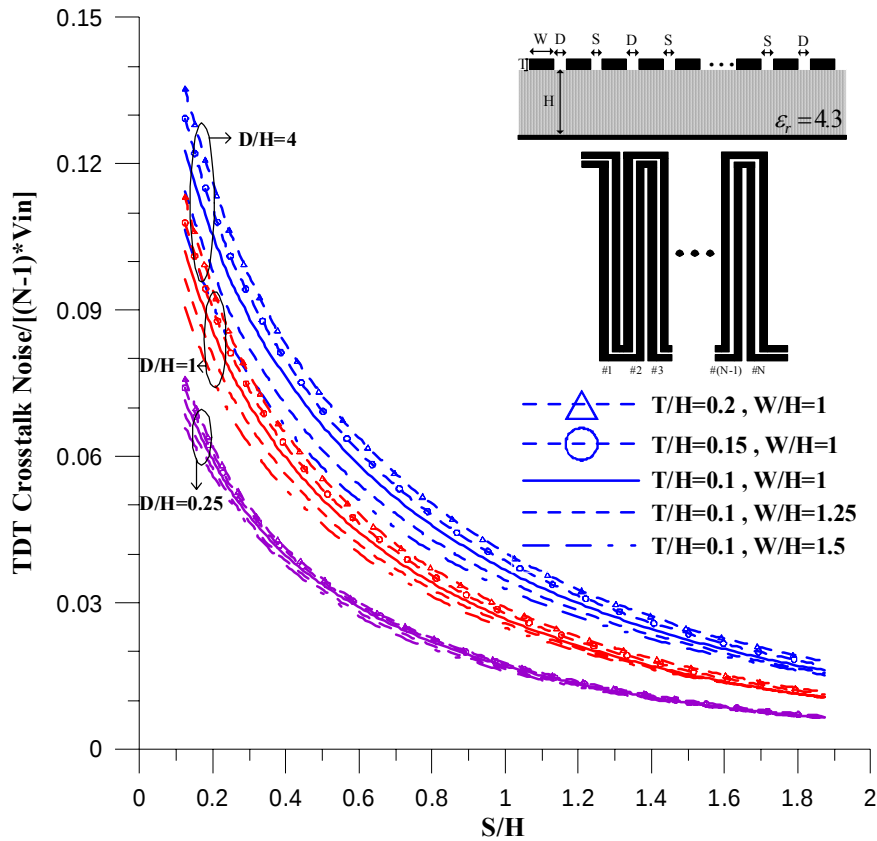
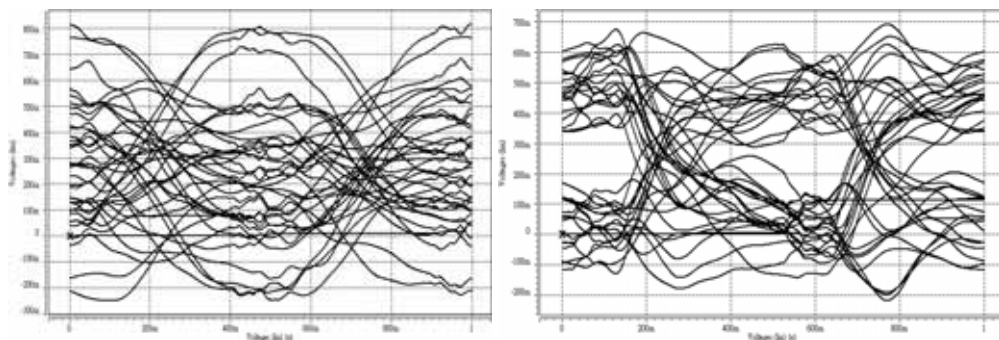


圖 3.25 接收端串音雜訊 vs. 差模延遲線尺寸設計圖表

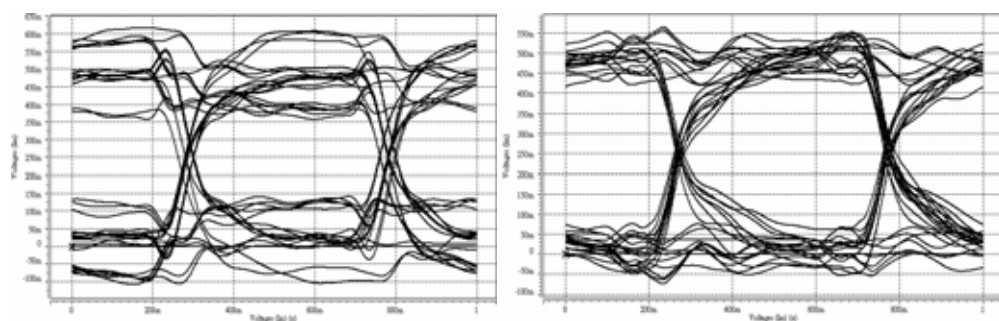
3-6 單根與差模延遲線之接收端眼狀圖比較

由 3-5-2 可知差模信號強大的串音雜訊抑制能力使得差模延遲線的主要訊號時間延遲皆與等長差模長直導線的差不多，但是差模延遲線其接收端之串音雜訊最大值仍然會對眼狀圖的雜訊邊限(noise margin)造成影響。圖 3.26 為上述四種基本延遲線結構之接收端眼狀圖，在此輸入之隨機訊號(pseudo-random signal)上升時間為 50ps、週期(bit period)為 500ps(2Gbps)以及電壓擺幅(voltage swing) 0~1V，在比較過四張眼狀圖後發現圖 3.26(d)具有最大的張開度(eye opening)以及最小的 jitter，因此可以確定差模訊號與平面螺旋圖樣的設計結合可以使得延遲線具有最佳的信號完整度。



(a)單根蛇狀

(b)單根平面螺旋

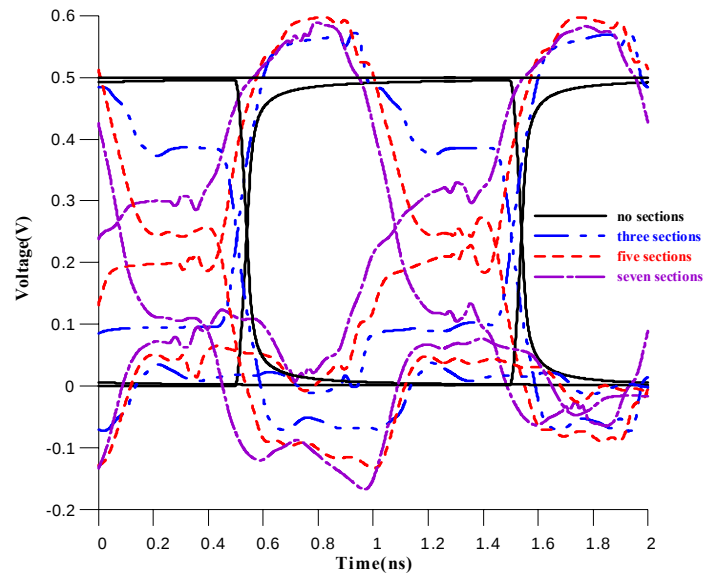


(c)差模蛇狀

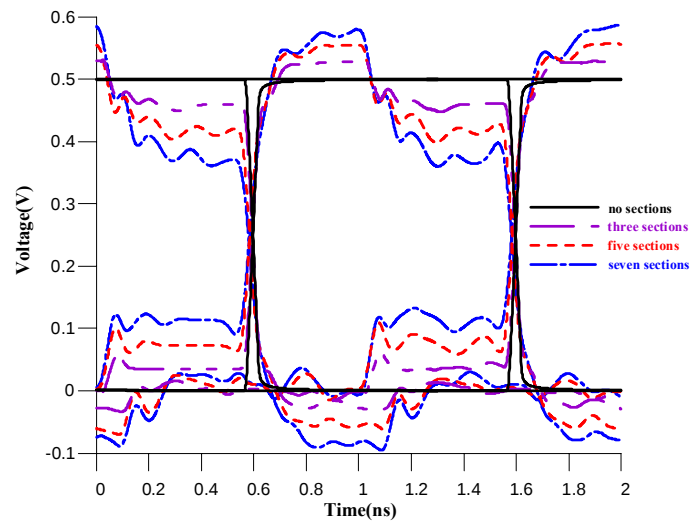
(d)差模平面螺旋

圖 3.26 四種延遲線之接收端眼狀圖比較

然而影響串音雜訊累積量之延遲線的段(對)數也是決定接收端眼狀圖的關鍵，如圖 3.27 所示；除此之外，圖 3.28 則呈現了改變延遲線段與段(對與對)之間距的接收端眼狀圖。由上述兩張圖可以發現當段數(對數)越小或者是間距越大時其眼狀圖會越佳。圖 3.29 則呈現了當不考慮使用材質之損耗參數情況下接收端的眼狀圖，經由與圖 3.26(c)與圖 3.26(d)比較之後發現使用材質是否損耗並不是影響眼狀圖的一個重要因素。最後輸入信號的週期也一併考慮模擬，如圖 3.30 所示，而當信號週期越小，其眼狀圖越差。

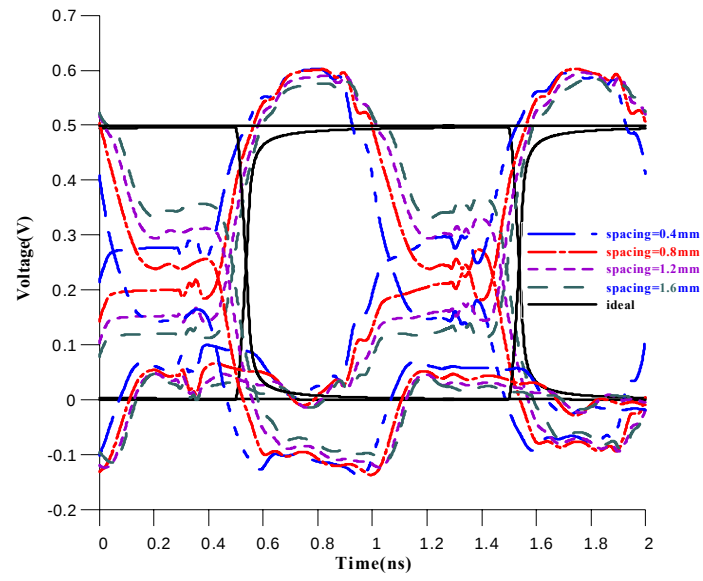


(a) 單根蛇狀延遲線(段與段之間距為 0.8mm)

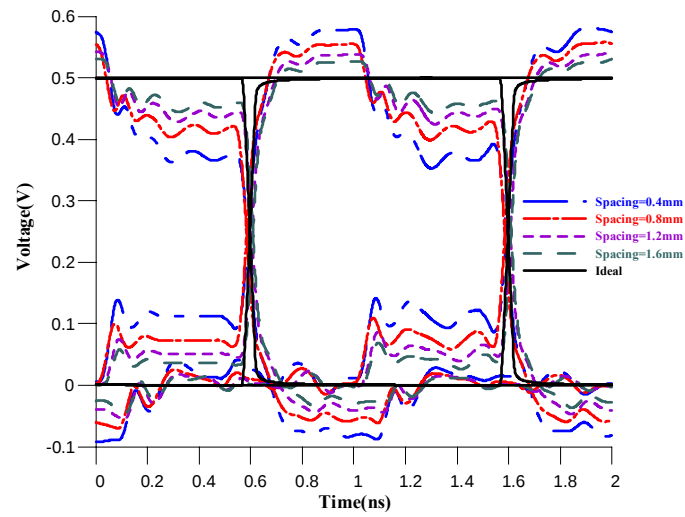


(b) 差模蛇狀延遲線(對與對之間距為 0.8mm)

圖 3.27 改變傳輸線段數之接收端眼狀圖比較

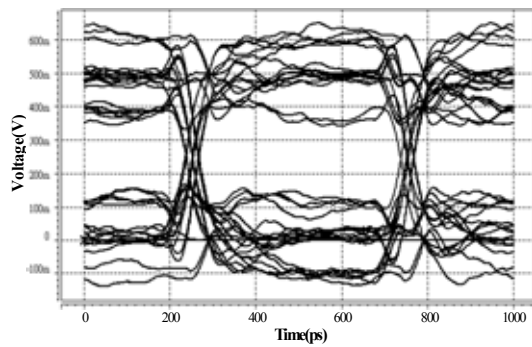


(a) 五段單根蛇狀延遲線

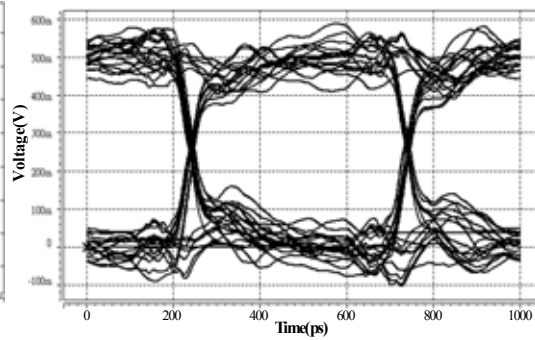


(b) 五對差模蛇狀延遲線

圖 3.28 改變傳輸線間距之接收端眼狀圖比較

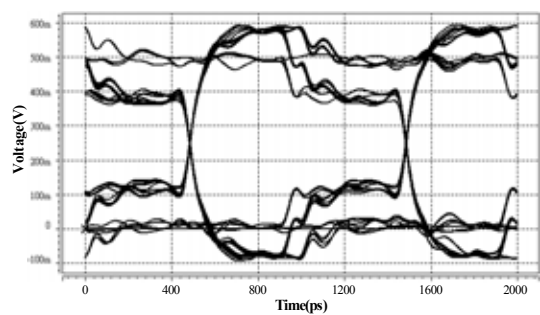


(a) 差模蛇狀

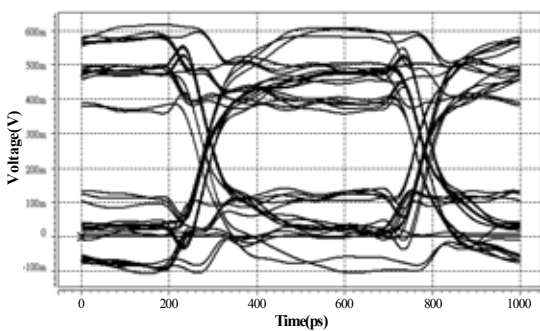
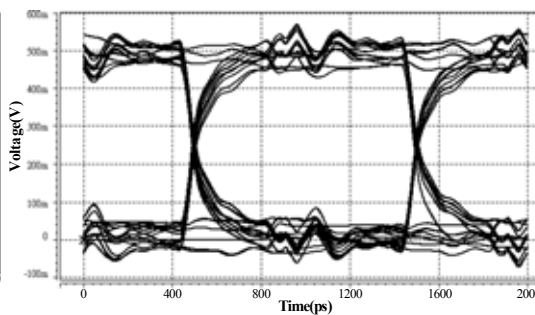


(b) 差模平面螺旋

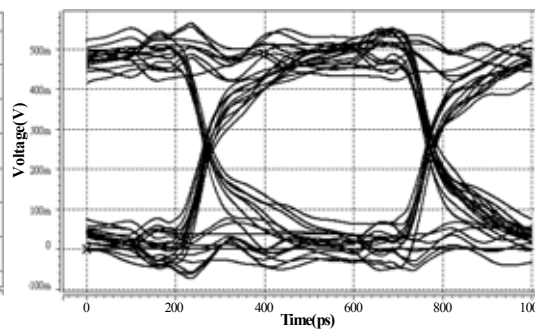
圖 3.29 無損耗差模延遲線之接收端眼狀圖比較

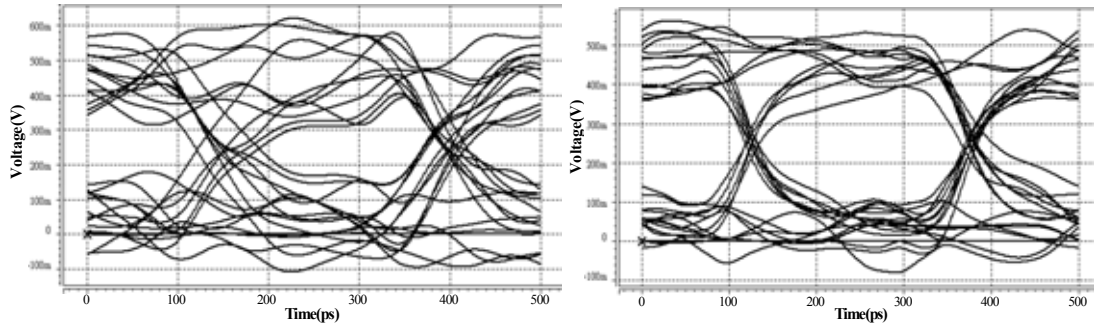


(a) 訊號週期為 1ns



(b) 訊號週期為 500ps



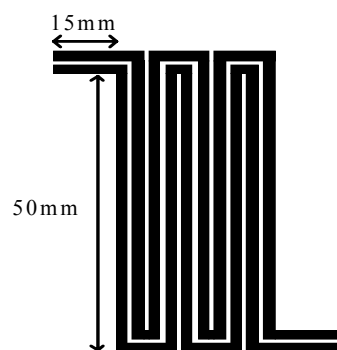


(c) 訊號週期為 250ps

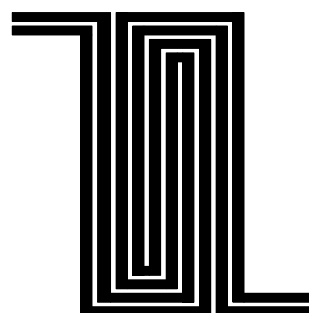
圖 3.30 差模延遲線改變輸入訊號週期之眼圖比較(左：蛇狀，右：平面螺旋)

3-7 模擬與量測結果比較

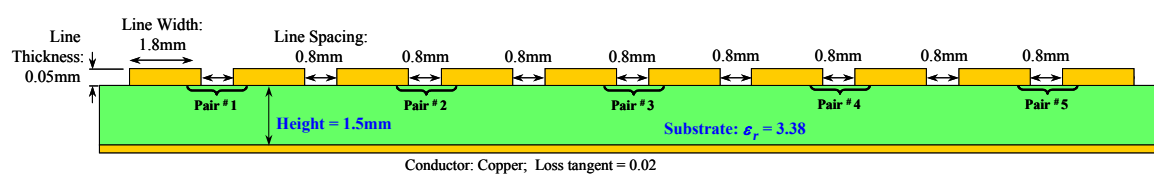
圖 3.31 為設計之差模延遲線幾何結構，輸入以及輸出差模阻抗皆設計為 100 歐姆，在此是利用 Tektronix/CSA8000 進行量測，而 HSPICE 模擬的輸入訊號則是實際擷取量測儀器內部的輸入訊號。模擬與量測結果比較波形顯示於圖 3.32 與圖 3.33，傳輸端與接收端波形皆相當接近，除了接收端訊號的上升邊緣，另外一有相關文獻在探討全波模擬軟體分析與電路模擬分析的結果差異[47]，其結果也證明以電路模擬分析就已有其可接受的準確性了。推想造成此誤差的可能原因應為實際量測時所使用的同軸電纜線額外的高頻損耗以及在 HSPICE 模擬時所忽略的傳輸線邊緣效應。此外，量測波形也引入軟體 IConnect[48]以得到量測之眼狀圖，如圖 3.34 所示，經由與圖 3.35 比較後發現模擬與量測之眼狀圖均非常接近，因此驗證了上述分析的正確性。



(a) 差模蛇狀延遲線

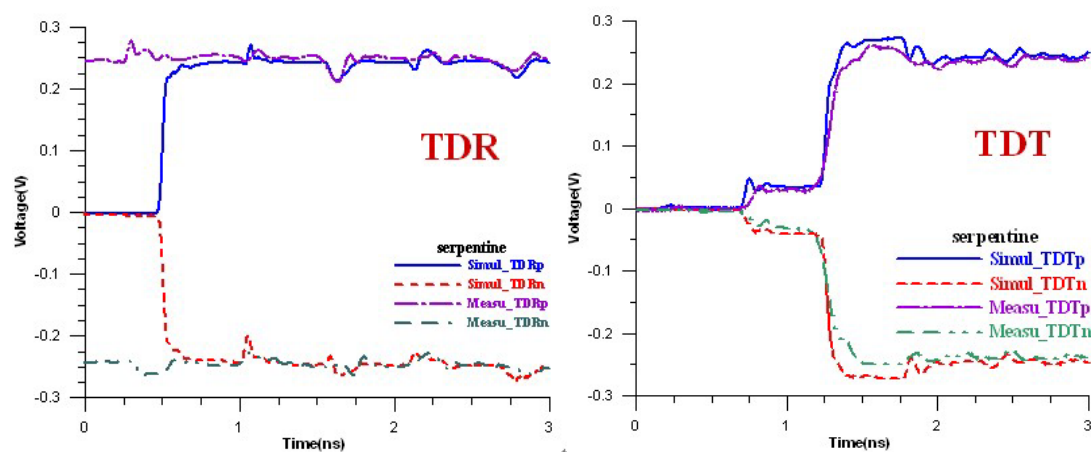


(b) 差模平面螺旋延遲線



(c) 五對差模延遲線結構剖面圖

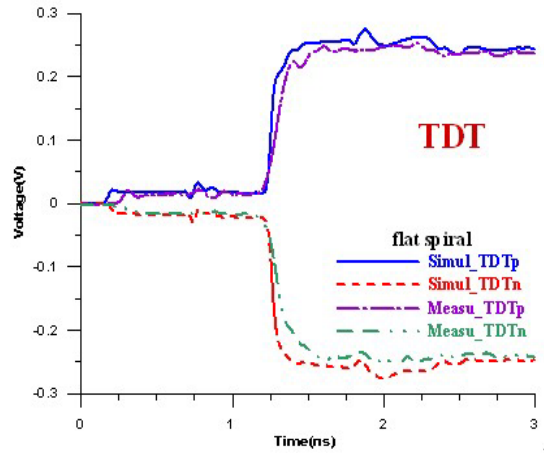
圖 3.31 差模延遲線之量測結構設計圖



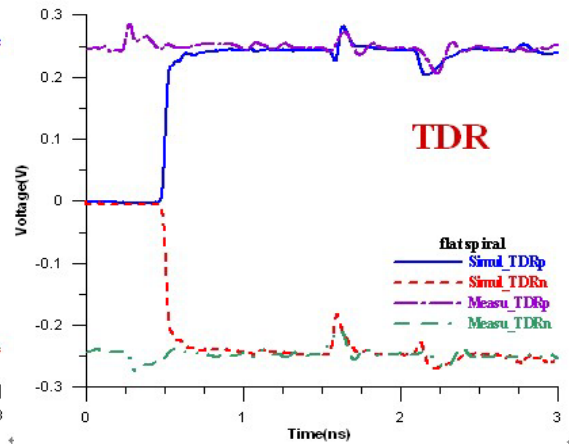
(a) 傳輸端

(b) 接收端

圖 3.32 差模蛇狀延遲線模擬與量測波形比較圖

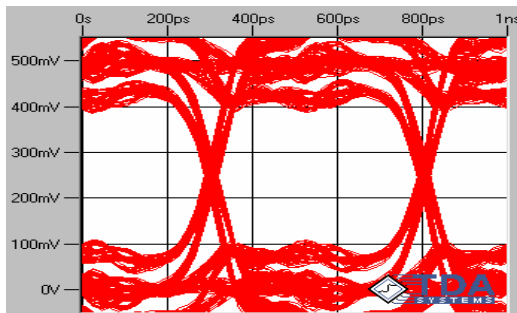


(a)傳輸端

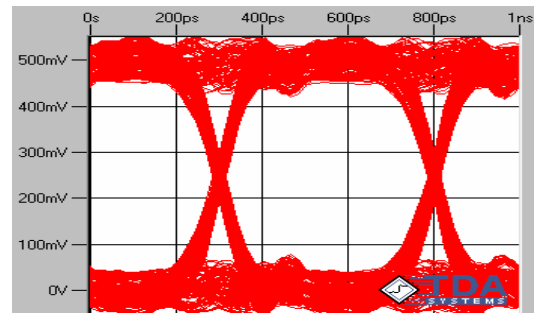


(b)接收端

圖 3.33 差模平面螺旋延遲線模擬與量測波形比較圖

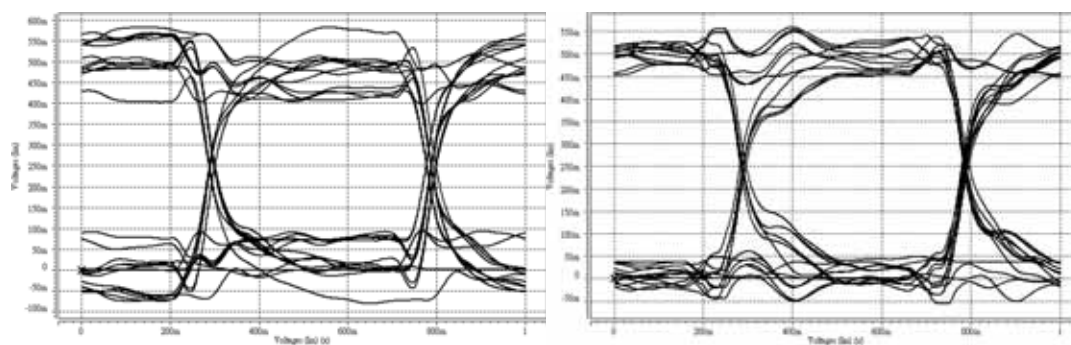


(a)差模蛇狀延遲線



(b)差模平面螺旋延遲線

圖 3.34 差模延遲線量測眼狀圖



(a) 差模蛇狀延遲線

(b) 差模平面螺旋延遲線

圖 3.35 差模延遲線模擬眼狀圖(HSPICE)

第四章 差模轉角模型化與效應分析

因應線路繞線需要，一段差模傳輸線常到了某一區域會產生一轉角，之後再以一段耦合傳輸線接出。在此由於差模訊號經過一不平衡線路，原先之傳輸線上差模訊號(Differential Mode)將產生共模訊號[49]，如此不管是對訊號完整(SI)，乃至於電磁輻射(EMI)上都會產生不良影響，尤其是對於頻率愈高的成份影響愈嚴重，在高速數位電路設計中不可忽略。

要完整探討此一轉角效應，首先必須建立一等效電路模型，而且其模型參數最好是簡單的電感及電容等元件，以適合於時域電路模擬分析。其次，必須建立擷取技術，可以由轉角的幾何參數，得出等效電路模型中的電路參數，此一計算過程通常必須依賴耗時的電磁場論計算。最後則是進行時域模擬，把上述得到的等效電路模型及電路元件值放入電路模擬軟體中，依有興趣的輸入訊號波形與工作頻率，觀察訊號在傳輸過程中的變形，以分析差模訊號線轉角對 SI 產生的影響。

4-1 轉角電路模型

考慮一含有轉角的差模傳輸線，如圖 4-1(a)。在一般的實用情形下，轉角的尺寸遠比波長小，因此此結構可由一段耦合傳輸線，加上轉角處的等效電路，再加以另一段耦合傳輸線組成。如此構成之等效線路，即可放入線路模擬軟體中於頻域或時域上加以分析。

轉角處的等效電路如圖 4-1(b) 所示，由等效電感、電容所組成。在低頻時，轉角幾無影響，而從等效電路來看，低頻時電感近似低路，電容近似開路，因此轉角幾為全通。而在高頻時，電感形成相當大的阻抗，電容亦具相當大的導納，使用訊號會“看”到相當大的阻抗不連續，而造成訊號的反射。差模的兩條傳輸線受到的反射，其大小及相位均不同，因此會造成可觀的共模雜訊，不只呈現在輸

出埠，也呈現在輸入埠形成反射雜訊。

欲得到此一等效電路的各元件值，最直接的方法是得到轉角處的 ABCD 矩陣，但是要注意此一 ABCD 矩陣必須把轉角兩端連接的傳輸線效果扣除 (de-embed)，否則如果含進傳輸線，則其尺寸將會相當大，這時圖 4.1(b)的等效電路元件將會隨頻率不同，不利於進行時域的模擬分析。

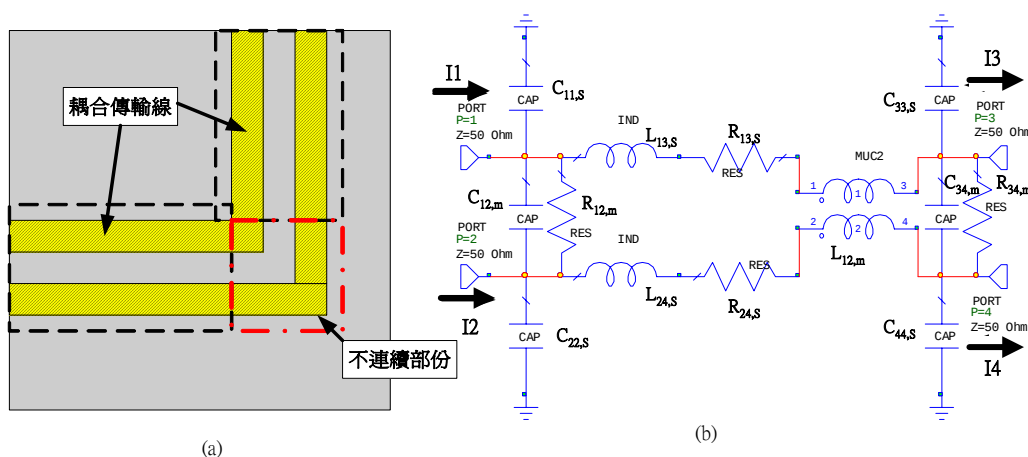


圖 4.1 (a)含有不連續結構之耦合傳輸線與(b)其不連續的部份之等效模型

至於如何把傳輸線 de-embed 以萃取轉角處的 ABCD 矩陣，則必須視差模傳輸線中兩條傳輸線的耦合強弱而定。對於弱耦合(weakly coupled)的情形，兩條傳輸線間距相當大，彼此之間沒什麼關係，因此可以假設差模的兩條傳輸線為獨立，並直接使用一般電磁計算軟體，內建的去內嵌(de-embed)功能，將其前段及後段傳輸線效應扣除，以得到純粹為不連續處所表現出的效應。但對於強耦合 (strongly coupled)的情形，一般的商業軟體並未考慮兩個傳輸埠間的耦合，因此需自行開發。

4-2 弱耦合情形之轉角電路參數擷取

對於弱耦合差模傳輸線的轉角，我們利用 Sonnet 進行場論計算，並利用軟體內建的去內嵌功能，去除前段及後段傳輸線效應，以得到轉角所表現出的效應。其步驟如圖 4.2 所示，首先我們依第二章所述方法設計差模傳輸線，接著由頻域出發，以 Sonnet 先行佈局我們想分析的結構，再加以去內嵌的功能得到轉角處的 S 參數矩陣；之後再以 Matlab 為輔助軟體進行一些數學上之計算，將之前得到的 4 埠 S 矩陣轉換為 4 埠 ABCD 矩陣，並利用柯希柯夫電壓及電流定律之觀念進行推演，萃取出等效電路。最後，利用電路模擬的結果與全波計算結果之比較，以驗證所萃取電路模型的合適性。

對於差模傳輸線而言，當有不連續結構，其輸出入端均需考慮為兩埠，例如以轉角結構而言即為一四埠結構。底下我們討論更廣泛的情形，假設輸出入端均為 N 根耦合傳輸線(對差模傳輸線而言, $N=2$)，如何從 S 參數矩陣轉換為 ABCD 矩陣。

考慮當轉角的左右兩側均有入射波及反射波出入，如圖 4.3 所示，定義 $\vec{a}$ 及 $\vec{b}$ 分別為入射波及反射波成份；而下標 L 及 R 分別代表左端及右端的成份。

並定義正規化之電壓及電流波為

$$\begin{cases} \vec{V}_L = \vec{a}_L + \vec{b}_L \\ \vec{I}_L = \vec{a}_L - \vec{b}_L \end{cases}; \quad \begin{cases} \vec{V}_R = \vec{a}_R + \vec{b}_R \\ \vec{I}_R = -\vec{a}_R + \vec{b}_R \end{cases} \quad (4-1)$$

其中

$$\vec{V}_{L(R)} = \frac{V_{L(R)i}}{\sqrt{Z_0}}, \quad \vec{I}_{L(R)} = \sqrt{Z_0} I_{L(R)i} \quad (4-2)$$

且 $\vec{V}_{L(R)}$ 及 $\vec{I}_{L(R)}$ 均為 $1 \times N$ 之行向量， N 取決於單邊導線數量。例如所要分析為一差模傳輸線的轉角模型，則 $N=2$ ，左、右端各為兩根耦合傳輸線；而 $V_{L(R)i}$ 及

$I_{L(R)i}$ ($i=1$ 或 2) 則代表在差模傳輸線兩根導線上，一般電路上所計算之電壓、電流值。

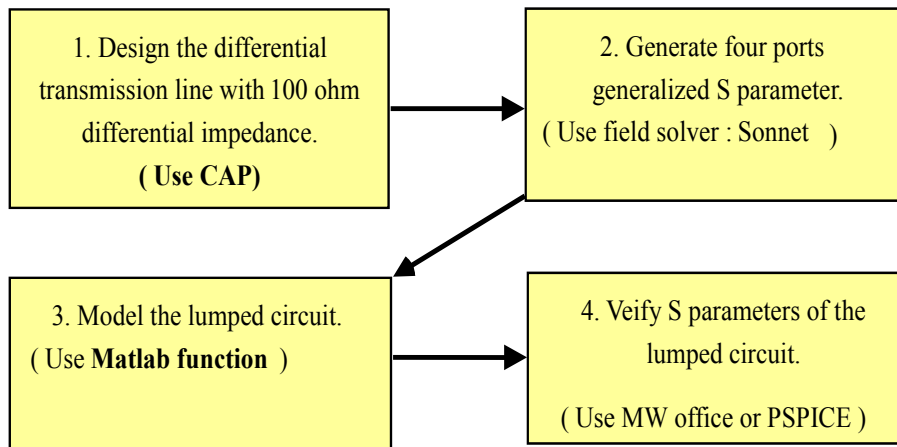


圖 4.2 萃取弱耦合轉角等效線路之流程

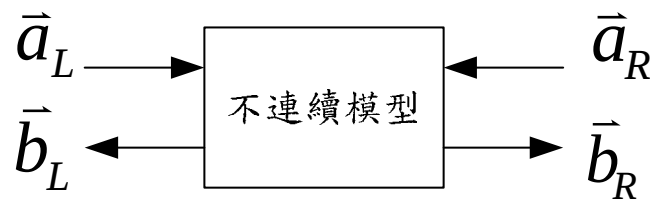


圖 4.3 不連續模型左右兩端的入射波及反射波

依據 ABCD 參數矩陣的定義

$$\begin{bmatrix} \vec{V}_L \\ \vec{I}_L \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_R \\ \vec{I}_R \end{bmatrix} \quad (4-3)$$

其中 A，B，C，D 均為矩陣，對差模傳輸線而言，A，B，C，D 均為 2×2 之矩陣。

則，一般我們以全波分析軟體得到之[S]矩陣如下

$$\begin{bmatrix} \bar{b}_L \\ \bar{b}_R \end{bmatrix} = [S] \cdot \begin{bmatrix} \bar{a}_L \\ \bar{a}_R \end{bmatrix} \quad (4-4)$$

注意，若是計算一兩根耦合傳輸線的不連續部份時，此 [S] 則為 4×4 之矩陣。

利用(4-1)-(4-4)式便可得出 ABCD 及 S 參數矩陣之關係。詳細說明如下，由式(4-1)可得

$$\begin{bmatrix} \bar{b}_L \\ \bar{b}_R \end{bmatrix} = \begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_L \\ \bar{I}_L \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & \frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_R \\ \bar{I}_R \end{bmatrix} \quad (4-5a)$$

$$\begin{bmatrix} \bar{a}_L \\ \bar{a}_R \end{bmatrix} = \begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_L \\ \bar{I}_L \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_R \\ \bar{I}_R \end{bmatrix} \quad (4-5b)$$

其中 $\frac{1}{2}$ 表示單位矩陣 $[I] \times \frac{1}{2}$ ，而 0 則為零矩陣。再將式(4-4)代入式(4-5)可得

$$\begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_L \\ \bar{I}_L \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & \frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_R \\ \bar{I}_R \end{bmatrix} = [S] \cdot \left(\begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_L \\ \bar{I}_L \end{bmatrix} + \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \begin{bmatrix} \bar{V}_R \\ \bar{I}_R \end{bmatrix} \right) \quad (4-6)$$

並依式(4-3)，經矩陣之代數運算可得

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \left\{ \begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ 0 & 0 \end{bmatrix} - [S] \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ 0 & 0 \end{bmatrix} \right\}^{-1} \cdot \left\{ \begin{bmatrix} 0 & 0 \\ -\frac{1}{2} & -\frac{1}{2} \end{bmatrix} + [S] \cdot \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \right\} \quad (4-7)$$

即得所欲求得之 ABCD 矩陣。

式(4-7)中牽涉到一反矩陣的運算，若轉角處遠小於波長，可進一步簡化。首先將[S]矩陣寫成如下形式

$$[S] = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} + [\alpha] \quad ; \quad [\alpha] = \begin{bmatrix} \alpha_{LL} & \alpha_{LR} \\ \alpha_{RL} & \alpha_{RR} \end{bmatrix} \quad (4-8)$$

由物理直觀知其中 $[\alpha]$ 相當小，因此將式(4-8)代入式(4-7)並加以化簡得

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix} &= \left\{ \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} - \begin{bmatrix} 1 & -1 \\ -1 & -1 \end{bmatrix} \cdot [\alpha] \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ 0 & 0 \end{bmatrix} \right\}^{-1} \cdot \begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ -\frac{1}{2} & -\frac{1}{2} \end{bmatrix}^{-1} \cdot \\ &\quad \begin{bmatrix} \frac{1}{2} & -\frac{1}{2} \\ -\frac{1}{2} & -\frac{1}{2} \end{bmatrix} \cdot \left\{ \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} + \begin{bmatrix} 1 & -1 \\ -1 & -1 \end{bmatrix} \cdot [\alpha] \cdot \begin{bmatrix} 0 & 0 \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} \right\} \\ &= \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} + \begin{bmatrix} 1 & -1 \\ -1 & -1 \end{bmatrix} \cdot [\alpha] \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} + \begin{bmatrix} 1 & -1 \\ -1 & -1 \end{bmatrix} \cdot [\alpha] \cdot \begin{bmatrix} 0 & -1 \\ 0 & 0 \end{bmatrix} \cdot [\alpha] \cdot \begin{bmatrix} \frac{1}{2} & \frac{1}{2} \\ \frac{1}{2} & -\frac{1}{2} \end{bmatrix} + \dots \quad (4-9) \end{aligned}$$

注意，式(4-9)為一幾何級數，故可進一步簡化寫成

$$\begin{aligned} &= \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} + \frac{1}{2} \begin{bmatrix} (\alpha_{LL} + \alpha_{LR} - \alpha_{RL} - \alpha_{RR}) & (\alpha_{LL} - \alpha_{LR} - \alpha_{RL} + \alpha_{RR}) \\ -(\alpha_{LL} + \alpha_{LR} + \alpha_{RL} + \alpha_{RR}) & (-\alpha_{LL} + \alpha_{LR} - \alpha_{RL} + \alpha_{RR}) \end{bmatrix} - \\ &\quad \frac{1}{2} \begin{bmatrix} 1 & -1 \\ -1 & -1 \end{bmatrix} \begin{bmatrix} \alpha_{LL}(1 + \alpha_{RL})^{-1} \alpha_{RL} & \alpha_{LL}(1 + \alpha_{RL})^{-1} \alpha_{RR} \\ \alpha_{RL}(1 + \alpha_{RL})^{-1} \alpha_{RL} & \alpha_{RL}(1 + \alpha_{RL})^{-1} \alpha_{RR} \end{bmatrix} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (4-10) \end{aligned}$$

其中右邊的最後一項與 α 的兩次方成正比，由於 α 相當小；因此一般可以忽略。

如圖 4.4 所示，此處所要分析的轉角線路為左右對稱對稱的結構，因此 $\alpha_{LL} = \alpha_{RR}$ ， $\alpha_{LR} = \alpha_{RL}$ ，將其代入式(4-10)，最後可化簡得

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} \cong \begin{bmatrix} 1 & \alpha_{LL} - \alpha_{LR} \\ -\alpha_{LL} - \alpha_{LR} & 1 \end{bmatrix} \quad (4-11)$$

得到 ABCD 矩陣後，就相當容易推算出其等效之集種電路各元件。在此以一簡單的轉角差模傳輸線為例，其傳輸線結構及其所設的埠如圖 4.4，經 Sonnet 全波分析，得到之 S 參數矩陣，並根據式(4-8)，得

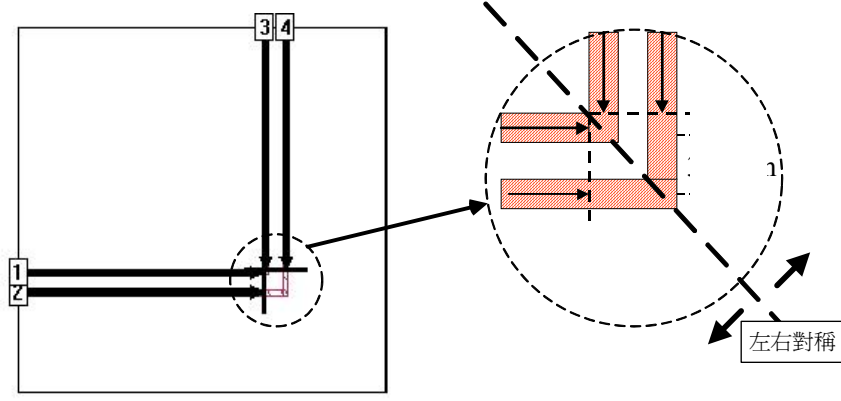


圖 4.4 要進行分析之結構圖

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} = \begin{bmatrix} \alpha_{11} & \alpha_{12} & 1 + \alpha_{13} & \alpha_{14} \\ \alpha_{21} & \alpha_{22} & \alpha_{23} & 1 + \alpha_{24} \\ 1 + \alpha_{31} & \alpha_{32} & \alpha_{33} & \alpha_{34} \\ \alpha_{41} & 1 + \alpha_{42} & \alpha_{43} & \alpha_{44} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} \quad (4-12)$$

再將式(4-12)，轉換成 ABCD 矩陣，並考量為左右邊對稱的情況下可得到

$$\begin{bmatrix} V_1 \\ V_2 \\ I_1 \\ I_2 \end{bmatrix} \cong \begin{bmatrix} 1 & 0 & -\alpha_{13} + \alpha_{11} & -\alpha_{14} + \alpha_{12} \\ 0 & 1 & -\alpha_{14} + \alpha_{12} & -\alpha_{24} + \alpha_{22} \\ -\alpha_{11} - \alpha_{13} & -\alpha_{12} - \alpha_{14} & 1 & 0 \\ -\alpha_{12} - \alpha_{14} & -\alpha_{22} - \alpha_{24} & 0 & 1 \end{bmatrix} \begin{bmatrix} V_3 \\ V_4 \\ I_3 \\ I_4 \end{bmatrix} \quad (4-13)$$

在此必須注意到為了與圖 4.17 的定義一樣，其中 $V_1=V_{R1}$ 、 $V_2=V_{R2}$ 、 $V_3=V_{L1}$ 、 $V_4=V_{L2}$ 及 $I_1=I_{R1}$ 、 $I_2=I_{R2}$ 、 $I_3=I_{L1}$ 、 $I_4=I_{L2}$ ，而且都是式(4-2)所提之正規化的量。

利用(4-15)式可得

$$V_1 \cong V_3 + (\alpha_{11} - \alpha_{13}) \cdot I_3 + (\alpha_{12} - \alpha_{14}) \cdot I_4 \quad (4-14)$$

與圖 4.1(b)的等效電路比較，由於流往互容及自容的位移電流比較於經過於線上本身自感及互感相當的小，因此可推導出 $(\alpha_{11}-\alpha_{13})$ 即為 I_1 經過線上所造成壓降，因此可將 $(\alpha_{11}-\alpha_{13})$ 看成是第一條線上本身的阻抗，其包含電阻及電感的量。而 $(\alpha_{12}-\alpha_{14})$ ，同理可看成是線上互感的量，因此可得

$$\alpha_{11} - \alpha_{13} = \frac{(R_{13} + j\omega L_{13,S})}{Z_0} \quad (4-15)$$

另外，兩條線間互感的量 L_{12} 為

$$\alpha_{12} - \alpha_{14} = \frac{(R_{12} + j\omega L_{12,m})}{Z_0} \quad (4-16)$$

對另一條線而言，由式(4-13)可得

$$V_2 = V_4 + (\alpha_{12} - \alpha_{14}) \cdot I_3 + (\alpha_{22} - \alpha_{24}) \cdot I_4 \quad (4-17)$$

同理，可得其上面電感及電阻量，而互感的量與式(4-16)一樣

$$\alpha_{22} - \alpha_{24} = \frac{(R_{24} + j\omega L_{24,S})}{Z_0} \quad (4-18)$$

另外由式(4-13)可得

$$\begin{aligned} I_1 &= -(\alpha_{11} + \alpha_{13}) \cdot V_3 - (\alpha_{12} + \alpha_{14}) \cdot V_4 + I_3 \\ &= -(\alpha_{12} + \alpha_{14}) \cdot (V_4 - V_3) - (\alpha_{12} + \alpha_{14} + \alpha_{11} + \alpha_{13}) \cdot V_3 + I_3 \end{aligned} \quad (4-19)$$

根據 KCL 定律，流入任一節點之總電流為零。由圖 4.1(b)可知，對於 $1/(\alpha_{12} + \alpha_{14})$ 而言可以看成為互容所造成，而 $1/(\alpha_{12} + \alpha_{14} + \alpha_{11} + \alpha_{13})$ 則為第一條線上本身電容所造成，再加上此電路為對稱結構下之對稱線路，因此可將其值除以 2 放入此對稱模型兩旁之電容中，因而推得

$$-\frac{(\alpha_{11} + \alpha_{13} + \alpha_{12} + \alpha_{14})}{2} = (G_{11} + j\omega C_{11,S}) \times Z_0 = (G_{33} + j\omega C_{33,S}) \times Z_0 \quad (4-20)$$

$$\frac{(\alpha_{12} + \alpha_{14})}{2} = (G_{12} + j\omega C_{12,m}) \times Z_0 = (G_{34} + j\omega C_{34,m}) \times Z_0 \quad (4-21)$$

經過以上推導可得到等效線路，由此萃取出如圖 4.1(b)所示等效電路元件值，包含自感、自容、互感、互容及 loss 項參數。在此需注意到 loss 項： G_{11} 、 G_{22} 、 G_{33} 及 G_{44} 經計算值應該很大，而 R_{12} 值應該很小，相較之下可忽略，因此之後的運算終將給予省略。

4-3 弱耦合轉角之實例分析與驗證

底下我們以一實例來說明整個步驟。第一步為差分組抗為 100Ω 之差模傳輸線設計，依第 2-3 節的說明，先以 CAP 程式計算得出[L]及[C]。在此其欲分析之結構如圖 4.5 所示。

經計算結果得知於第一條線上之總電容為線對地的電容加上對第二條線的互容量的總合

$$C_{11} = C_s + C_m = 116.0066 \text{ pF/m} \quad (4-22)$$

而電感為

$$L_{11} = L_s = 305.8934 \text{ nH/m} \quad (4-23)$$

再由式(2.11)可得到奇模(Odd mode)之特徵阻抗 $Z_{0,o} \cong 50\Omega$ ，而耦合傳輸線(Coupled lines)的差分阻抗為奇模阻抗的兩倍，即 $Z_{diff} \cong 100\Omega$ ，因此可由以上步驟可設計出差模阻抗為 100Ω 之差模傳輸線。

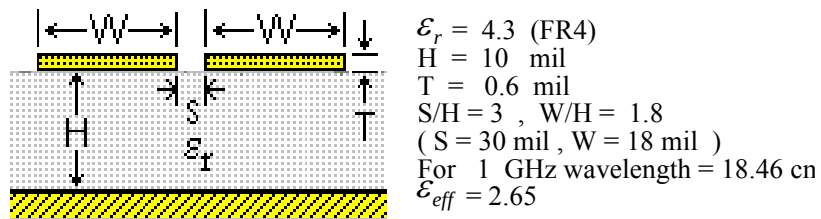


圖 4.5 差分阻抗為 100Ω 之弱耦合結構橫截面圖

再來即將上面設計的結構，於 Sonnet 中進行電路佈局(Layout)。其電路如圖 4.6 所示。在此因我們要萃取的是線路不連續部份的等效模型，即只有轉角部份。因此於 Sonnet 進行分析時要做 De-embed 的動作，將要分析的部份只剩下轉角部份。

由於將萃取出不連續部份的等效電路，因此需選定某一頻率進行分析，在此要注意的是其萃取等效模型的長度要儘量小於十分之一波長。在此，此轉角部份長度約為 48mil (1.2mm)，若取 1GHz，此時轉角結構長度約為波長的十五分之一，可滿足小於波長十分之一的目標。

如圖 4.6 所示，由於訊號經轉角電路後會產生一些高階模態的電磁場，在此由於是針對單一頻率要得到其等效電路，因此於轉角前、0 後必須加上一段大於四分之一波長的耦合傳輸線。式(4-26)即為當頻率為 2GHz 時，Sonnet 所分析得到的 S 參數矩陣。

$$[S] = \begin{bmatrix} 0.0085423 \angle -91.34 & 0.00068209 \angle 83.72 & 0.9996 \angle -1.319 & 0.00051203 \angle 83.759 \\ 0.00068209 \angle 83.72 & 0.012772 \angle 78.556 & 0.000512 \angle 83.799 & 0.99992 \angle -11.45 \\ 0.99996 \angle -1.3197 & 0.000512 \angle 83.799 & 0.0085423 \angle -91.342 & 0.00068214 \angle 83.686 \\ 0.00051203 \angle 83.759 & 0.99992 \angle -11.45 & 0.00068214 \angle 83.686 & 0.012771 \angle 78.547 \end{bmatrix} \quad (4-24)$$

由式(4-24)之振幅相角模式，得知其 S_{31} 及 S_{42} 都相當接近於 1，但相位有接近 10 度的差異。因此可推論得若為差分訊號傳輸，經過此一轉角勢必會由差模(Differential mode)訊號產生共模(Common mode)訊號，產生兩訊號之相角差(Skew)。

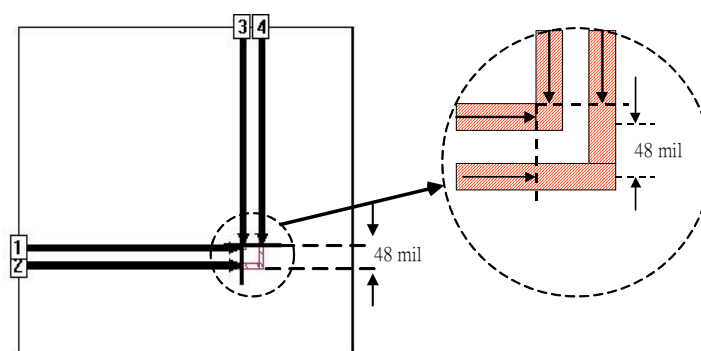


圖 4.6 Sonnet 上的電路佈局

再來即要將 S 參數轉換為 ABCD 矩陣，並進一步得到等效的集總元件。其結果如表 4.1 及圖 4.7 所示，其中於圖 4.7 中因 $L_{12,m}$ 比較於 $L_{13,S}$ 及 $L_{24,S}$ 很小而省略不放入模型中，以及並聯於兩條線間之電阻 R_{12} 及各線對地之並聯電阻，也因太大而於模型中省略。

為了驗證此一等效模型的正確性，吾人可以得到之等效電路放入 Microwave Office 中進行頻域模擬，得到此模型之 S 參數矩陣；再將其與先前得到由 Sonnet 全波分析模擬得到的 S 參數矩陣進行比較，並列出其誤差值。表 4.2 列出頻率為 2GHz 時，Sonnet 的模擬結果，表 4.3 為利用圖 4.7 之簡化轉角電路以 Microwave office 所模擬結果，兩者之誤差則如表 4.4 所示。可看出，其集總元件模擬結果與全波分析之結果其散射參數的誤差都在一定的 5% 以內。

另外，又萃取了於頻率為 4GHz 時之等效參數，比較此兩頻率下所萃取的等效電路模型參數，如表 4.5 所示。由表 4.5 知 R_{13} 及 R_{24} 於頻率加倍時，電阻變為 4 倍，此乃因微帶線(Microstrip line)的幅射電阻(Radiation)與頻率平方成正比；另外，互感量也隨頻率增加而增大，其餘自感、自容的量幾乎變化不大。

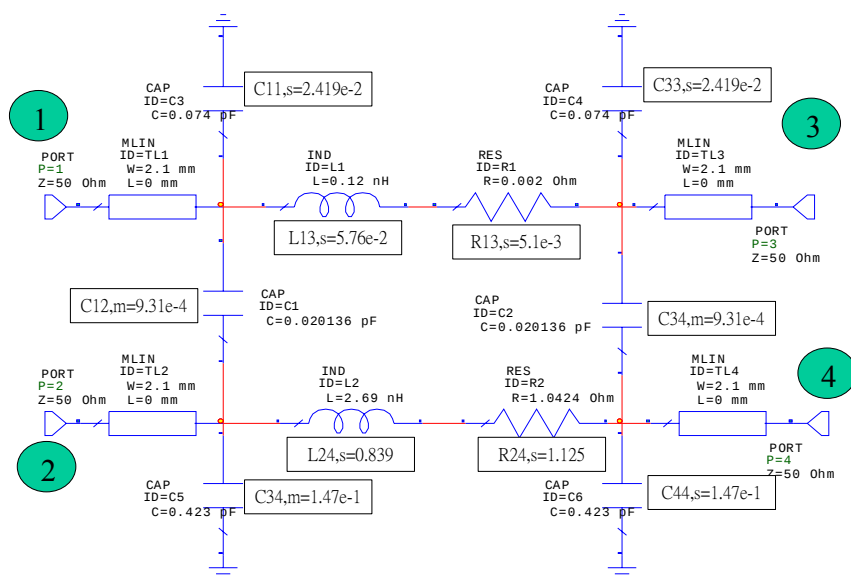


圖 4.7 萃取得之弱耦合結構差模傳輸線轉角等效電路模型

Sonnet 模擬之結果:				
For Freq = 2 GHz(Magnitude & Phase form)		Frequency = 2 GHz		
		(L: nH , C: pF, R: ohm)		
0.00085∠-91.3		0.00068∠84.1		0.9996∠-1.32
0.00051∠84.7		L _{13,S} = 5.7653e-02		
0.00068 ∠84.7		R ₁₃ = 3.7702e+03		0.000512∠84.8
0.99992∠-11.4		L _{24,S} = 8.3954e-01		
0.99996 ∠-1.3	0.00512∠84.799	0.00854∠-91.3		0.000682∠
		R ₂₄ = 1.1258e+00		
		L _{12,m} = 6.764e-04 = L _{34,m}		
		C _{12,m} = 9.3105e-04 = C _{34,m}		
		R ₁₂ = 7.6763e+05 = R ₃₄		
		C _{22,S} = 1.4706e-01 = C _{44,S}		
		C _{11,S} = 2.4191e-02 = C _{33,S}		

表 4.1 萃取得之弱耦合結構差模傳輸線轉角模型元件值

表 4.2 頻率為 2GHz 時，Sonnet 的模擬結果

Microwave 模擬結果：

For Freq = 2GHz (Magnitude & Phase form)

0.00171 $\angle$ -87.6	0.00058 $\angle$ 84.2	0.99999 $\angle$ -0.9	0.00058 $\angle$ 84.176
0.00058 $\angle$ 84.18	0.01352 $\angle$ 78.6	0.00058 $\angle$ 84.2	0.99991 $\angle$ -11.4
0.9999 $\angle$ -0.9	0.00058 $\angle$ 84.2	0.00170 $\angle$ -94.3	0.00058 $\angle$ 84.2
0.00058 $\angle$ 84.2	0.99991 $\angle$ -11.4	0.00058 $\angle$ 84.2	0.01352 $\angle$ 78.6

表 4.3 頻率為 2GHz 時，Microwave Office 的模擬結果

MWO與Sonnet 模擬結果比較誤差(Error)表: (%)								
For Freq = 2 GHz								
ΔS_{ij}	i=1		i=2		i=3		i=4	
	振幅	相位	振幅	相位	振幅	相位	振幅	相位
j=1	0.085	4.1	0.422	0.1	0.006	0.44	0.0068	0.4
j=2	0.422	0.1	2.6	0.1	0.45	0.4	0.001	0.005
j=3	0.006	0.44	0.45	0.4	0.085	4.1	0.422	0.1
j=4	0.0068	0.4	0.001	0.005	0.422	0.1	2.6	0.1

表 4.4 弱耦合結構 Sonnet 與 MW office 比較結果誤差表(%)

Frequency= 2GHz (L : nH , C : pF , R : ohm) $L_{13} = 5.7653e-02$ $R_{13} = 5.1000e-03$ $L_{24} = 8.3954e-01$ $R_{24} = 1.1258e+00$ $L_m = 6.7640e-04$ $C_{12} = 9.3105e-04$ $R_{12} = 7.6763e+05$ $C_{22} = 1.4706e-01$ $C_{11} = 2.4191e-02$	Frequency= 4GHz (L : nH , C : pF , R : ohm) $L_{13} = 5.8688e-02$ $R_{13} = 2.1850e-02$ $L_{24} = 8.2041e-01$ $R_{24} = 4.4495e+00$ $L_m = 2.01132e-03$ $C_{12} = 6.0757e-04$ $R_{12} = 3.2675e+05$ $C_{22} = 1.4555e-01$ $C_{11} = 2.4912e-02$
---	--

表 4.5 頻率為 0.3Ghz 及 0.6GHz 時所萃取之參數比較

4-4 強耦合情形之轉角電路參數擷取

當轉角所接的差模傳輸線是屬於強耦合情形，將不可假設差模傳輸線的兩條傳輸線彼此無關，而直接使用商用軟體的去內嵌(de-embed)功能得到轉角的 S 參數。為解決此問題，將另行推導適當公式進行內嵌。利用 ABCD 矩陣可串接 (Cascade)的特性，考慮整個轉角結構可以分成三部份，如圖 4.8 所示，分別是兩段耦合傳輸線，及一個待求的轉角模型構成。此三部份均可以用 4 埠的 ABCD 矩陣表示。

首先，先討論其中第一部份，即接頭加上耦合傳輸線部分(此一接頭效應，乃因於模擬軟體中於邊界及傳輸線內不連續性，造成的接頭效應)，如圖 4.9 所示，今此 4 埠元件的 ABCD 矩陣表為

$$\begin{bmatrix} \vec{V}_B \\ \vec{I}_B \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} \quad (4-25)$$

至於第二個 4 埠元件，即待求之差模對轉角部分 可以式(4-28)之 ABCD 矩陣表示

$$\begin{bmatrix} \vec{V}_C \\ \vec{I}_C \end{bmatrix} = \begin{bmatrix} \vec{A}_D & \vec{B}_D \\ \vec{C}_D & \vec{D}_D \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_B \\ \vec{I}_B \end{bmatrix} \quad (4-26)$$

而第三個 4port 元件，如圖 4.11，即另一段接頭加上耦合傳輸線部分偶合傳輸線部分，可以式(4-25)之 ABCD 矩陣表示

$$\begin{bmatrix} \vec{V}_C \\ -\vec{I}_C \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_D \\ -\vec{I}_D \end{bmatrix} \quad (4-27)$$

其中的負號是因為電流方向相反的結果。

為了要利用到 ABCD 矩陣可以串接(cascade)的特性，必須將式(4-27)改成

$$\begin{bmatrix} \vec{V}_D \\ \vec{I}_D \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & -\vec{B}_\ell \\ -\vec{C}_\ell & \vec{D}_\ell \end{bmatrix}^{-1} \cdot \begin{bmatrix} \vec{V}_C \\ \vec{I}_C \end{bmatrix} \quad (4-28)$$

因此由式(4-27)，(4-28)及(4-30)可得其串接後的式子

$$\begin{bmatrix} \vec{V}_D \\ \vec{I}_D \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & -\vec{B}_\ell \\ -\vec{C}_\ell & \vec{D}_\ell \end{bmatrix}^{-1} \cdot \begin{bmatrix} \vec{A}_D & \vec{B}_D \\ \vec{C}_D & \vec{D}_D \end{bmatrix} \cdot \begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} = \begin{bmatrix} \vec{A}_0 & \vec{B}_0 \\ \vec{C}_0 & \vec{D}_0 \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} \quad (4-29)$$

此為圖 4.8 之 PCB 上的結構，當以三個 4 port 元件分解開後，其線性代數的關係。而等式最右邊之 ABCD₀ 矩陣，即為我們以 Sonnet 分析完後，再經由 S 參數矩陣推導得到的 ABCD 矩陣，我們將其稱為 ABCD₀ 矩陣。

接下來，由於我們想將不連續處之兩邊的傳輸線效應扣除，以得到純粹轉角

效應的 $ABCD_D$ 矩陣，因此必須推導出單一邊傳輸線的效應。考慮如圖 4.11 所示的結構，它可分成對稱的兩個 4 埠元件，利用同樣的推廣方式，仿照(4-29)式，得出其線性代數的關係如

$$\begin{bmatrix} \vec{V}_D \\ \vec{I}_D \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & -\vec{B}_\ell \\ -\vec{C}_\ell & \vec{D}_\ell \end{bmatrix}^{-1} \cdot \begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} = \begin{bmatrix} \vec{A}_1 & \vec{B}_1 \\ \vec{C}_1 & \vec{D}_1 \end{bmatrix} \cdot \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} \quad (4-30)$$

由(4-30)式若可得出 $\begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix}$ ，再代入(4-29)式，即可得到轉角的 $ABCD_D$

矩陣為

$$\begin{bmatrix} \vec{A}_D & \vec{B}_D \\ \vec{C}_D & \vec{D}_D \end{bmatrix} = \begin{bmatrix} \vec{A}_\ell & -\vec{B}_\ell \\ -\vec{C}_\ell & \vec{D}_\ell \end{bmatrix} \cdot \begin{bmatrix} \vec{A}_0 & \vec{B}_0 \\ \vec{C}_0 & \vec{D}_0 \end{bmatrix} \cdot \begin{bmatrix} \vec{A}_\ell & \vec{B}_\ell \\ \vec{C}_\ell & \vec{D}_\ell \end{bmatrix}^{-1} \quad (4-31)$$

實際上由微波電路理論中，知單獨一條傳輸線如圖 4.12，其 $ABCD$ 矩陣滿足

$$\begin{bmatrix} \vec{V}_B \\ \vec{I}_B \end{bmatrix} = \begin{bmatrix} \cos \beta \ell & -jZ_0 \sin \beta \ell \\ -jY_0 \sin \beta \ell & \cos \beta \ell \end{bmatrix} \begin{bmatrix} \vec{V}_A \\ \vec{I}_A \end{bmatrix} \quad (4-32)$$

若令

$$\begin{bmatrix} \cos \beta \ell & -jZ_0 \sin \beta \ell \\ -jY_0 \sin \beta \ell & \cos \beta \ell \end{bmatrix} = \begin{bmatrix} A_\ell & B_\ell \\ C_\ell & D_\ell \end{bmatrix} \quad (4-33)$$

則此時

$$\begin{bmatrix} A_\ell & -B_\ell \\ -C_\ell & D_\ell \end{bmatrix}^{-1} = \begin{bmatrix} \cos \beta \ell & -jZ_0 \sin \beta \ell \\ -jY_0 \sin \beta \ell & \cos \beta \ell \end{bmatrix} = \begin{bmatrix} A_\ell & B_\ell \\ C_\ell & D_\ell \end{bmatrix} \quad (4-34)$$

由此可知當傳輸線為純粹 TEM mode，且左右兩半邊為對稱結構時，則

$$\begin{bmatrix} A_\ell & B_\ell \\ C_\ell & D_\ell \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix}^{\frac{1}{2}} \quad (4-35)$$

因此，由式(4-35)我們得知 $ABCD_1$ 矩陣後，加上式(4-34) 即可由式(4-31)得知 $ABCD_D$ 矩陣，至此則得到不連續處的 $ABCD$ 矩陣。依此，再用 4-2 節所述萃取等效電路的方法，將等效電路求得。在此值得注意的是，由於此一強耦合結構的去內嵌方法為扣除單純兩段等長的傳輸線的效應，因此轉角兩側傳輸線間的耦合效應，將包含於此一 π 模型等效電路之中。

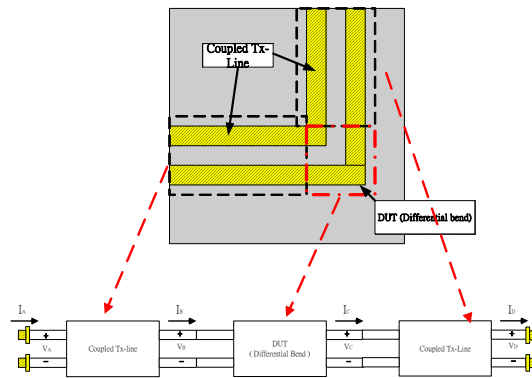


圖 4.8 於 PCB 板上 Differential Bend 對應之方塊圖

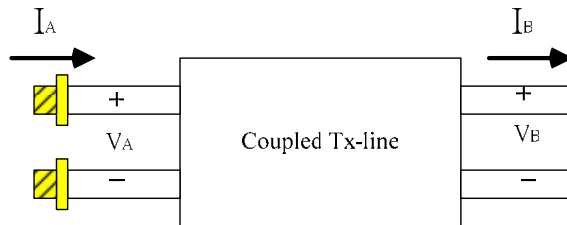


圖 4.9 Differential Bend 對應之方塊圖之第一部份

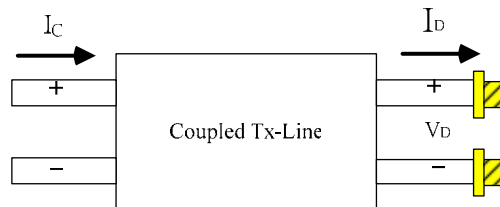


圖 4.10 Differential Bend 對應之方塊圖之第三部份

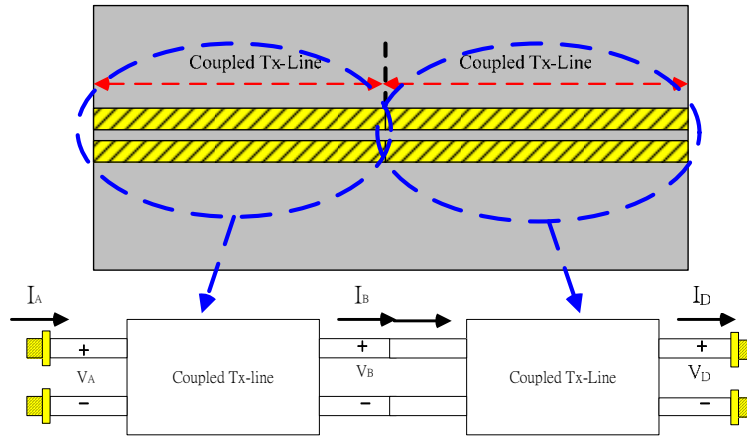


圖 4.11 差模傳輸線兩邊等長的傳輸線對應之方塊圖

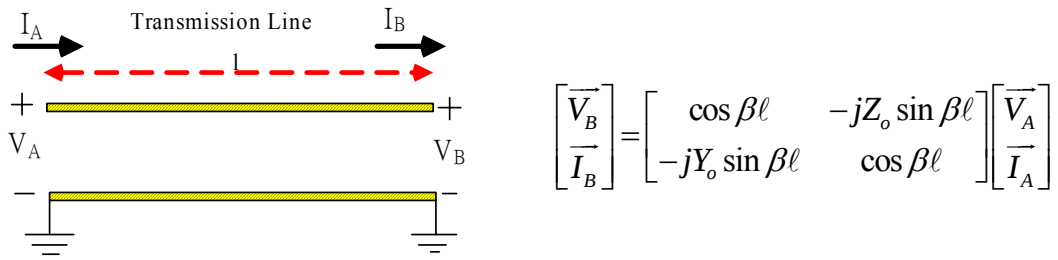


圖 4.12 單一對傳輸線及其 ABCD 矩陣

4-5 強耦合轉角之實例分析

首先考慮如圖 4.13 的差模傳輸線結構，經計算得其 $C_S = 77.033\text{pF}$ ， $C_m = 16.0959\text{pF}$ ，所以 $K_C = 0.1728$ ；而 $L_S = 374.2589\text{nH}$ ， $L_m = 102.7321\text{nH}$ ，所以 $K_L = 0.2745$ ，其差模阻抗約為 100Ω 。

再來，就要依圖 4.13 的結構，於 Sonnet 中電路佈局一個轉角結構。其電路佈局如圖 4.15 所示。同時，因我們要做傳輸線去內嵌的動作，因此也須以相同結構的耦合傳輸線，並且其全長為去除轉角後的總長度，其電路佈局結構及線長如圖 4.15 所示。

將以上以 sonnet 分析以得到的結果，取其於 2GHz 時的兩個 S 參數矩陣，再使用 4-2 節的方法，先個別轉換為 ABCD 矩陣，再使用 4-4 節的方法，利用其串接(cascade)的特性，求得只含轉角處的 $ABCD_{DUT}$ 矩陣，其結果如下

$$ABCD_D = \begin{pmatrix} 9.978e-1-5.171e-8i & -3.38786e-3+7.495e-7i & -8.167e-5-2.353e+0i & -1.217e-4-1.014e+0i \\ 6.852e-3-1.934e-7i & 8.93627e-1+1.595e-6i & -1.295e-4+1.014e+0i & -3.926e-4+2.641e+1i \\ -6.909e-9-2.138e-3i & 2.01035e-8+5.728e-4i & 9.978e-1+1.465e-7i & 6.853e-3-3.256e-7i \\ 1.999e-8+5.728e-4i & -5.22036e-9-7.649e-3i & -3.386e-3+1.788e-7i & 8.936e-1+1.812e-6i \end{pmatrix} \quad (4-36)$$

如此得到了只有不連續處加上兩邊各一段長度為 0.1 mm 傳輸線的 ABCD 矩陣，再依據 4-2 節所提出由 ABCD 矩陣萃取出等效模型的方法，可得到等效電路的元件值如表 4.6 所示。其中含自感、自容、互感、互容及 loss 項參數，在此注意到由於 loss 項值很小，與理論上相符。在此可於等效線路中將此項省略掉，以得到如圖 4.16 之簡化模型。

同樣為了驗證此強耦合結構下等效模型的正確性，吾人將所得到之等效電路放入 Microwave Office 中於兩側各加入與之前模擬時等長之耦合微帶線，得到 S 參數矩陣；再與先前由 Sonnet 全波分析模擬得到的 S 參數矩陣進行比較，並列出其比較後的誤差值，如表 4.4 所示。可看出，其由集總元件所產生的模擬結果與全波分析之結果其散射參數的誤差都在一定的 5% 以內，因此此一模型基本上可以得到一不錯的近似。

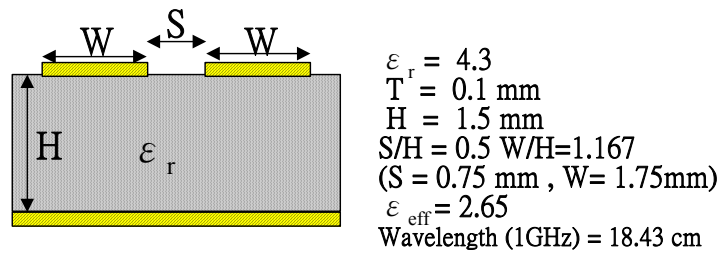


圖 4.13 差模組抗為 100Ω 之強耦合結構橫截面圖

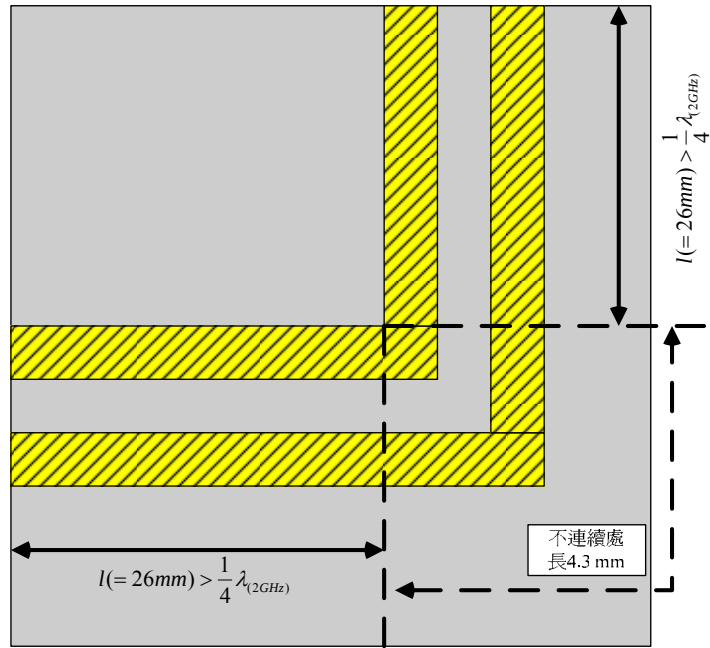


圖 4.14 強耦合轉角結構 Sonnet 電路佈局圖

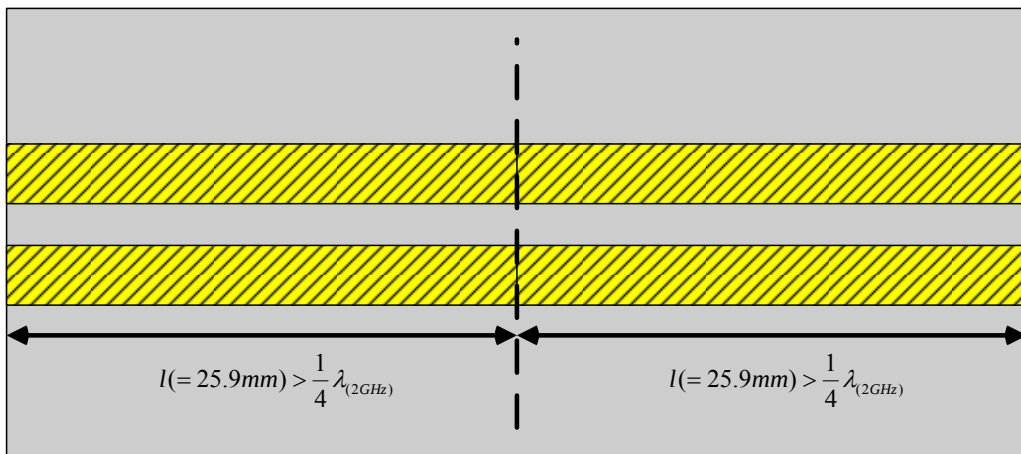


圖 4.15 強耦合傳輸線 Sonnet 電路佈局圖

Frequency = 2 GHz	
(L: nH , C: pF, R: ohm)	
$L_{13,S}$	$= 1.8725e-01$
R_{13}	$= 8.1676e-05$
$L_{24,S}$	$= 2.1018e+00$
R_{24}	$= 4.92658e-04$
$L_{12,m}$	$= 8.067e-02 = L_{34,m}$
$C_{12,m}$	$= 2.279e-02 = C_{34,m}$
$C_{22,S}$	$= 2.81567e-01 = C_{44,S}$
$C_{11,S}$	$= 6.2270e-02 = C_{33,S}$

表 4.6 萃取得之強耦合結構差模傳輸線轉角模型元件值

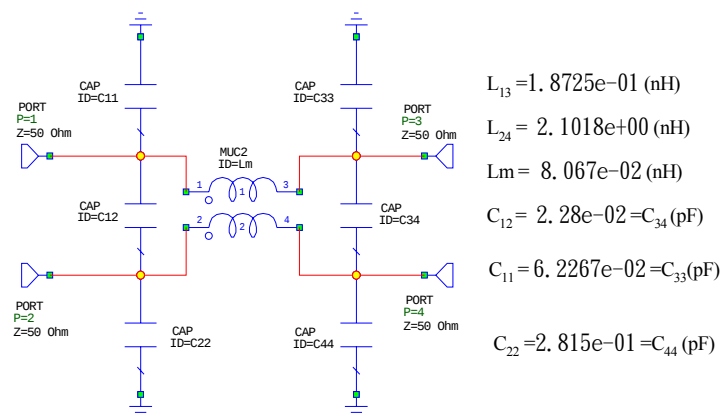


圖 4.16 強耦合差模傳輸線轉角之等效電路

MWO 與 Sonnet 模擬結果比較誤差(Error)表: (%)								
For Freq = 2 GHz								
ΔS_{ij}	i=1		i=2		i=3		i=4	
	振幅	相位	振幅	相位	振幅	相位	振幅	相位
j=1	4.4	0.37	0.74	0.69	0.09	0.82	1.44	1.16
j=2	0.074	0.69	0.28	0.02	1.4	1.1	0.081	0.018
j=3	0.09	0.82	1.4	1.1	4.4	0.37	0.74	0.069
j=4	1.44	1.16	0.081	0.018	0.74	0.069	0.28	0.02

表 4.7 強耦合結構 Sonnet 與 MW office 比較結果誤差表(%)

4-6 轉角效應的實例分析

此節將之前所建立的強耦合結構的轉角等效電路，將此模型兩邊各加上一段差模耦合傳輸線，放入 HSPICE 中，進行時域分析並探討其效應。

進行時域模擬時，以上面所提架構並於線路的輸入端，以一對差模訊號對的訊號源驅入，電壓分別為由 0 volt 上升至 1 volt 及由 0 volt 上升至 -1 volt；另外於此一長為 25mm 的耦合傳輸線與訊號源之間，置入輸入阻抗 50Ω 。且於傳輸線輸出端也一樣加入 50Ω 的負載阻抗，其模擬的等效電路與結構圖，如圖 4.17 所示，另外除了 90 度轉角之外，吾人也分析了圓弧差模轉角、45 度削角(mitered angle)差模轉角與 45 度差模轉角，而其各種類型的模型參數如表 4.8 所示。而在此一模擬結果中，吾人將觀察如圖示之 1、2 兩點的差模反射訊號(differential reflection mode noise)以及於圖示之 3、4 兩點的共模穿透訊號(common mode noise)。

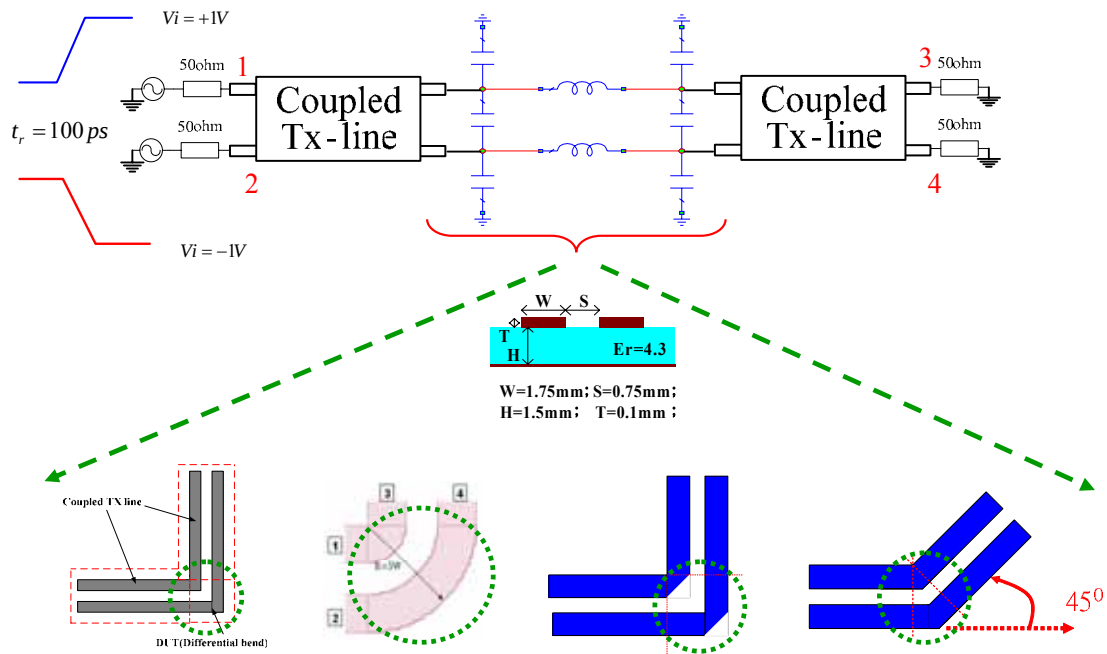


圖 4.17 各種差模轉角效應模擬示意圖

C(pF), L(nH)	L13	L24	Lm	C1g(C3g)	C2g(C4g)	C12(C34)
90 degree bend	0.0581	1.8886	0.0529	0.0517	0.2709	0.0276
Round corner bend	0.1036	1.7462	0.0790	0.0383	0.2167	0.0242
Mitered bend	0.1389	2.0141	0.0113	0.0304	0.2484	0.0126
45 degree bend	0.1811	0.9607	0.0923	0.0241	0.1179	0.0166

表 4.8 各種類型的模型參數表

圖 4.18 所示為於圖 4.17 上 1、2 兩點所觀察到的差模反射電壓雜訊，而圖 4.19 所示為於圖 4.17 上 3、4 兩點所觀察到的共模電壓雜訊。

由於在此吾人要觀察的差模及共模訊號的定義分別為

$$\text{Differential mode: } V_d = V_1 - V_2$$

$$\text{Common mode: } V_c = \frac{V_1 + V_2}{2} \quad (4-37)$$

所以共模雜訊的最主要來源為內轉角與外轉角的光程差所造成的，因此由這一點來分析亦可以看出圖 4.18 所呈現的趨勢，即共模雜訊最大為 90 度差模轉角與 45 度削角(mitered angle)差模轉角，然後依次序為圓弧差模轉角、45 度差模轉角。而差模反射雜訊最主要是因為轉角部分不連續阻抗所造成的，同理由這一點來分析亦可以看出圖 4.19 所呈現的趨勢，即共模雜訊最大為 90 度轉角與 45 度削角(mitered angle)差模轉角，然後依次序為圓弧差模轉角、45 度差模轉角。

另外，吾人也探討上升時間(rise time)對於共模雜訊與差模反射雜訊的影響，由圖 4.18 與 4.19 可知當上升時間變小時兩者雜訊都呈現劇烈變大。

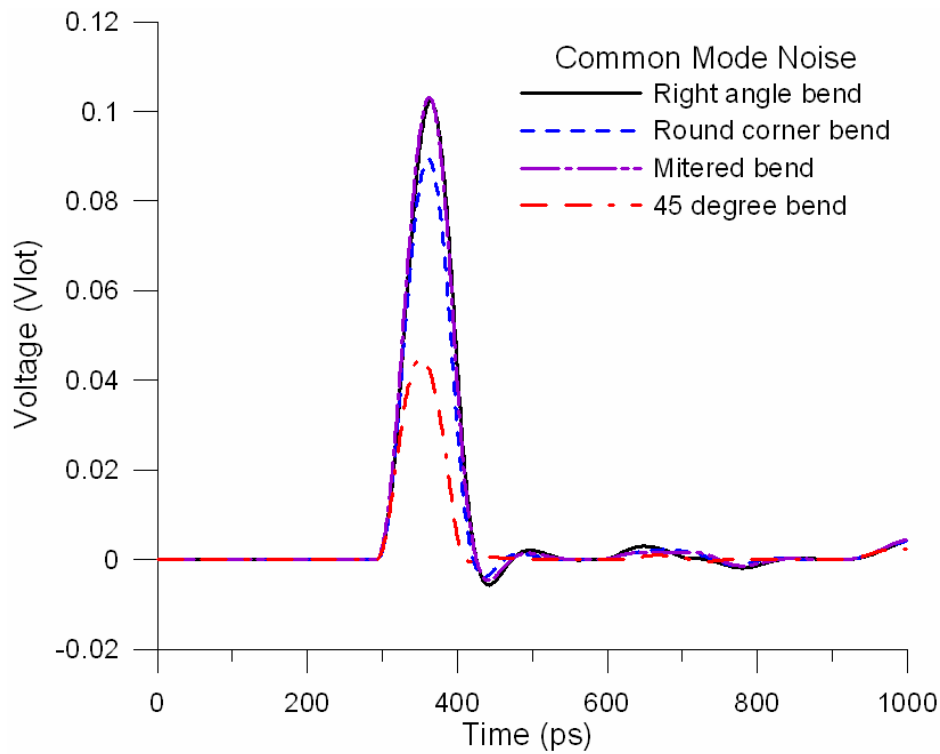


圖 4.18 各種類型差模轉角的共模雜訊比較

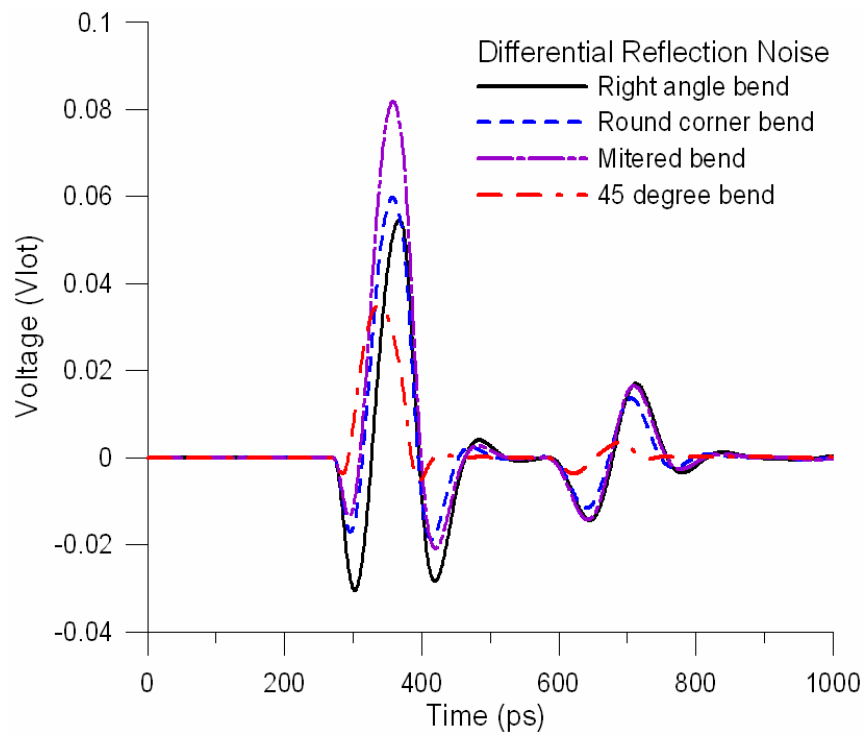


圖 4.19 各種類型差模轉角的差模反射雜訊比較

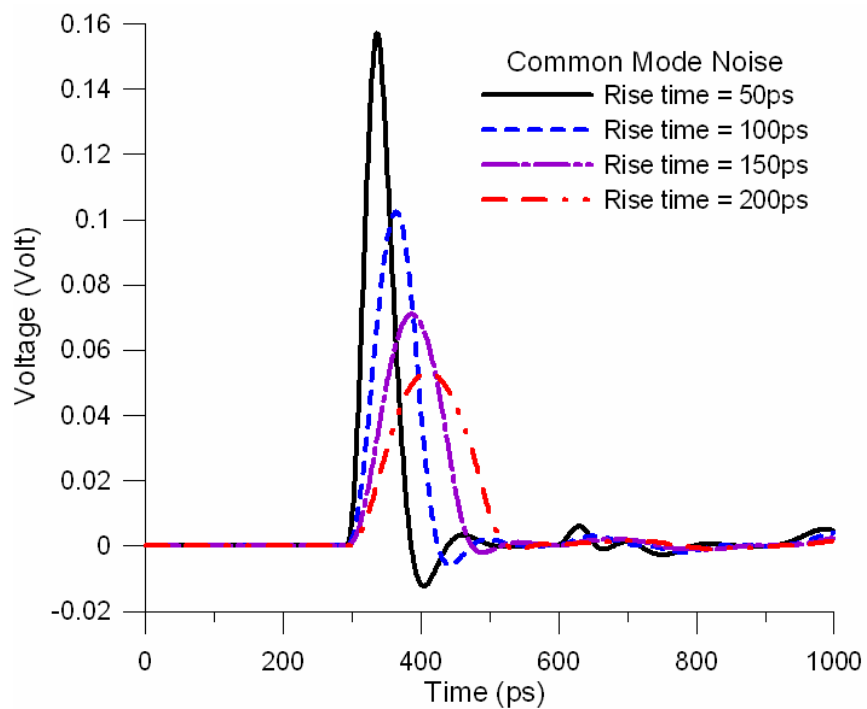


圖 4.20 90 度模轉角共模雜訊對不同上升時間的效應

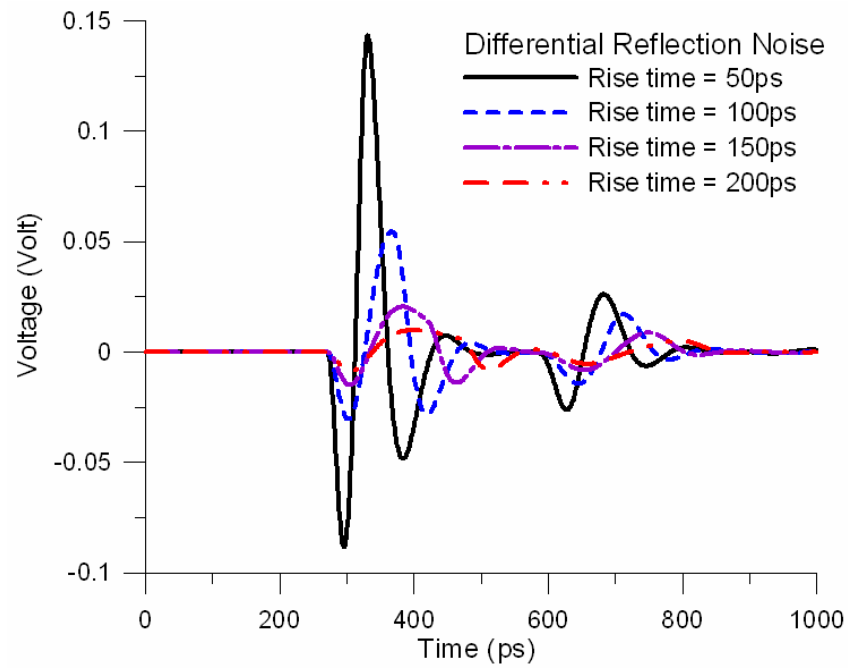


圖 4.21 90 度模轉角差模反射雜訊對不同上升時間的效應

4-7 轉角模型的實驗驗證

由前面的小節介紹了差模轉角的萃取方式、全波軟體的驗證與時域分析，但是在這一節，吾人將以一般市售的 FR4 板材來設計一個量測範例，其結構如圖 4.22 所示。

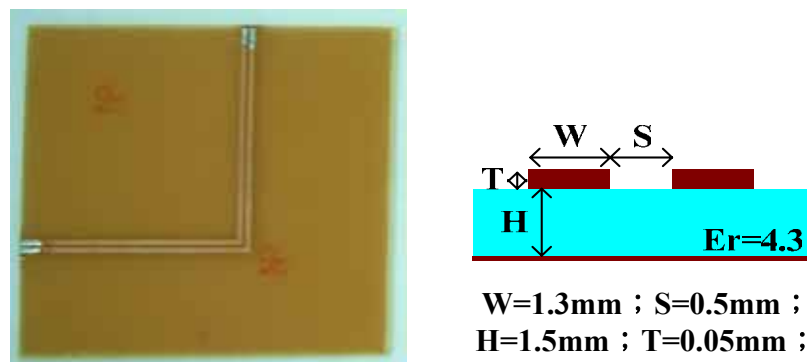


圖 4.22 90 度差模轉角量測範例結構圖

吾人以圖 4.22 的結構進行時域與頻域的量測實驗。在時域部份：藉由太克 CSA8000 的時域反射分析儀進行 TDR 波形的量測，並將轉角模型置入 HSPICE 來進行模擬以做比較。在頻域部份：藉由安捷倫的 4-port 網路分析儀 E5071B 進行 S 參數的量測，並將轉角模型置入 Microwave Office（如圖 4.23 所示）來進行模擬以做比較。圖 4.24 為時域反射性號的量測與模擬比較圖，由圖中我們可以看出量測與模擬的轉角的不連續波形十分相似，但是吾人在求模型的方法時有做了略微的近似與忽略，因此並無法完完全全相似。圖 4.25 為 S 參數的量測與模擬比較圖，由圖中我們可以看出量測與模擬的轉角的 S 參數在較低頻十分相似，在高頻段時才出現些許的誤差；綜合時域與頻域的結果雖有些許的進似誤差，但在 PCI-E 的頻率 4.5GHz 之下仍是接受的。

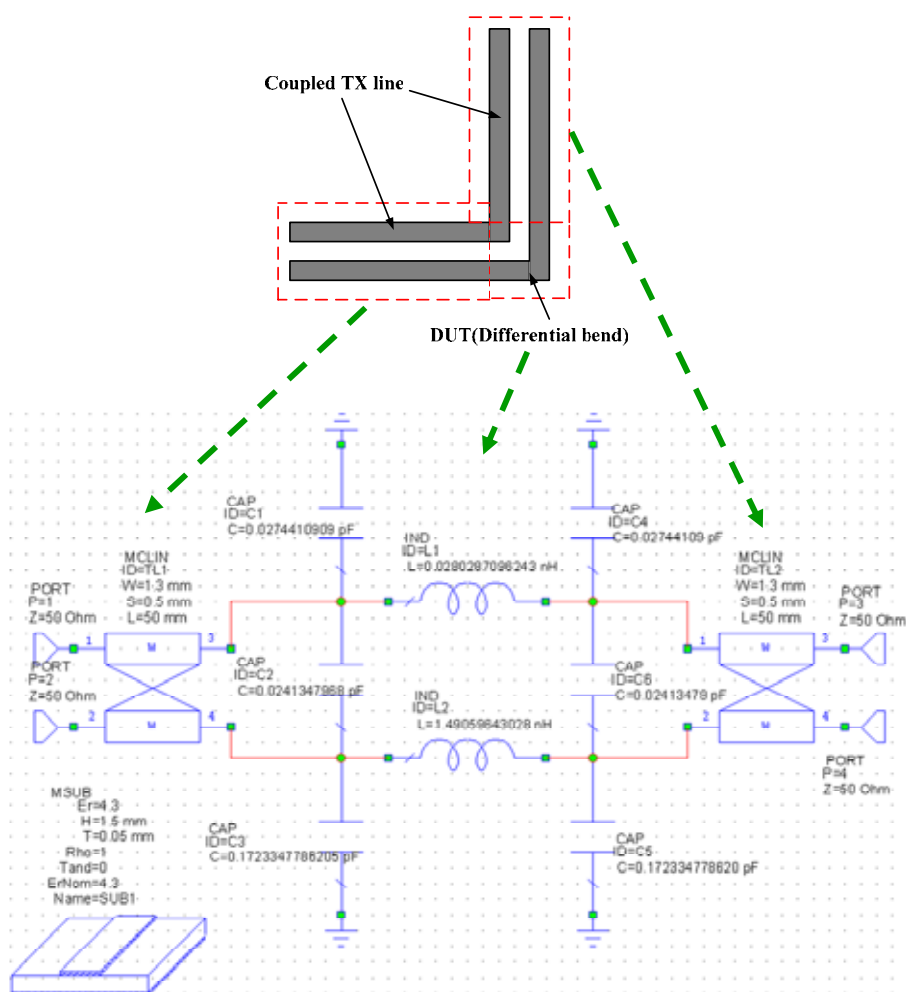


圖 4.23 90 度差模轉角的頻域 S 參數模擬示意圖

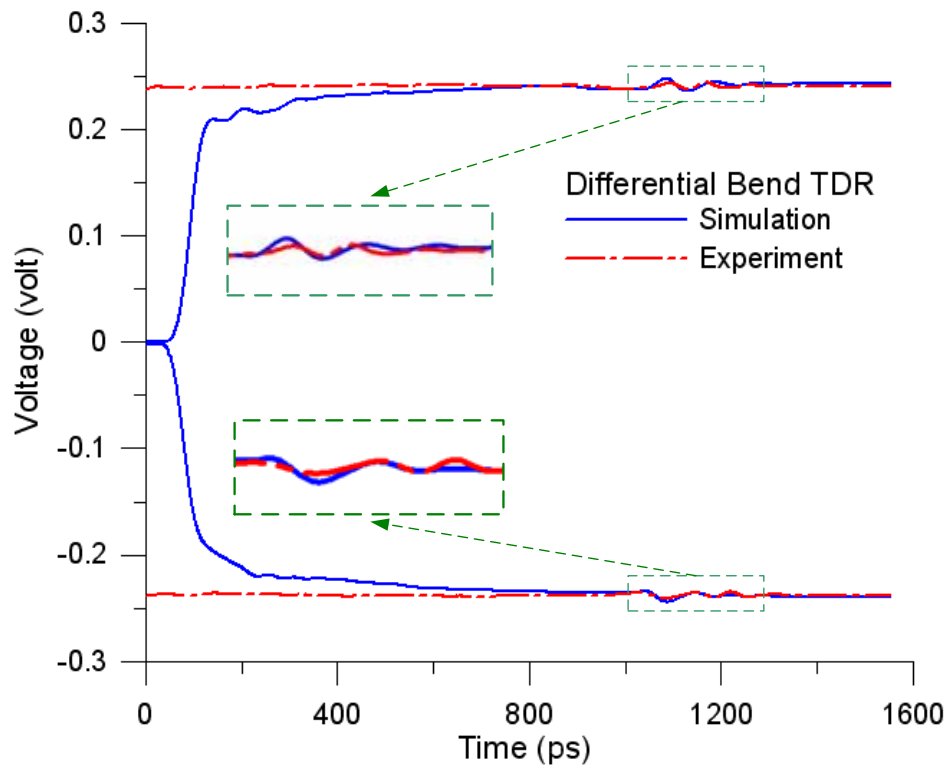


圖 4.24 90 度差模轉角量測與模擬的時域反射波形比較圖

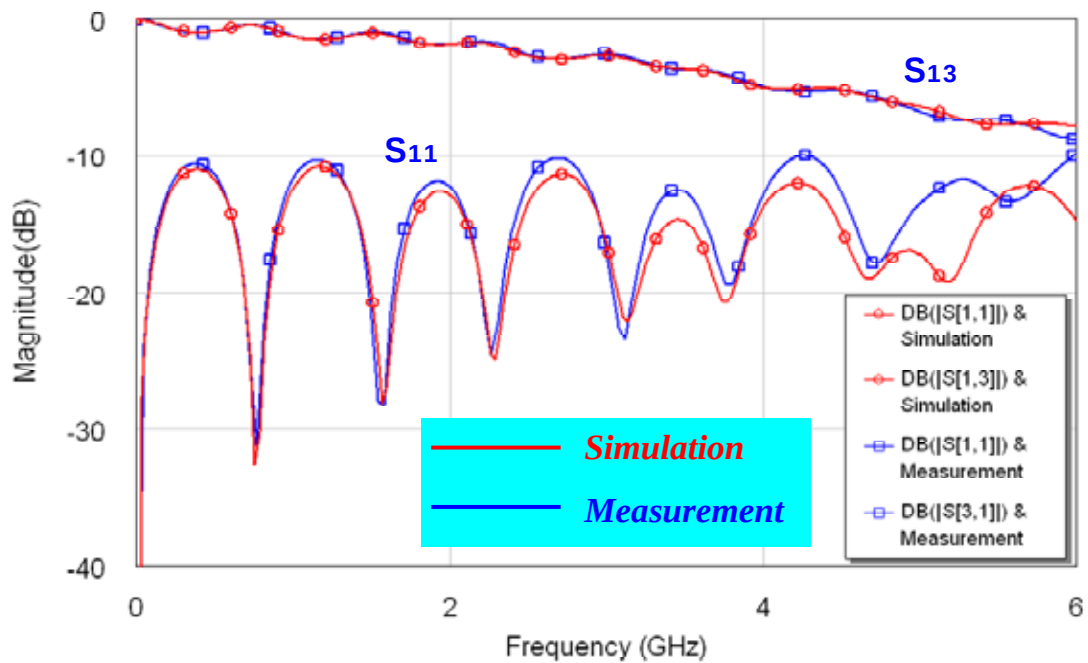


圖 4.25 90 度差模轉角量測與模擬的頻域 S 參數比較圖

4-8 差模轉角的補償

4-8-1 補償電容

之前吾人提到差模轉角的共模雜訊最主要是因為兩轉角的光程差不同所致，因此吾人提出一種方式來降低共模雜訊的補償方式，即是在較短的光程差那一個轉角處加上補償電容（如圖 4.26 所示），藉由此補償電容（ C_c ）的增加使得較短光程差的一邊增加其時間延遲，使兩邊的光程差趨於一致，藉以降低共模雜訊。

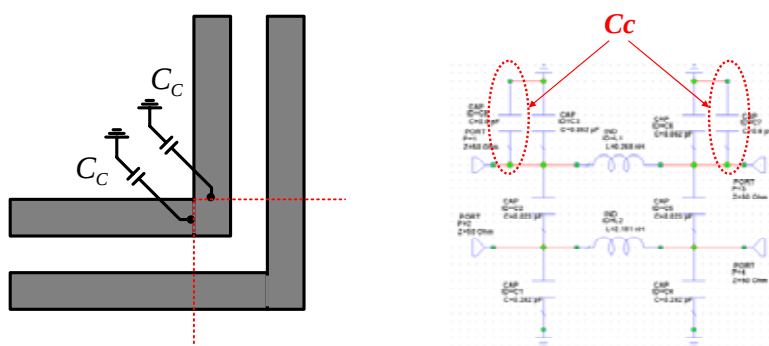
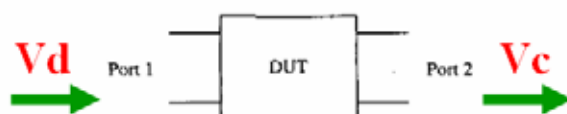


圖 4.26 增加補償電容示意圖

有了增加補償電容來降低共模雜訊想法的提出，因此吾人藉由之前推導轉角模型的式 4-12~4-21 與式 4.38 的混和 S 參數定義，可以求出補償電容的最佳值公式 4-39。吾人針對如圖 4.27 所示的結構圖去萃取其轉角模型，然後再根據式 4-39 計算出補償電容的最佳值為 0.5854pF，並針對 0.4pF~0.8pF 進行模擬驗證，而由圖 4.27 的模擬結果驗證了此降低共模雜訊方法的正確性。



$$\begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{d1d1} & S_{d1d2} & S_{d1c1} & S_{d1c2} \\ S_{d2d1} & S_{d2d2} & S_{d2c1} & S_{d2c2} \\ S_{c1d1} & S_{c1d2} & S_{c1c1} & S_{c1c2} \\ \boxed{S_{c2d1}} & S_{c2d2} & S_{c2c1} & S_{c2c2} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix}$$

$$\text{Min. } S_{c2d1} = b_{c2} / a_{d1} \Big|_{a_{d2}, c1, c2=0} \quad (4-38)$$

$$C_C = C_{22} + \frac{L_{24} - L_{13}}{2Z_o^2} - C_{11} \quad (4-39)$$

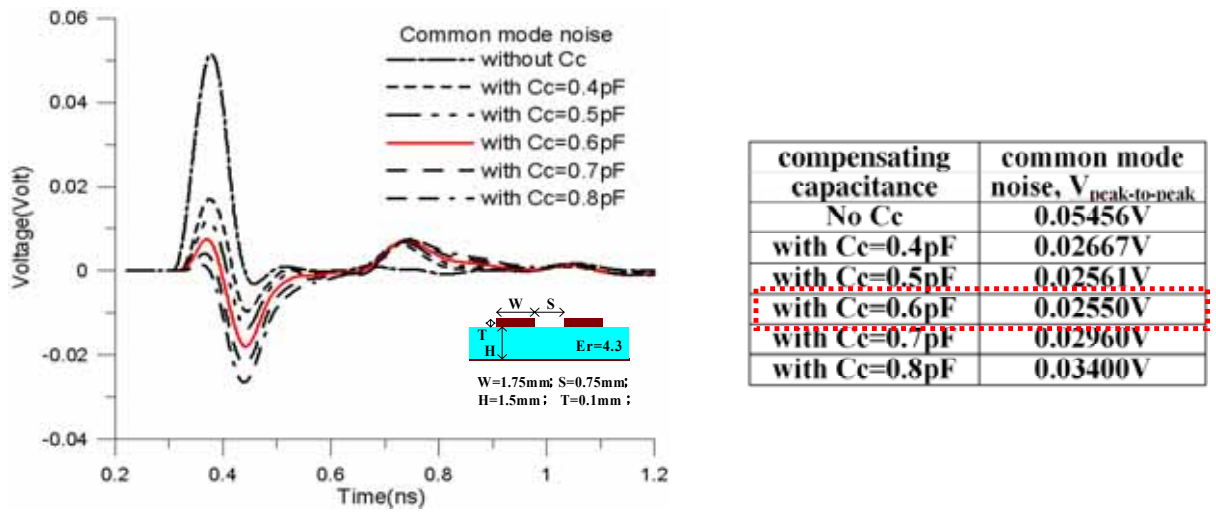


圖 4.27 增加補償電容後之共模雜訊模擬圖

由於模型結構與其公式計算的關係，使得計算出的結果需加兩個補償電容，但是基於成本的考量，吾人將補償電容改為僅增加一個，其所加位置及其等校模

型如圖 4.28 所示，而所加的電容基於網路理論的計算約為原本加兩個電容值的兩倍，其如公式 4-40 所示。而經由時域與頻域的驗證則如圖 4.29 與 4.30 所示，其中頻域的部分雖然高頻的有些許的誤差但是對於 PCI-E 的頻率範圍仍然是適合的。因此這種補償電容的增加方式是可行的，但須注意的是差模反射信號會增加了。

$$C_C' = 2 \times C_C = 2 \times \left(C_{22} + \frac{L_{24} - L_{13}}{2Z_o^2} - C_{11} \right) \quad (4-40)$$

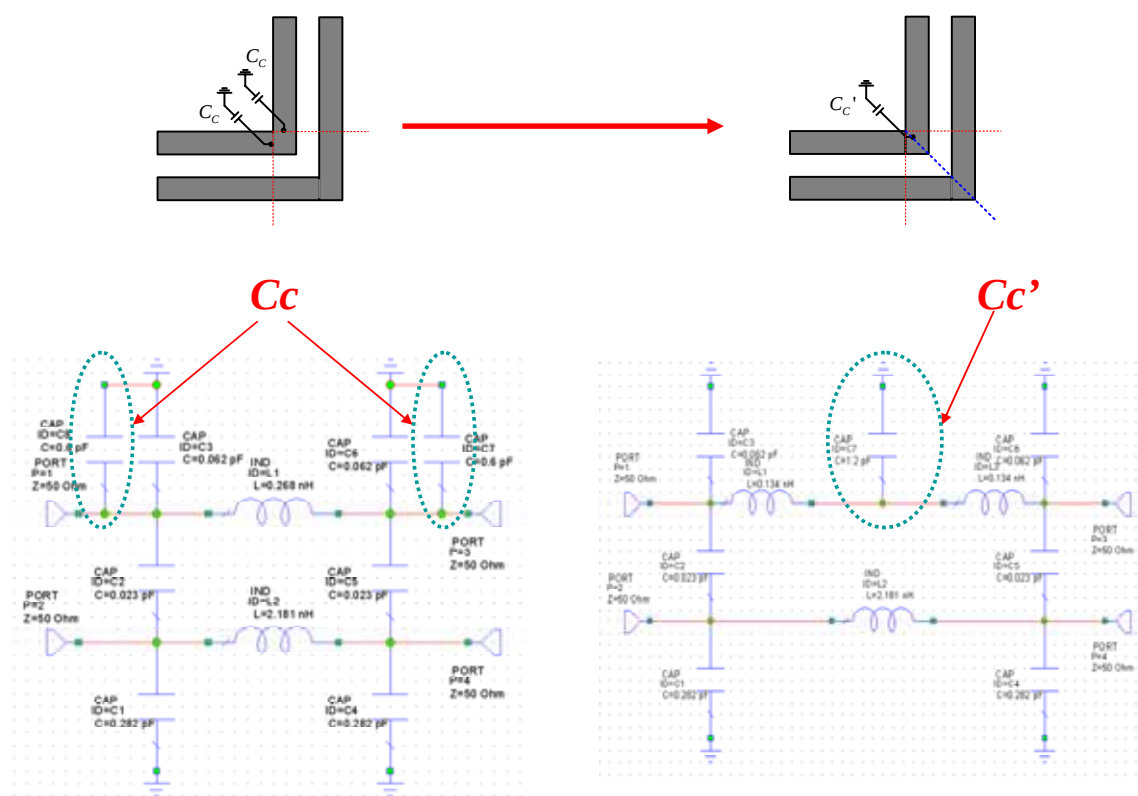


圖 4.28 改為僅增加一個補償電容的示意圖

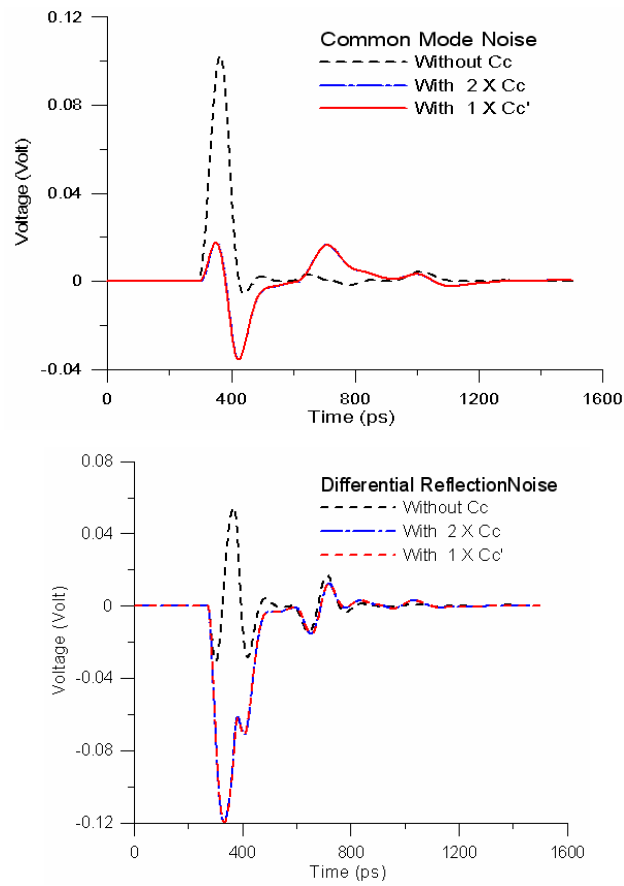


圖 4.29 一個與兩個補償電容的時域雜訊比較圖

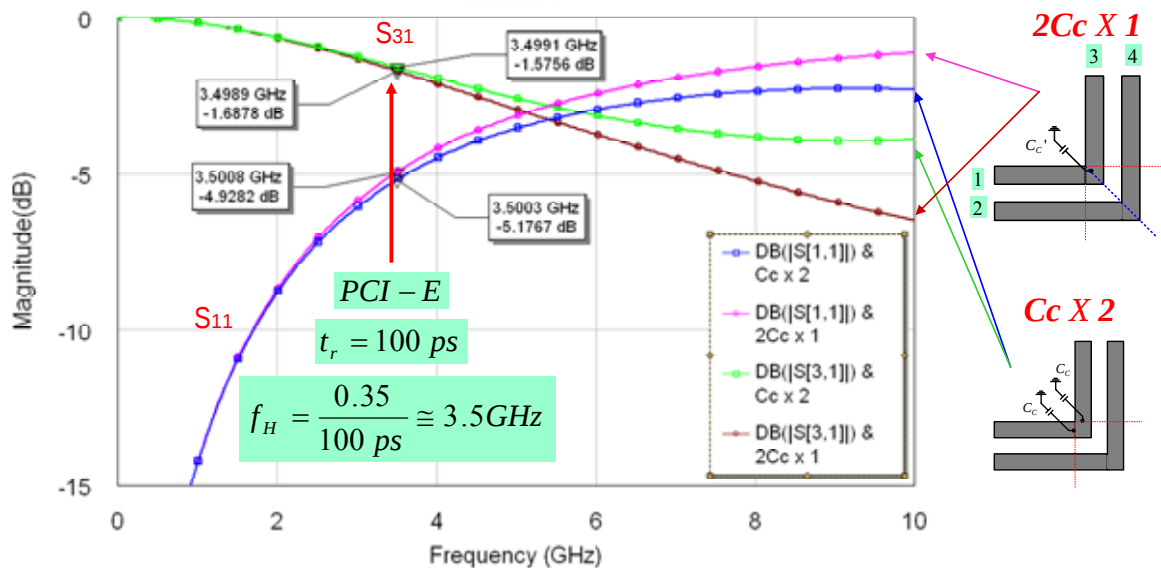


圖 4.30 一個與兩個補償電容的 S 參數比較圖

由於現今 PCB 與 Chip 內部的佈線結構都相當微小，因此在轉角內側加一個獨立補償電容似乎不太實際，因此吾人將獨立的補償電容改為增加平板狀電容，並藉由增加一小塊正方形片狀金屬來達成（如圖 4.31 所示），而所加的平板狀補償電容基於平板狀電容器的公式的計算，可以得到一個邊長為 $X=6.8\text{mm}$ 的正方形片狀金屬；而為了比較此方法的補償效果，吾人將 X 由 4.8mm 到 6.8mm 的範圍來做模擬比較。由圖 4.32 所示可以看出增大平板狀補償電容確實會降低共模雜訊的產生，雖然計算的結果是當 $X=6.8\text{mm}$ 有最好的抑制效果，但在 $X=5.8\text{mm}$ 也已有差不多的抑制效果了；然而反射雜訊也會隨著補償電容的增加而增加些許，如圖 4.33 所示。

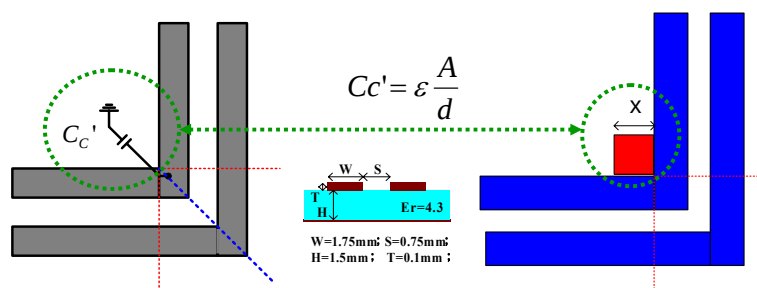


圖 4.31 獨立元件的補償電容改為增加平板狀電容之示意圖

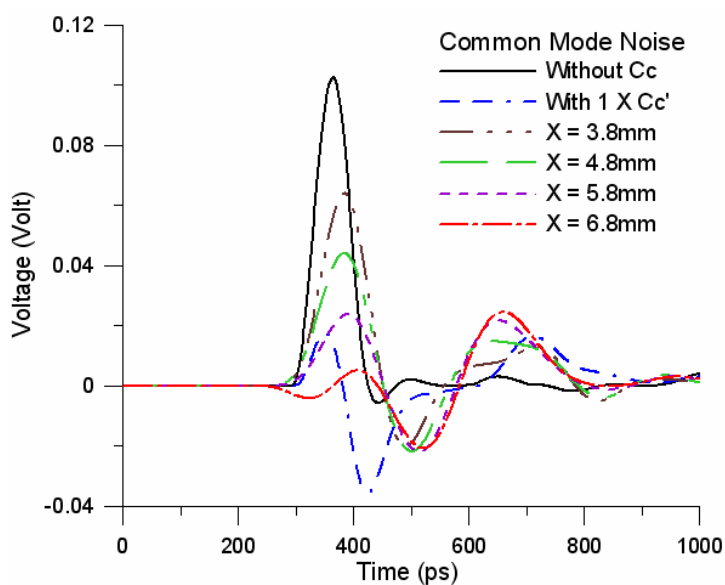


圖 4.32 改為增加平板狀補償電容電容之共模雜訊模擬比較圖

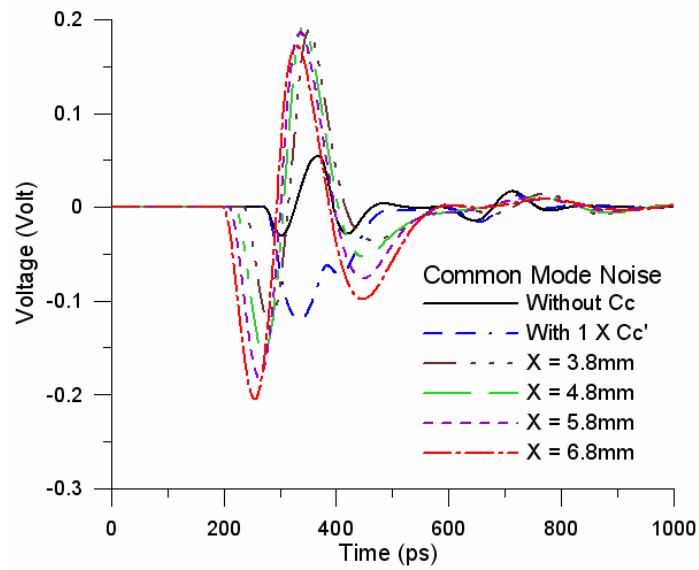


圖 4.33 改為增加平板狀補償電容電容之差模反射雜訊模擬比較圖

4-8-2 雙轉角補償

雙轉角補償即是利用兩個一樣的轉角結構，反方向對稱連接，使得兩導線的路徑一樣等長，如圖 4.34 所示；如此的佈線結構是希望使的兩路徑的信號光程差達到一致。而這個想法在帶線結構之下是可以實現的，但是在微帶線的結構之下卻無法將共模雜訊完全補償掉，而這與兩轉角結構連接的中間導線長度 (ℓ) 是有關的。

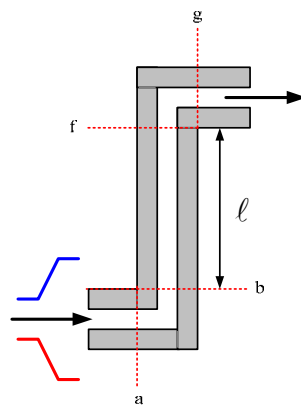


圖 4.34 雙轉角補償結構示意圖

接下來，吾人針對雙轉角補償結構以 HSPICE 進行模擬，並觀察其經雙轉角之後的共模雜訊（如圖 4.35 所示），由模擬結果可以知道當雙轉角中間的傳輸線越長則共模雜訊跟著變大，直到某一個長度之後共模雜訊便不再增大了，意即飽和了。

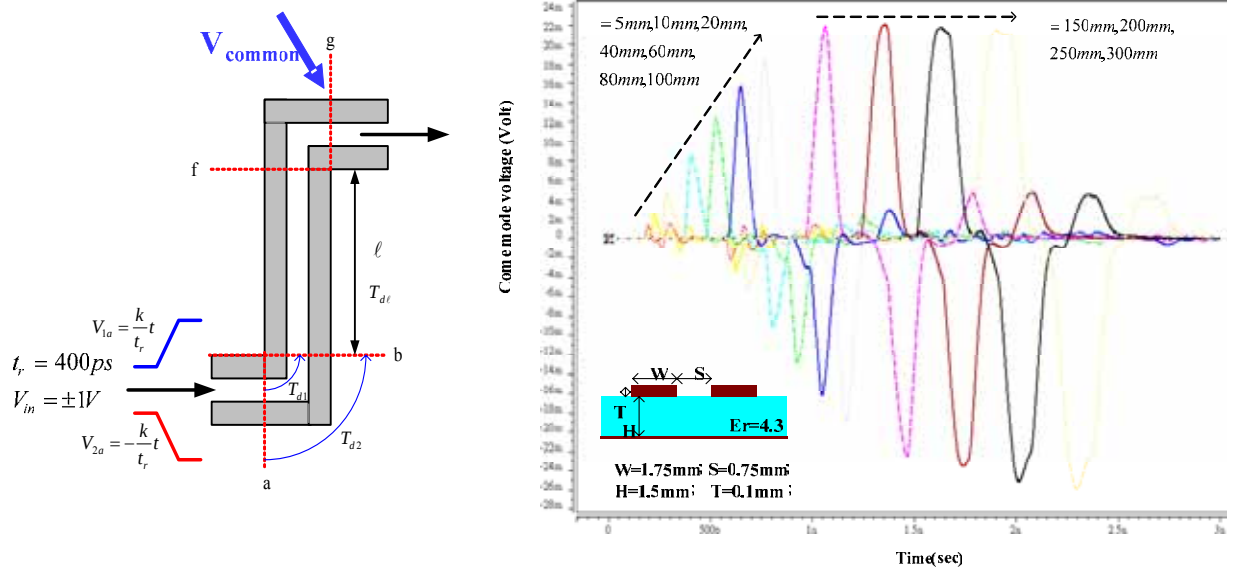


圖 4.35 雙轉角補償共模雜訊與中間長度的關係

吾人針對雙轉角補償結構定義了一些參數（如圖 4.35、式 4-42~44），然後根據式 4-41 可以得到經由雙轉角補償後仍無法補償完全所剩下的共模雜訊公式，式 4-45、4-46。而由式 4-46 可以看出共模雜訊的確是在當中間長度的共模與差模信號的光程差小於轉角本身兩路徑的光程差時，漸漸變大；而直到兩者相等，共模雜訊才飽和。而雙轉角在微帶線結構之下無法完全補償的原因最主要是因為其偶模(even mode)與奇模(odd mode)的模態場傳播的速度的不同所致。

$$v_c = \frac{v_1 + v_2}{2}, \quad v_d = v_1 - v_2, \quad v_1 = \frac{2v_c + v_d}{2}, \quad v_2 = \frac{2v_c - v_d}{2} \quad (4-41)$$

$$\tau = T_{d2} - T_{d1} \quad (4-42)$$

$$\Delta t = \frac{\ell}{v_e} - \frac{\ell}{v_o} = \frac{\ell}{v_{average}} \times \Delta v(\%) \quad (4-43)$$

$$\Delta v(\%) = \frac{\Delta v}{v_{average}} = \frac{v_o - v_e}{v_{average}} \times 100\% \quad (4-44)$$

$$\begin{aligned} \Delta v &= \frac{1}{\sqrt{L_{11}C_{11}}} \left[\frac{1}{\sqrt{(1-k_L)(1+k_C)}} - \frac{1}{\sqrt{(1+k_L)(1-k_C)}} \right] \\ &= \frac{1}{\sqrt{L_{11}C_{11}}} (k_L - k_C) \quad , \quad \text{for_weakly_coupling} \end{aligned} \quad (4-45)$$

$$V_{common}(at_position_g) = \begin{cases} \frac{k}{4t_r} \times \frac{\ell}{v_{average}} \Delta v(\%), & \Delta t < 2\tau \\ \frac{k}{4t_r} \times 2\tau & , \quad 2\tau \leq \Delta t \end{cases} \quad (4-46)$$

另外，雙 45 度差模轉角的結構才是最常見的補償結構(如圖 4.36 所示)，其無法補償完全剩餘的共模雜訊仍可以由式(4-41)~(4-46)求得；而對於任意角度(0 度~90 度)的雙差模轉角補償結構所無法補償完全剩餘的共模雜訊大小，吾人亦藉由圖 4.37 的差模轉角幾何參數，以式(4-47)表示出。

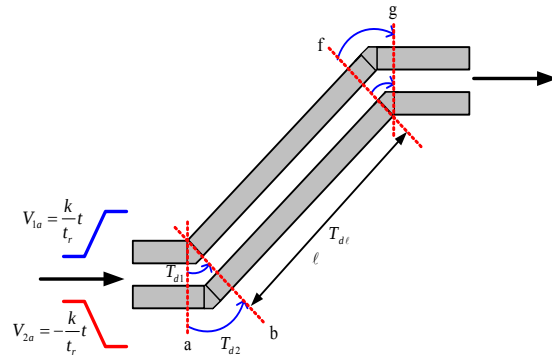


圖 4.36 雙 45 度轉角補償結構示意圖

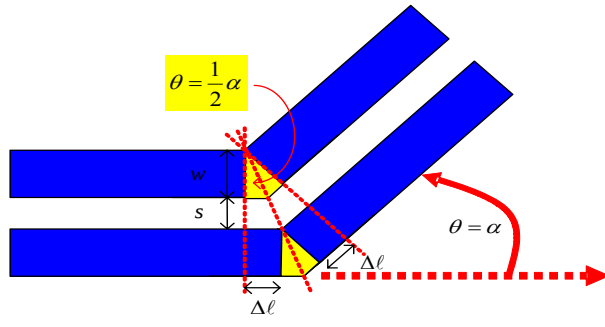


圖 4.37 差模轉角幾何參數示意圖

$$V_{C_MAX(at_g)} = \frac{k}{t_r} \frac{\Delta\ell}{v_{odd}} = \frac{k}{t_r} \left[\frac{(w+s) \tan(\frac{\alpha}{2})}{v_{odd}} \right] \quad (4-47)$$

第五章 Wire bond 與 package pin 之模型化

5-1 簡介

本章的 Wire bond 主要是驗證一般常使用的準靜態方法(quasi-static method)所萃取的等效電路模型是否正確？並以 high-frequency structural simulator(HFSS)所模擬之結果與用準靜態方法所建立之電路模型相比較。

5-2 準靜態方法模型準確性之驗證

首先，參考一篇論文[50]，在 HFSS 上建立一個與其相同的單根棒線結構，圖 5.1 為論文中所示之模擬結構，圖 5.2 為在 HFSS 上所建立之單根棒線模擬結構，介質為三氧化二鋁(Al_2O_3)，相對介質常數(relative dielectric constant)為 9.8，介質厚度皆為 254 μm ，傳輸線為銅(copper)，寬度 244 μm 、高度為 2 μm ，棒線材質為金，半徑為 25.4 μm ，在圖 5.1 的結構中， $p_1=d_1=p_2=d_2=75\text{ }\mu\text{m}$ 、 $g=125\text{ }\mu\text{m}$ ，整個模擬結構尺寸大小為 1220*6125 μm^2 。

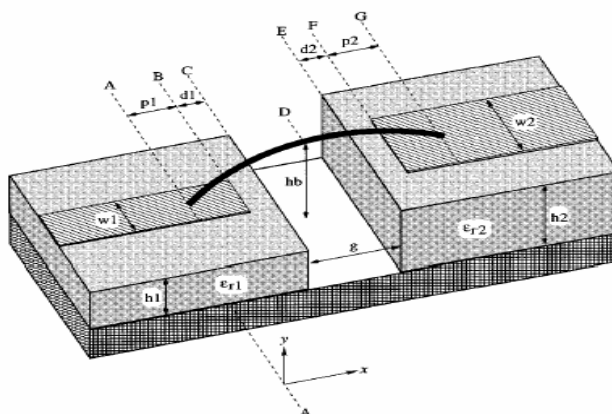


圖 5.1 結構示意圖

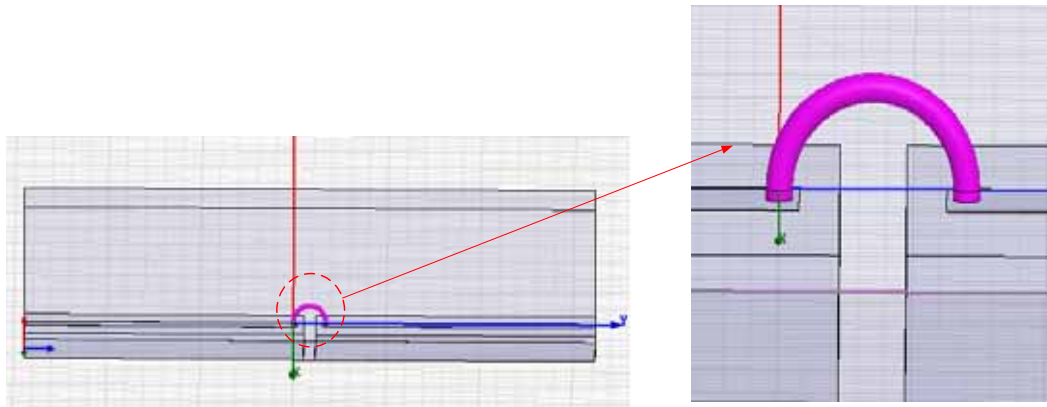


圖 5.2 HFSS 模擬結構圖

將 HFSS 所模擬之 S matrix 轉成 Y matrix，如圖 5.3 所示，由 Y matrix 可將電路模型等效為 π model，而 π model 的 one series inductor 和 two shunt capacitors，可以參考式(5-1)、(5-2)、(5-3)。圖 5.4 為在頻率為 50GHz、25GHz 與 5GHz 下所模型化的棒線 π 模型，圖 5.5 與圖 5.6 分別為 HFSS 模擬結果與圖 5.4 的等效 π model S_{11} 的強度與相位比較圖，圖 5.7 為 HFSS 模擬結果與圖 5.4 的等效 π model 在 Smith chart 上所看到 S_{11} ，所模擬的結果相當接近吻合。

$$\begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} = \begin{bmatrix} j\omega C_1 + \frac{1}{j\omega L} & -\frac{1}{j\omega L} \\ -\frac{1}{j\omega L} & j\omega C_2 + \frac{1}{j\omega L} \end{bmatrix}$$

圖 5.3 Y matrix

$$L = \frac{-1}{j\omega y_{21}} \quad (5-1)$$

$$C1 = \frac{y_{11} + y_{21}}{j\omega} \quad (5-2)$$

$$C2 = \frac{y_{22} + y_{21}}{j\omega} \quad (5-3)$$

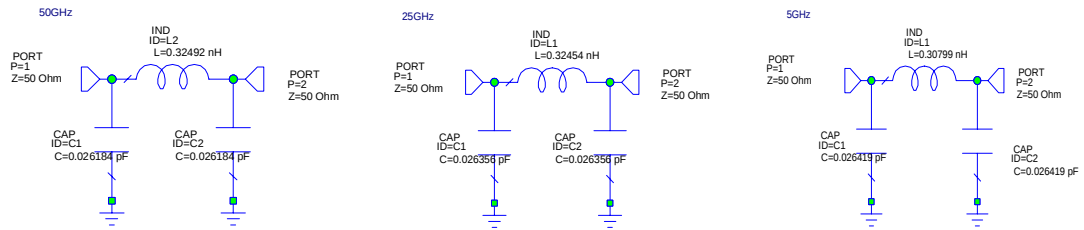


圖 5.4 等效 π model

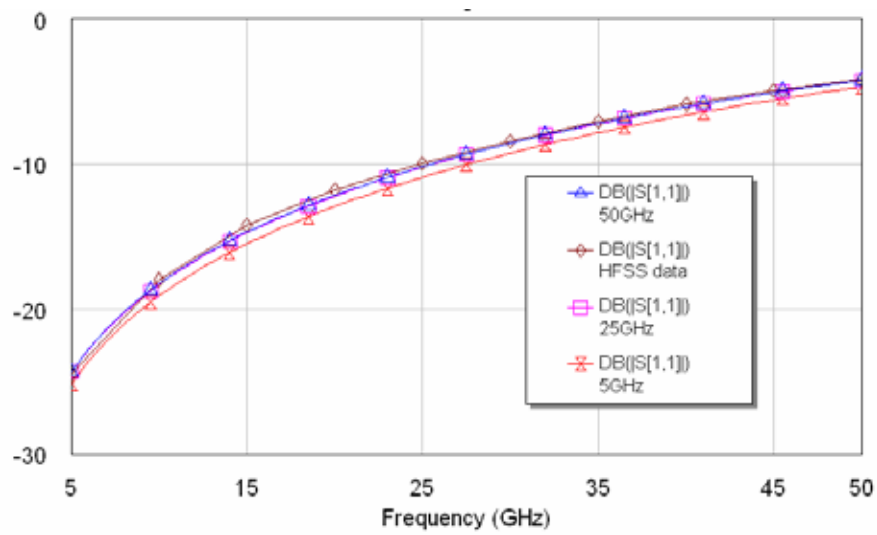


圖 5.5 S_{11} magnitude(dB)圖

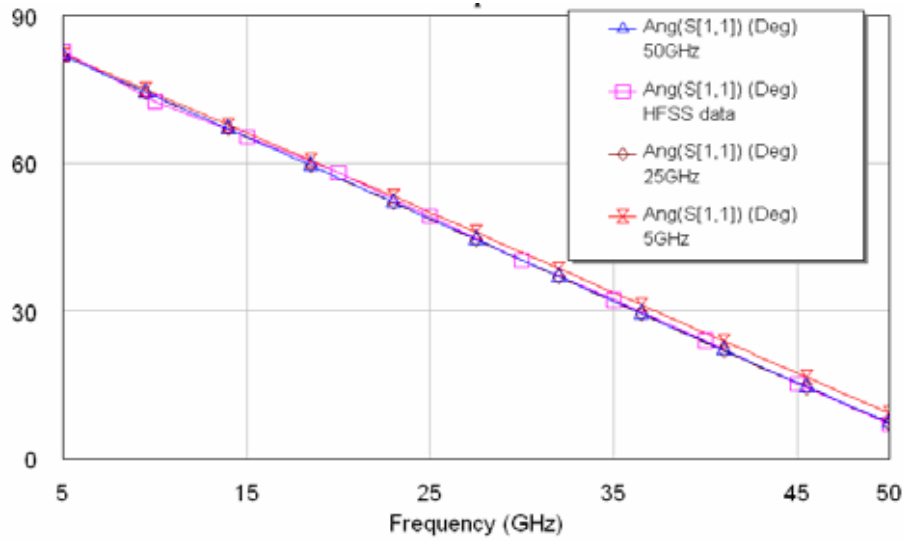


圖 5.6 S_{11} phase 圖

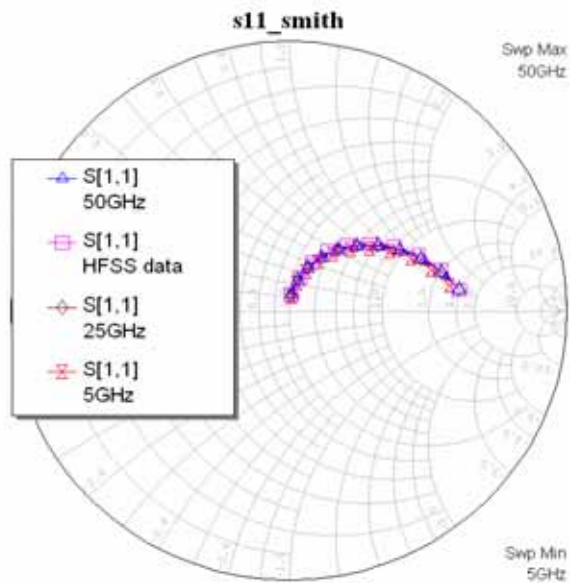


圖 5.7 S_{11} on a Smith Chart

此外，根據[46]所列的棒線公式，公式如下式(5-4)、(5-5)所示，將棒線分成四段，如圖 5.8。分別算出每段的電感值，根據公式計算 $LA=LD=89.325\text{pH}$ 、 $LB=LC=44.924\text{pH}$ ，與 5GHz 下的總電感值 307.99pH 相比較，大約相差 40pH 。

$$L_A = L_D = \frac{\mu_0}{2\pi} l \left[\ln \left(\frac{2l}{r} \right) - \frac{3}{4} \right] \quad (5-4)$$

$$L_B = L_C = l \left(5.08 \times 10^{-9} \right) \ln \frac{4h}{d} \quad (5-5)$$

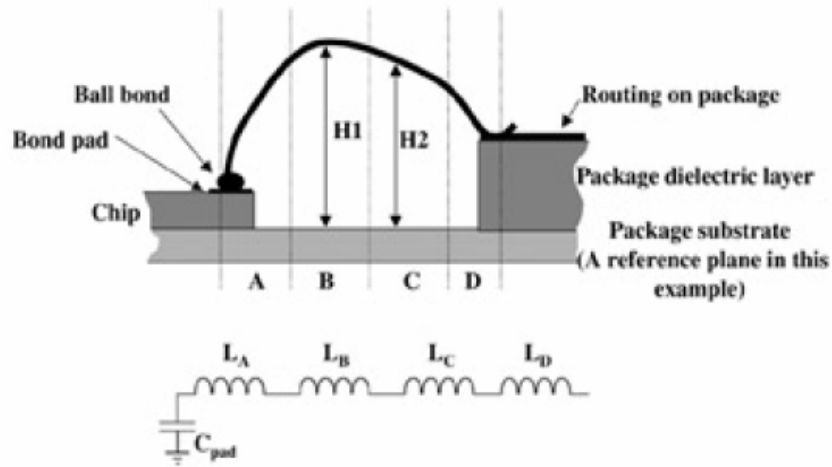


圖 5.8 棒線結構示意圖

以準靜態方法建立棒線的電路模型，圖 5.9 與圖 5.10 為論文[51]中棒線結構與棒線等效電路模型，焊接區域(soldering region)以一個 π model 建立，中間的棒線部分以分段的均勻傳輸線模型(uniform transmission line)模型化，每段棒線以中間點的位置為等效傳輸線的高度的相同截面積傳輸線，式(5-5)~(5-10)為以準靜態方法所計算的電容、電感與特徵阻抗(characteristic impedance)、電的長度(electrical length)的公式， h 為棒線與接地層(ground plane)的距離、 h_s 為介質厚度、 r_w 為棒線(bonding wire)半徑， P_i 為焊接區域的棒線長度， $Z_{s,i}$ 與 $\epsilon_{s,i}$ 分別為第 i 段的特徵阻抗與有效介質常數(effective dielectric constant)。

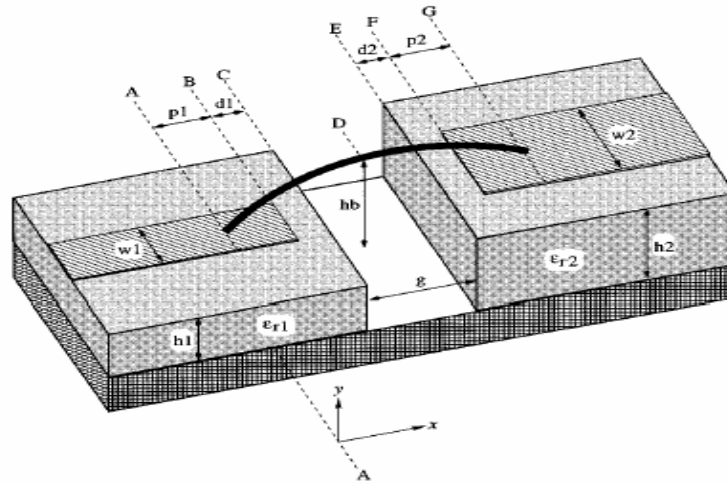


圖 5.9 棒線結構圖

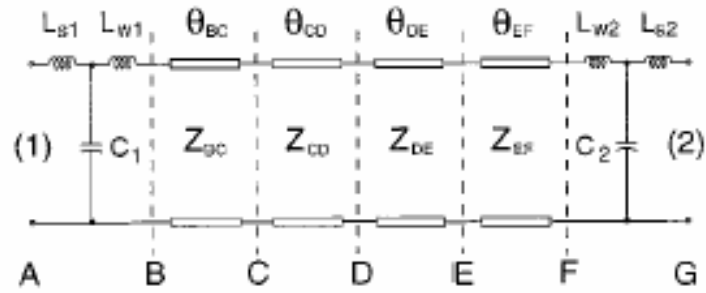


圖 5.10 棒線等效電路模型

$$\epsilon r = \left[1 - \frac{k_0}{\mu_0} \left(\frac{\epsilon r - 1}{\epsilon r} \right) \right]^{-0.5} \quad (5-5)$$

$$Z_c = \frac{\eta_0 \mu_0}{2\pi \sqrt{\epsilon r}} \quad (5-6)$$

Where $\mu_0 = \ln \left(\frac{h}{rw} + \sqrt{\left(\frac{h}{rw} \right)^2 - 1} \right)$

$$k0 = \ln \left(\frac{\sqrt{\left(\frac{h}{rw}\right)^2 - 1} + \frac{hs}{rw}}{\sqrt{\left(\frac{h}{rw}\right)^2 - 1} - \frac{hs}{rw}} \right)$$

$$C_{S,i} = \sqrt{\epsilon_{S,i}} \frac{pi}{co} \frac{1}{Z_{S,i}} \quad (5-7)$$

$$L_{S,i} = \frac{1}{2} \sqrt{\epsilon_{S,i}} \frac{pi}{co} Z_{S,i} \quad (5-8)$$

$$C_i = C_{S,i} + C_f, i \quad (5-9)$$

$$L_{w,i} = L_{S,i} + \frac{\mu o}{2\pi} pi \ln \left(\frac{hw,i}{rw} + \sqrt{\left(\frac{hw,i}{rw}\right)^2 - 1} \right) \quad (5-10)$$

圖 5.11 為用準靜態方法所建立之等效電路模型，以式(5-5)~(5-10)的公式分段建立棒線每個部分的電路模型，圖 5.12 與圖 5.13 分別為 S_{11} 、 S_{21} 的強度與 S_{11} 的相位圖，圖 5.14 為在 Smith Chart 上的 S_{11} ，由 Smith Chart 上可以觀察到 S_{11} 的強度與相位皆相當吻合。

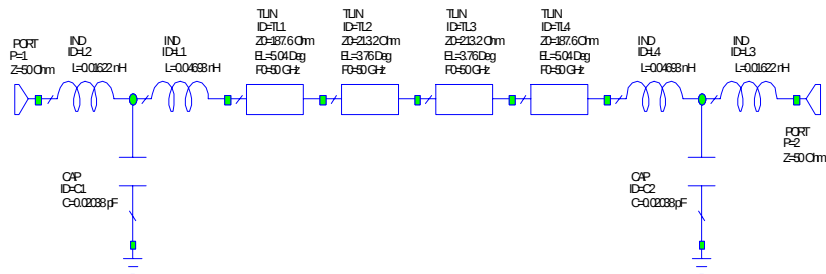


圖 5.11 等效電路圖

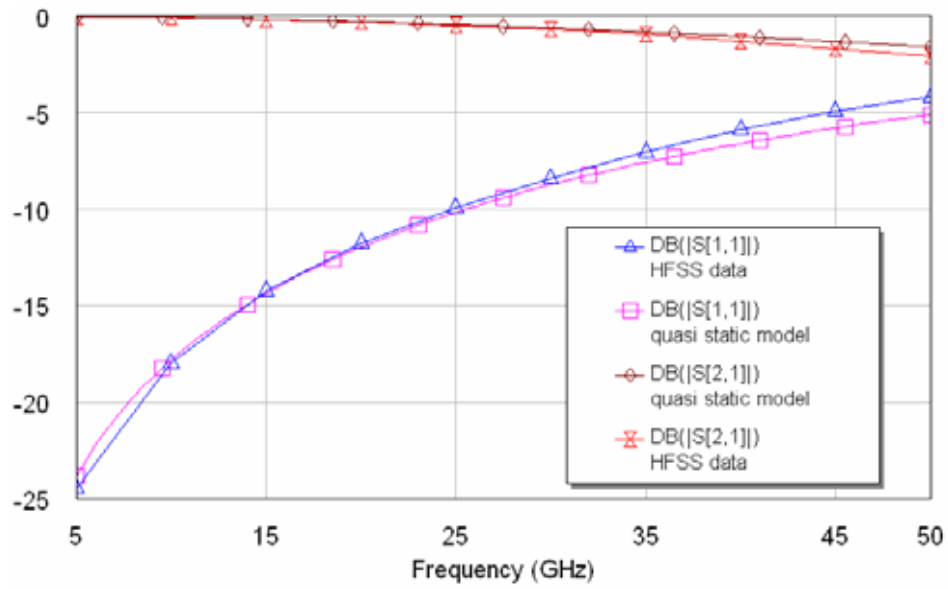


圖 5.12 S_{11} 與 S_{21} magnitude(dB)圖

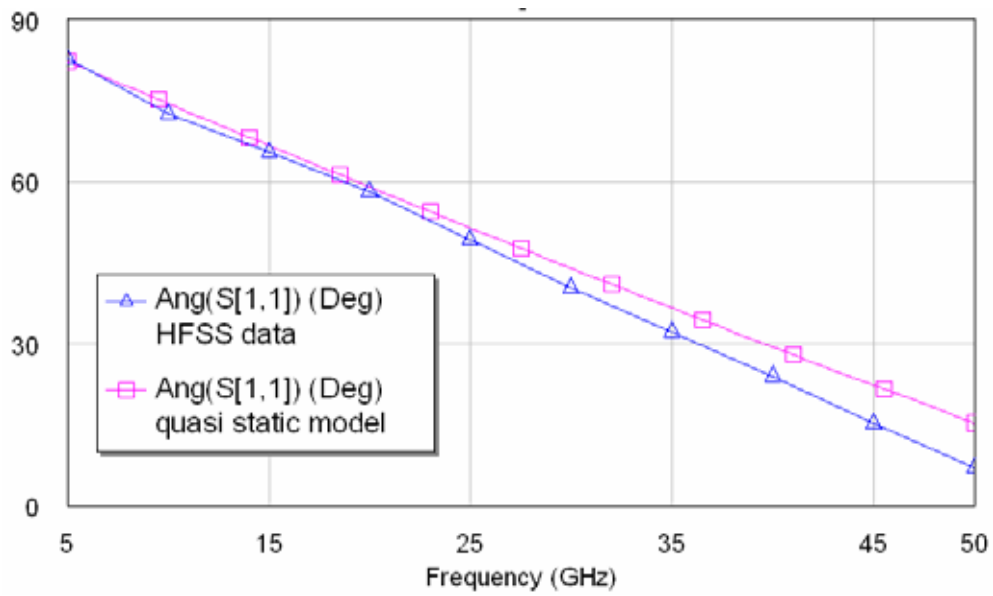


圖 5.13 S_{11} phase 圖

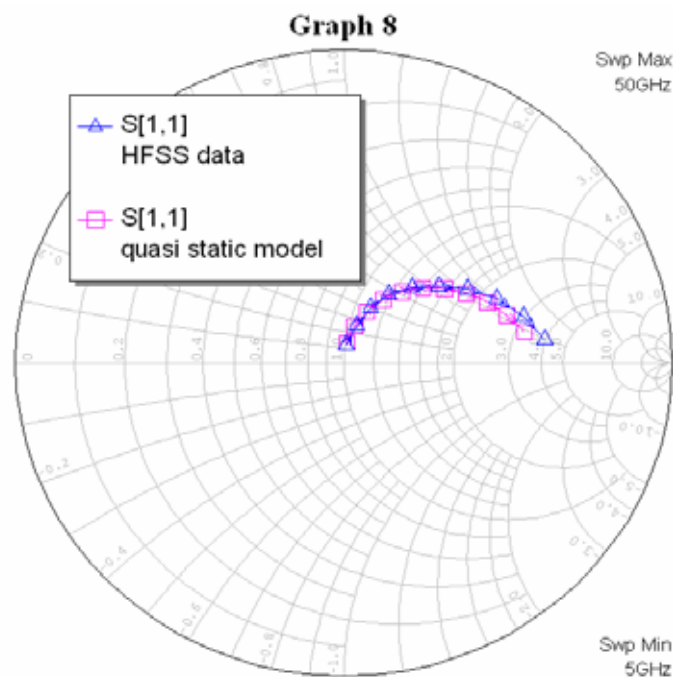


圖 5.14 S_{11} on a Smith Chart

5-3 單根棒線等效電路模型萃取

圖 5.15 與圖 5.16 分別為依照貴公司所給的尺寸在 HFSS 所建立的模擬結構圖，尺寸參數如下，die 的介質為 Al_2O_3 ， ϵ_r 為 9.8，介質高度為 0.3mm，微帶線介質層材質為 BT， ϵ_r 為 3.8，介質高度為 0.1mm，傳輸線材質為銅，兩端的傳輸線寬度與厚度分別為 $w_1=0.282\text{mm}$ 、 $w_2=0.19\text{mm}$ ， $t_1=0.02\text{mm}$ 、 $t_2=0.04\text{mm}$ ，pad 尺寸大小分別為 $65 \times 65 \text{ } \mu\text{m}^2$ 與 $97 \times 97 \mu\text{m}$ ，pad 到介質邊緣的長度為 75 μm ，gap width 為 2mm，棒線材質設為金(Au)，半徑 15 μm ，整個模擬結

構尺寸大小為 $2 \times 8 \text{ mm}^2$ 。

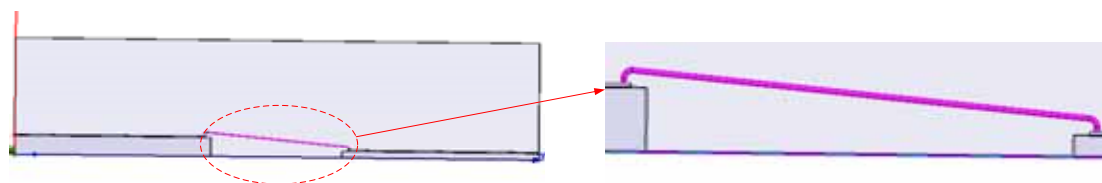


圖 5.15 模擬結構側視圖

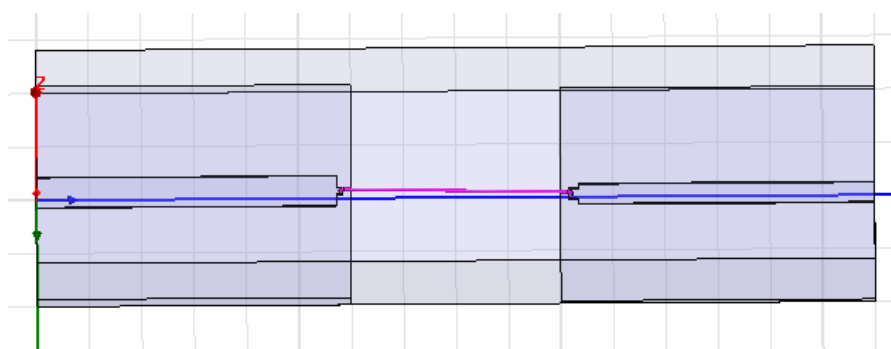


圖 5.16 模擬結構上視圖

圖 5.17 為以準靜態方法所建立之等效電路，圖 5.18 為 HFSS 所模擬的結果與以準靜態方法所建立的等效電路的 S_{11} 和 S_{21} 強度比較圖，圖 5.19 為 HFSS 所模擬的結果與以準靜態方法所建立的等效電路的 S_{11} 和 S_{21} 相位比較圖，兩者間的差異還算小，在高頻部分會相差較大。圖 5.20 為在 Smith Chart 上的 S_{11} 圖。由先前的模擬結果可知，以準靜態方法所等效的單根棒線電路模型而言，其模擬結果與全波模擬(full-wave simulation)結果相比十分相近，意即在模型化單根棒線等效電路模型時，準靜態方法是相當可靠的，故在萃取單根等效電路模型時，可以使用準靜態方法來獲得，在頻率為 20GHz 時，仍有相當高的準確性。

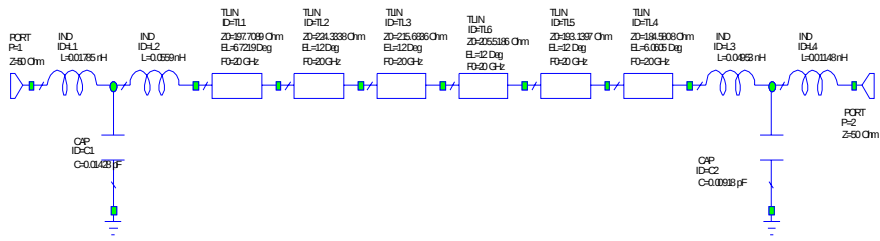


圖 5.17 等效電路圖

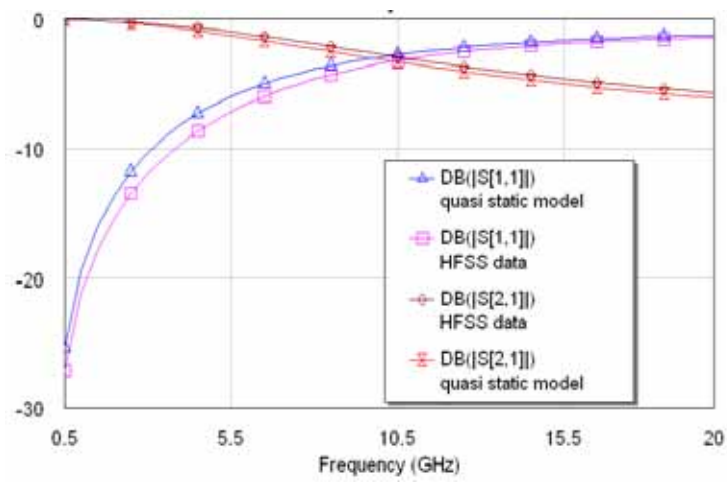


圖 5.18 S_{11} 與 S_{21} magnitude(dB) 比較圖

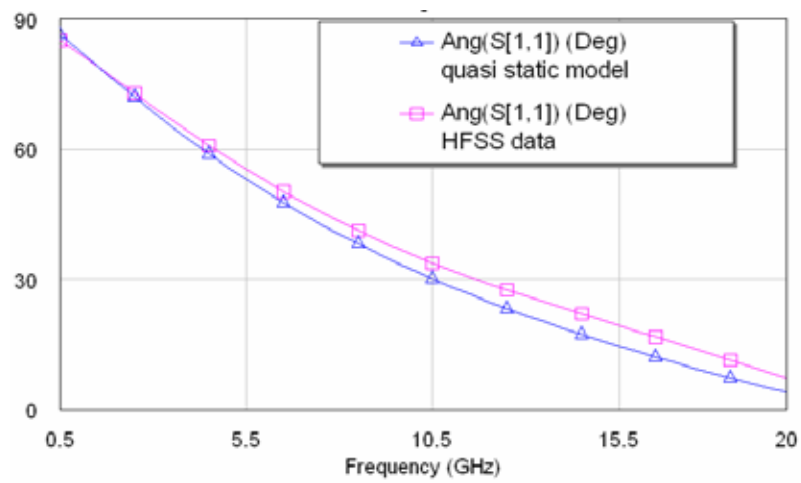


圖 5.19 S_{11} phase 比較圖

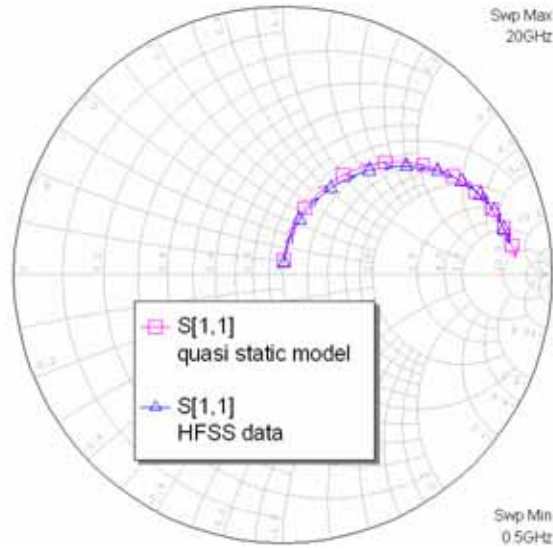


圖 5.20 S_{11} on a Smith Chart

接下來，吾人將用 quasi-static method 所建立的等效電路再加以簡化，將中間的傳輸線忽略其電容，以電感取代，如圖 5.21 所示，圖 5.22 為將傳輸線以 lossless equivalent circuit 取代，並且與 HFSS 模擬結果相比較。圖 5.23 為 HFSS 模擬結果與簡化電路模型的 S_{11} 與 S_{21} 的強度大小比較圖，圖 5.24 為 HFSS 模擬結果與簡化電路模型的 S_{11} 與 S_{21} 的相位比較圖，圖 5.25 為 Smith Chart 上的 S_{11} ，由圖中可以看出在高頻時，相位會有較明顯的差異，模擬頻率到 20GHz，在 10 GHz 以下電路模型還算準確。在圖中 simplified model 與 Simplified model 2 分別代表圖 5.21 與圖 5.22。

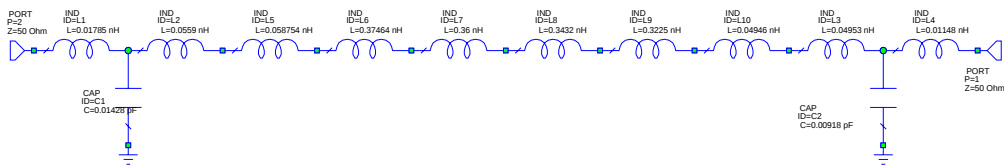


圖 5.21 bonding wire 等效電路圖 1

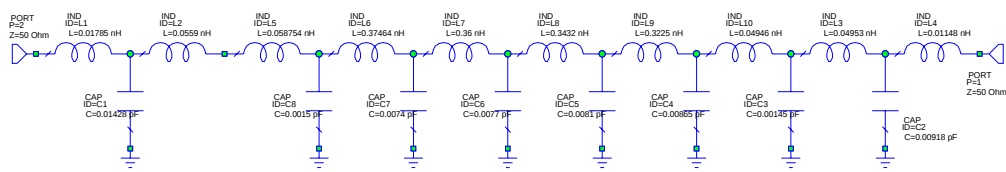


圖 5.22 bonding wire 等效電路圖 2

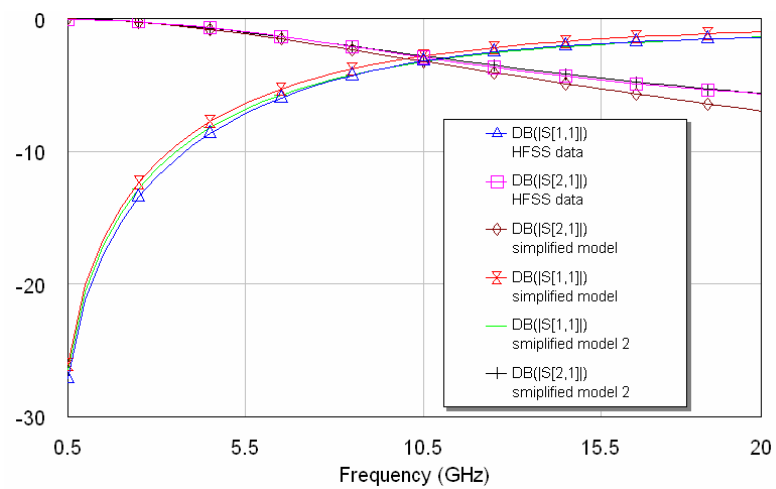


圖 5.23 S_{11} 與 S_{21} magnitude(dB)比較圖

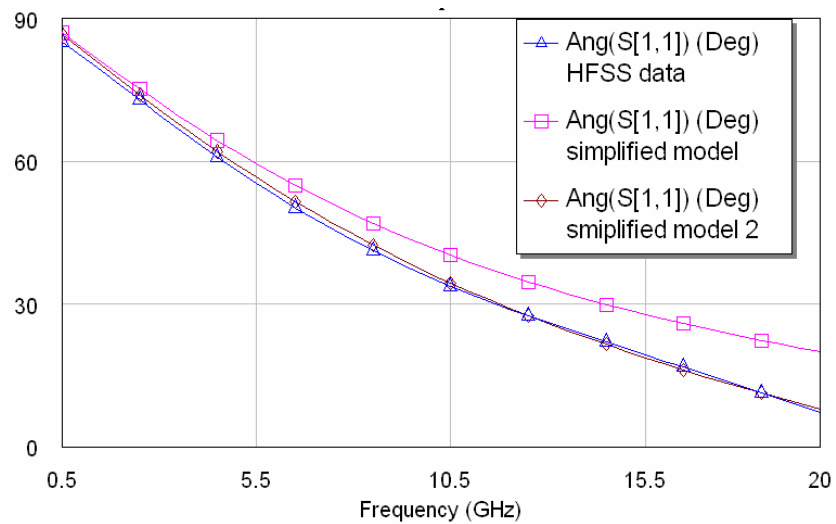


圖 5.24 S_{11} 與 S_{21} phase 比較圖

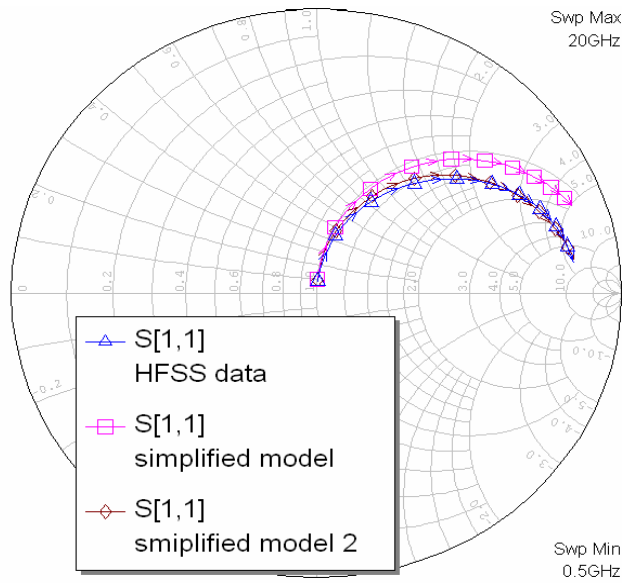


圖 5.25 S_{11} on Smith Chart

圖 5.26 為台積電封裝實際結構示意圖，dielectric 1 為 BT(dielectric constant 為 3.8)、dielectric 2 為 Al_2O_3 (dielectric constant 為 9.8)，介質高度分別為 0.1 mm 與 0.3 mm，其他相關尺寸與圖 5.15、圖 5.16 相同，藍色部分代表傳輸線，圖 5.27 是在 HFSS 所建立之模擬結構，除此之外，需要說明的是在 HFSS 中第一段微帶線的 ground plane 在 dielectric 2 下方、dielectric 1 上方，dielectric 1 下方為另一層接地層，並將兩個 ground planes 相互連接在一起。

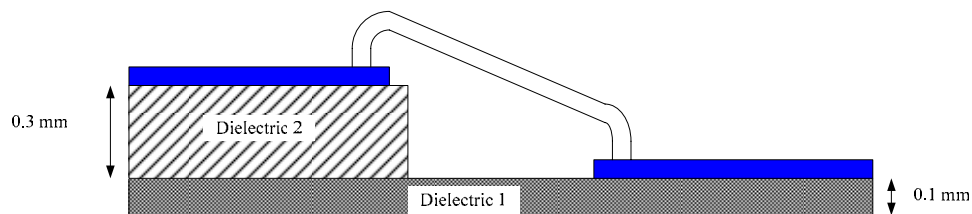


圖 5.26 結構示意圖

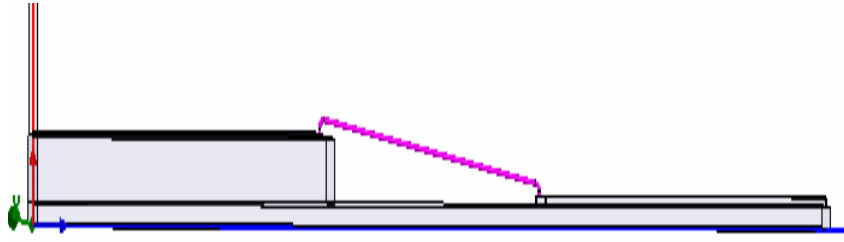


圖 5.28 模擬結構圖

下圖 5.30 為模擬結構圖 5.15、圖 5.16 與圖 5.28 之 S parameters 比較圖，兩者間的不同在於 HFSS 模擬結構圖 5.28 的 die 位於介質層上，兩種模擬結構示意圖可以參考圖 5.26 與圖 5.29，實際結構示意圖如下圖 5.32 所示，由圖 5.30 與圖 5.31 可知兩個不同模擬結構的 return loss S_{11} 與 insertion loss S_{21} 幾乎一致，這是因為兩端微帶線的接地層連接在一起，就模擬結構而言，兩者是十分相近的，而若以 quasi-static method 來分析，主要差異在於中間棒線部分的有效電介質常數以及單根棒線長度大小，由於 dielectric 1 相對介質常數為 3.8，有效介質常數 effective dielectric constant 可近似為 1，故近似為在 free-space 環境下的棒線，而圖 5.26 的棒線長度約為 2.1426mm，圖 2.29 棒線長度約為 2.15mm，其長度差異所造成的等效電感約為 0.72pH，遠小於總電感約 1.4nH，故可將這微小棒線差異所造成的電感值忽略，因此先前所得之等效電路模型也因此可用於圖 5.27 的模擬結構上。

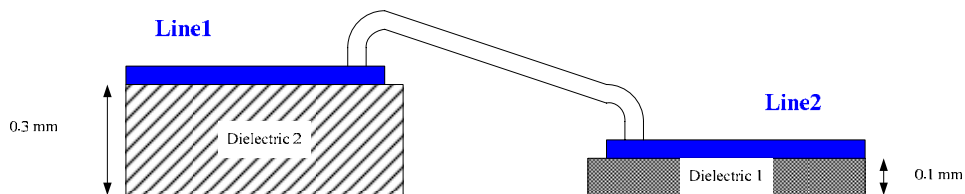


圖 5.29 結構示意圖

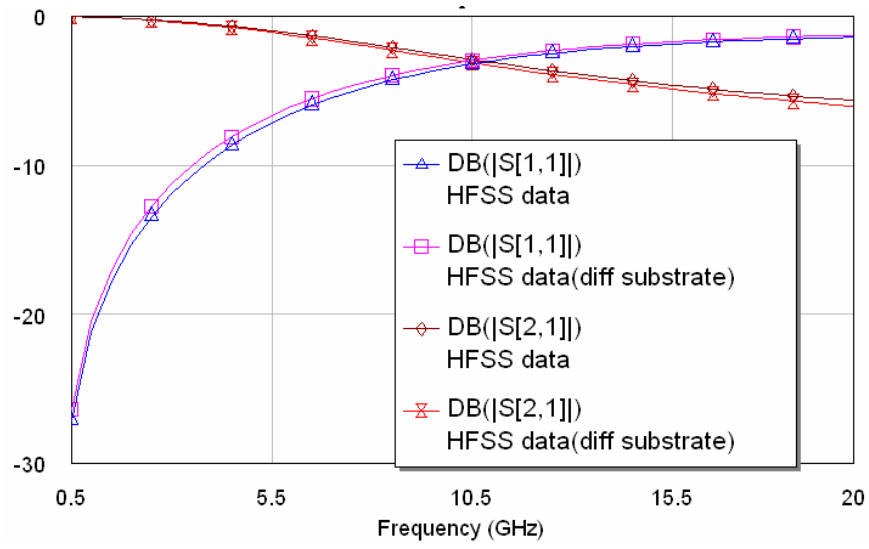


圖 5.30 S 參數比較圖

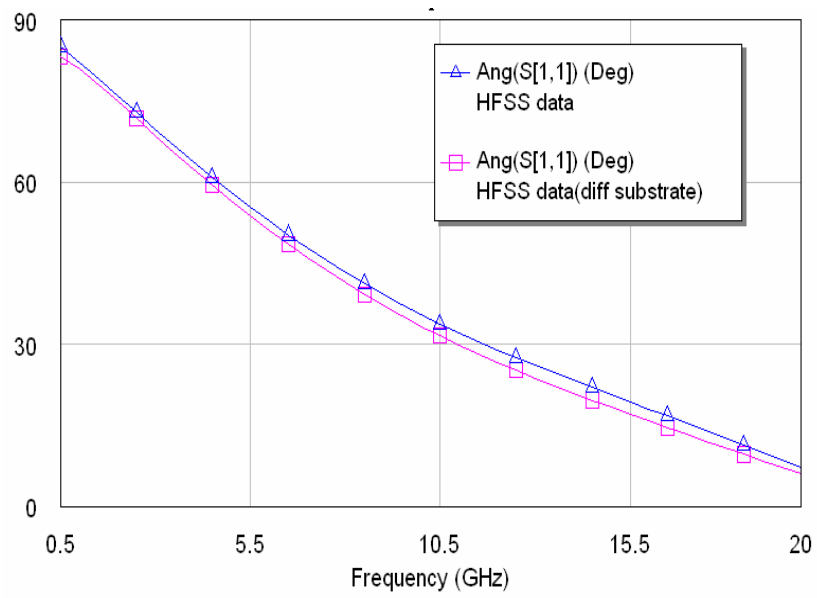


圖 5.31 S_{11} 參數相位比較圖

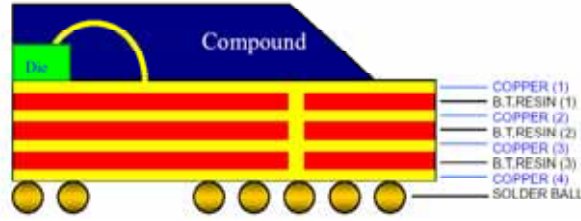


圖 5.32 BGA 封裝結構

接下來，吾人利用 CAP 程式來驗證以準靜態方法所得之公式的準確性，有效介質常數的數學式如式(5-11)所示， C 與 C_0 分別為有電介質及無電介質的情況下的等效電容，而在距接地金屬等距離的圓形金屬導線的等效電容值可寫為式(5-12)， h 為金屬線距接地層的距離， r_w 為圓形金屬線半徑，利用 CAP 算出 C 及 C_0 的電容值，並與式(5-5)相比較，CAP 計算等效電容架構如圖 5.33，黃色圓形代表金屬棒線，圖表 5.34 為在介質高度 0.3mm 的氧化鋁介質以式(5-5)算的等效電容值與 CAP 的計算結果以及兩者間的相對誤差，圖 5.35 是將表 5.34 畫成直角座標圖，紅色實線與藍色虛線分別代表 CAP 與式(5-5)所計算之有效介質常數曲線；圖表 5.36 為在介質高度 0.1mm 的 BT 介質以式(5-5)算的等效電容值與 CAP 的計算結果以及兩者間的相對誤差，圖 5.37 是將表 5.36 畫成直角座標圖，紅色實線與藍色虛線分別代表 CAP 與式(5-5)所計算之有效介質常數曲線，由兩張圖上可以看到兩者間的相對誤差皆小於 10%。圖表 5.38 為在氧化鋁介質下降低金屬導線的高度所得之等效電容值，可以看到兩者間的相對誤差百分比變大，這是由於金屬線距介質層越近，有效介質常數由 1 逐漸增大，也因此誤差值會逐漸加大，圖 5.39 是將圖表 5.38 畫成直角座標圖。

$$\epsilon_{eff} = \frac{C}{C_0} \quad (5-11)$$

$$C_0 = \frac{2\pi\epsilon_0}{\cosh^{-1}\left(\frac{h}{r_w}\right)} \quad (5-12)$$

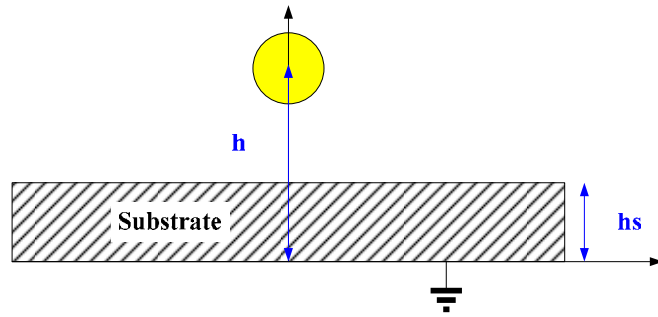


圖 5.33 CAP 架構圖

h	0.38	0.45	0.525	0.6	0.675	0.75
ϵ_w (quasi-static method)	1.413	1.2435	1.1743	1.1361	1.1116	1.0945
C (pf/m)	21.3151	17.6523	15.7897	14.7065	13.9293	13.366
C0 (pf/m)	14.174	13.588	13.095	12.696	12.363	12.08
ϵ_w (CAP)	1.5038	1.299	1.2058	1.1584	1.1267	1.1065
Relative difference	6.4%	4.5%	2.7%	2%	1.4%	1.1%

圖 5.34 參數表格

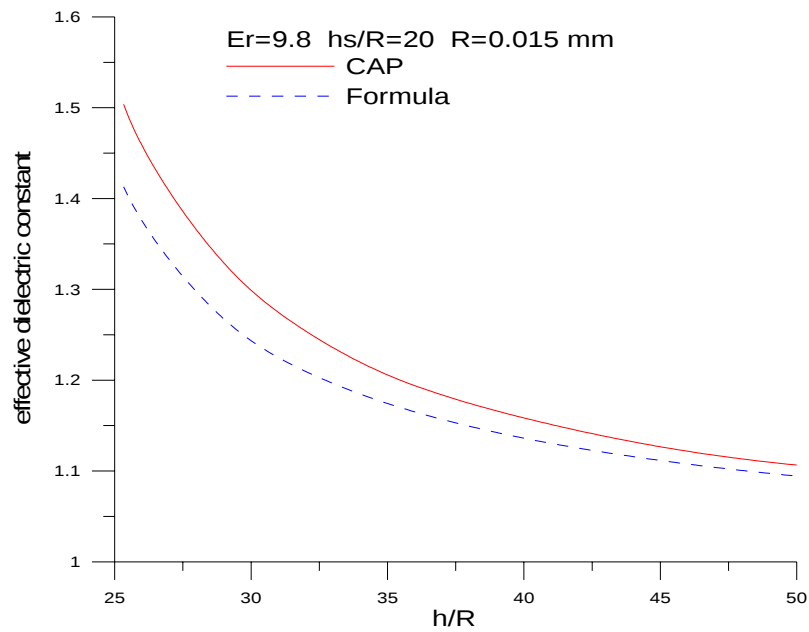


圖 5.35 有效介質常數曲線圖

h	0.18	0.27	0.36	0.45	0.54	0.63	0.72
ϵ_w (quasi-static method)	1.1884	1.0912	1.0592	1.0434	1.0339	1.0277	1.0234
C (pf/m)	21.163	17.04	15.259	14.19	13.452	12.9	12.467
C0 (pf/m)	17.514	15.528	14.372	13.588	13.009	12.556	12.189
ϵ_w (CAP)	1.2083	1.0973	1.062	1.044	1.034	1.0275	1.0228
Relative difference	1.67%	0.56%	0.28%	0.06%	0.01%	0.02%	0.06%

圖 5.36 參數表格

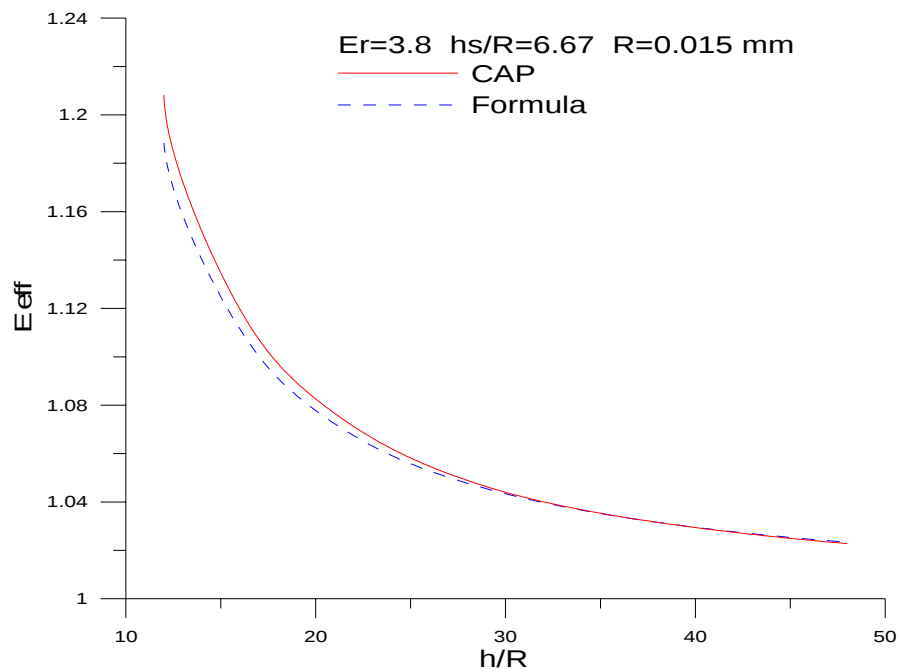


圖 5.37 有效介質常數曲線圖

h	0.315	0.3225	0.33	0.3375	0.345
ϵ_w (quasi-static method)	3.1305	2.2162	1.9074	1.7418	1.6355
C (pf/m)	59.8	38.2	32.02	28.74	26.56
C0 (pf/m)	14.886	14.793	14.703	14.616	14.532
ϵ_w (CAP)	4.02	2.582	2.178	1.966	1.828
Relative difference	28.4%	16.5%	14.2%	12.9%	11.8%

圖 5.38 參數表格

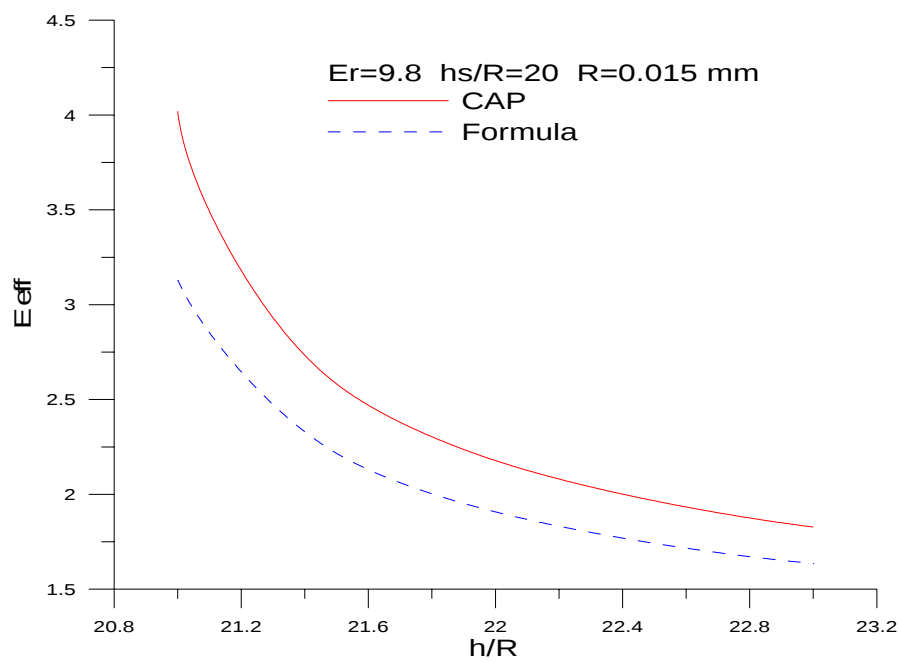


圖 5.39 有效介質常數曲線圖

5-4 差模棒線等效電路模型萃取

接下來進行的是差模棒線的等效電路萃取，首先在平行耦合下的一對差模棒線等效電路，圖 5.40 與圖 5.41 為在 HFSS 下所畫的模擬架構上視圖與側視圖，圖 5.42 為封裝結構架構圖，在 die 上的 pad 距離為 60 μm ，另一端 pad 距離為 0.2mm，die 所用材質為氧化鋁，介質厚度 0.3mm，另一端介質為 $\epsilon_r=3.8$ 的 BT 介質，介質厚度 0.1mm，pad 大小為 65*65 μm^2 ，bonding wires 半徑 15 μm (約 0.6mils)，材質為金，整個 HFSS 模擬在 $\epsilon_r=4.1$ 的環境下。

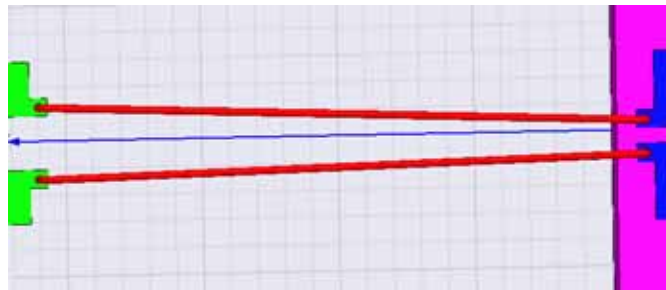


圖 5.40 差模棒線模擬架構上視圖

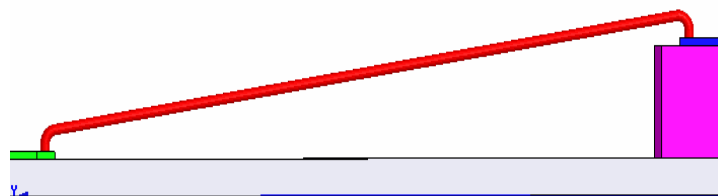


圖 5.41 差模棒線模擬架構側視圖

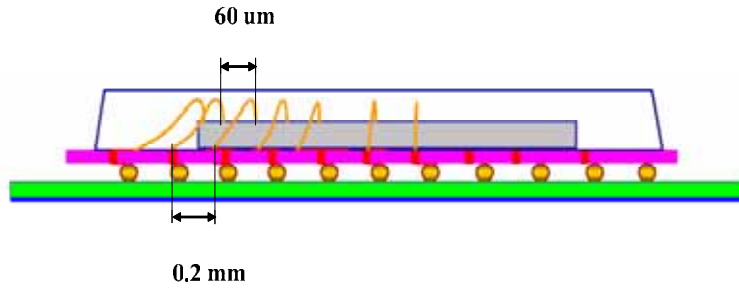


圖 5.42 封裝架構側視圖

為了得到差模棒線的電路模型，吾人將棒線分為 5 個部分，分別得到每個部分的不連續等效電路，如下圖 5.43 所示。section 1 與 section 5 為 pad 的不連續部分，section 2 與 section 4 為介質上的棒線部分，section 3 為中間的棒線區域，section 1 與 section 5 以 HFSS 內 deembed 功能得到 pad 端的棒線不連續部分的 S 參數，接著分為 even mode 與 odd mode 得到自感、自容、互感以及互容，以建立這兩個部分的不連續電路模型，中間 section 2~4 的棒線部分以 CAP 程式得到這部分的 L 與 C 矩陣，將棒線近似成距接地面等距離之平行圓形金屬導線，來分段建立其等效電路。

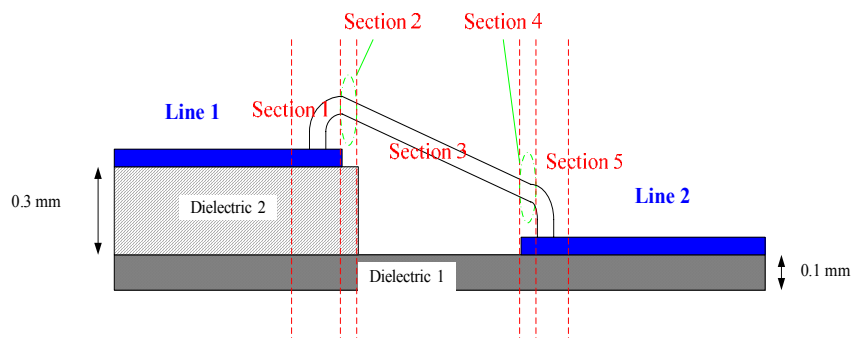


圖 5.43 封裝架構側視圖

[illegible]

122

在建立 pad 部分的不連續時，吾人將中間面分別設 PEC 與 PMC，以激發出 even mode 與 odd mode 的場型，而由差模與共模分析，可以將等效電路如圖 5.47 與圖 5.48 所示，之後分別對 PEC 半電路與 PMC 半電路做 curve fitting，所得到的 PEC 半電路及 PMC 半電路如下圖 5.49、圖 5.50 所示。由四個方程式可以得到 L 、 L_m 、 C_g 、 C_m 四個未知數，進而得到在 pad 端的不連續等效電路。圖 5.51、圖 5.52 分別為 fitting 後的 PEC 與 PMC 等效電路的 S 參數的大小與相位圖，由圖上可以看出 S_{11} 的相位不是線性，關於這個部分，估計是模擬中誤差所造成，相位峰值差約為 6 度左右。

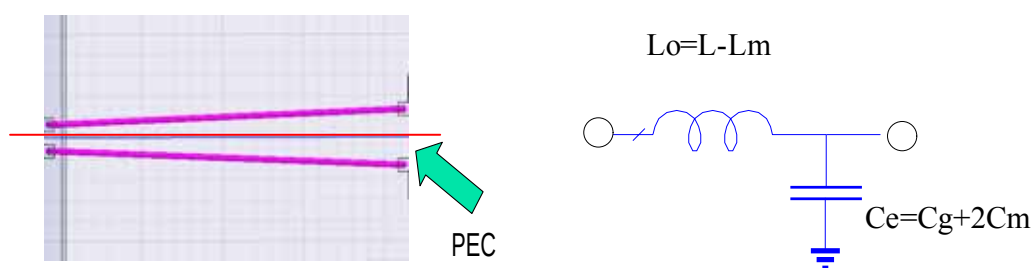


圖 5.47 差模模擬架構與差模等效電路圖

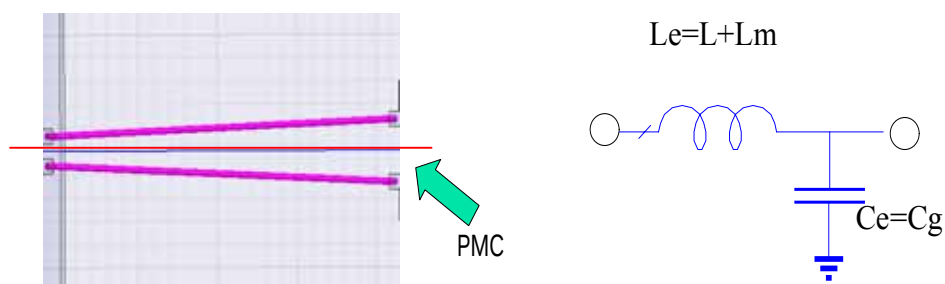


圖 5.48 共模模擬架構與共模等效電路圖

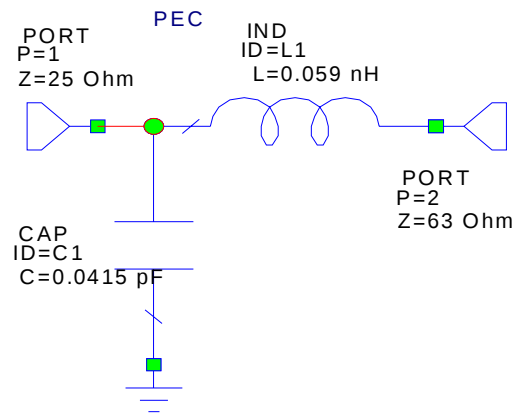


圖 5.49 差模等效電路

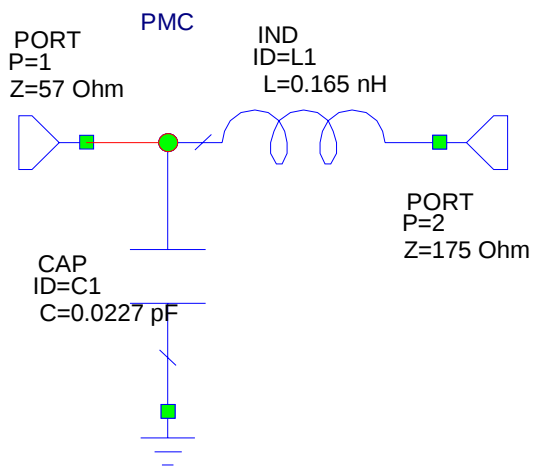


圖 5.50 共模等效電路

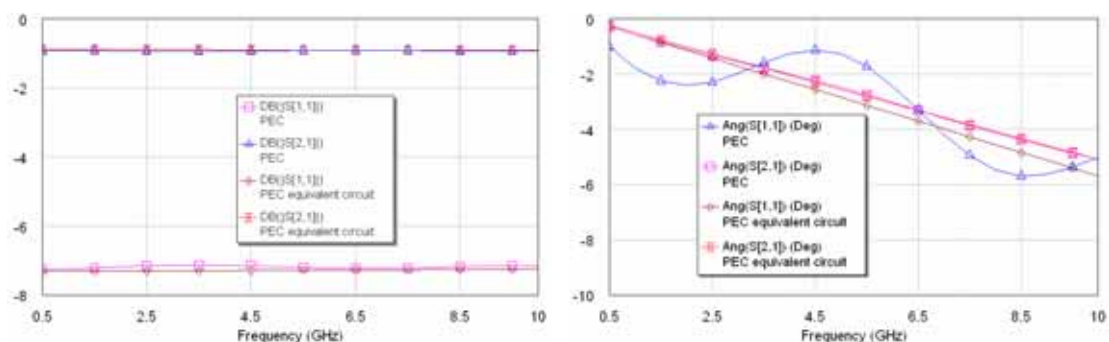


圖 5.51 S 參數大小與相位圖

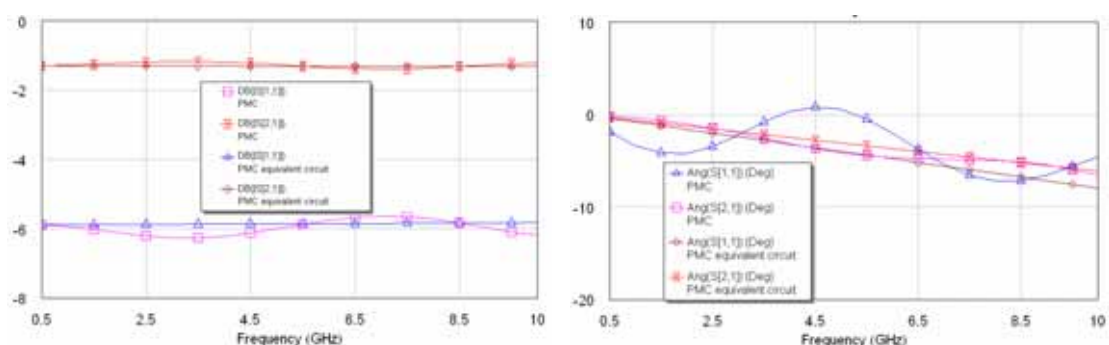


圖 5.52 S 參數大小與相位圖

以上所敘述的為 section 1 的模型建立流程，同樣地，section 5 也是以相同的模型建立方式。圖 5.53 與圖 5.54 分別為中間平面設為 PEC 與 PMC 下所得的差模及共模等效電路，圖 5.55、圖 5.56 分別為將 HFSS 模擬結果與 fitting 後的 PEC 與 PMC 等效電路的 S 參數的大小與相位比較圖。Section 1 的 $L_o=0.059$ nH、 $C_o=0.0415$ pf、 $L_e=0.165$ nH、 $C_e=0.0227$ pf，可算出 $C_g=0.0227$ pf， $C_m=0.0094$ pf， $L=0.112$ nH， $L_m=0.053$ nH；Section 5 的 $L_o=0.0837$ nH， $C_o=0.0251$ pf， $L_e=0.14585$ nH， $C_e=0.0248$ pf，可算出 $C_g=0.0248$ pf， $C_m=0.00015$ pf， $L=0.1148$ nH， $L_m=0.0031$ nH。

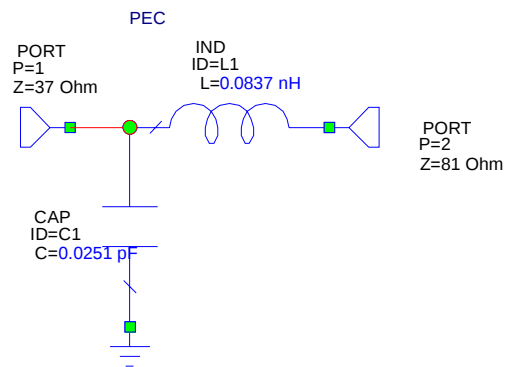


圖 5.53 差模等效電路

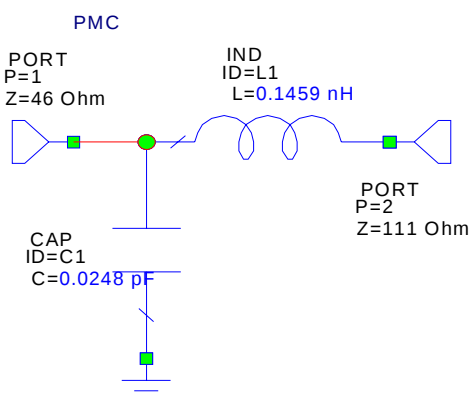


圖 5.54 共模等效電路

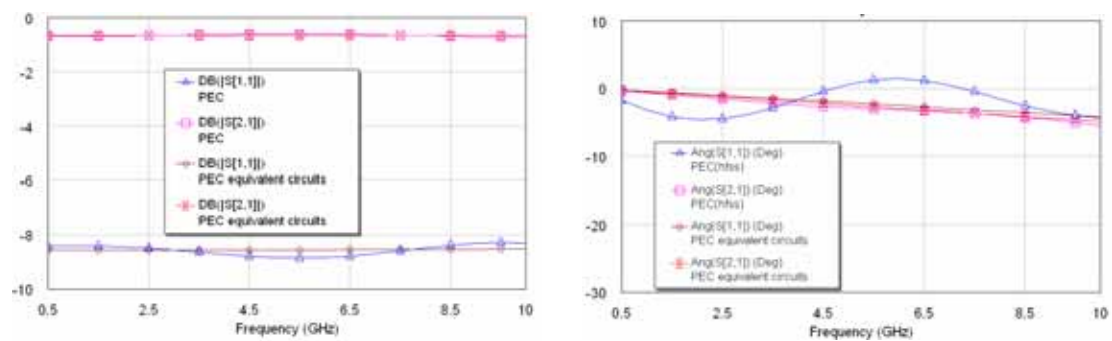


圖 5.55 S 參數大小與相位比較圖

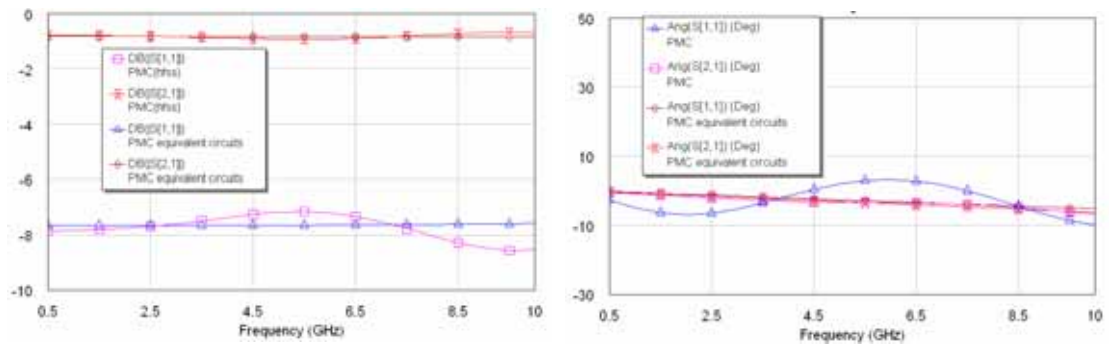


圖 5.56 S 參數大小與相位比較圖

Section 2~4 的等效電路則是以 CAP 建立，架構如圖 5.57 所示，得到 L、C matrix 後，可以用電容與電感來得到這部分棒線的電路特性，用來建立其等效電路，圖 5.58 與圖 5.59 分別為 section 2、section 4 與 section 3 的 L、C 直角座標圖，橫軸為 h/R ，縱軸為電容、電感值。可以根據圖表求得在不同高度下的 L 與 C。在 h 上升時，越接近 die 的棒線位置，因此 mutual capacitance 與 mutual inductance 有隨之上升的趨勢，而以直觀的想法可知，自容隨 h 上升而下降，自感反之隨 h 上升而上升，因此才會是固定為 constant。

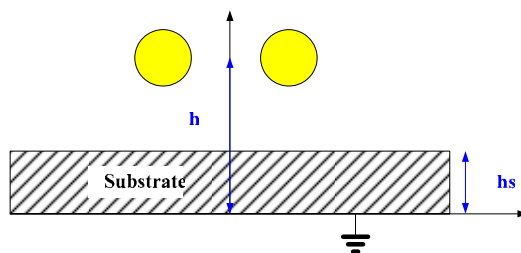


圖 5.57 CAP 模擬架構

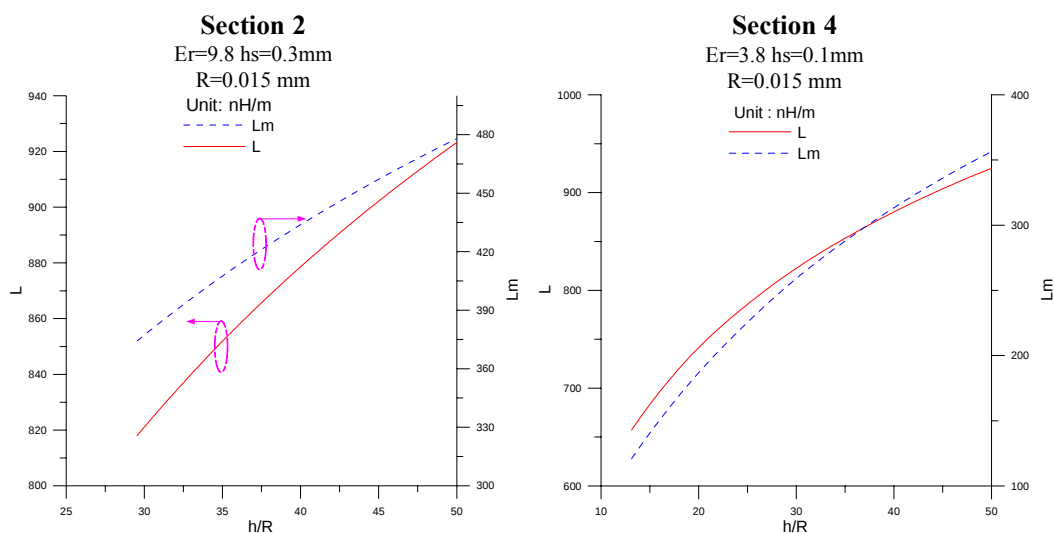


圖 5.58 section 2 與 section 4 的電感圖表

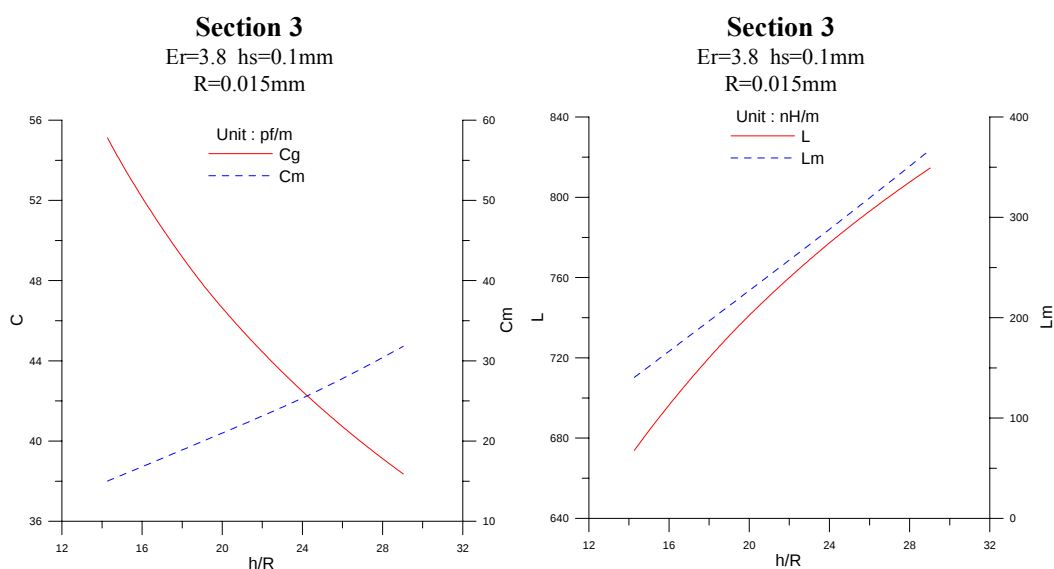


圖 5.59 section 3 的電感、電容圖表

接下來，將分段所得到的等效電路與 HFSS 模擬的差模棒線模擬結果相比較，圖 5.60 為 S_{11} 的大小與相位比較圖，圖 5.61 為 S_{21} 的大小與相位比較圖、圖 5.62 為 S_{31} 的大小與相位比較圖，由圖中觀察可知， S_{11} 、 S_{21} 的相角相對差異較大，估計是 HFSS 模擬中所造成的誤差。經由 even mode 與 odd mode 分析以及分段取得 L, C 矩陣，可以建立在平行耦合情況下的差模棒線等效電路模型。

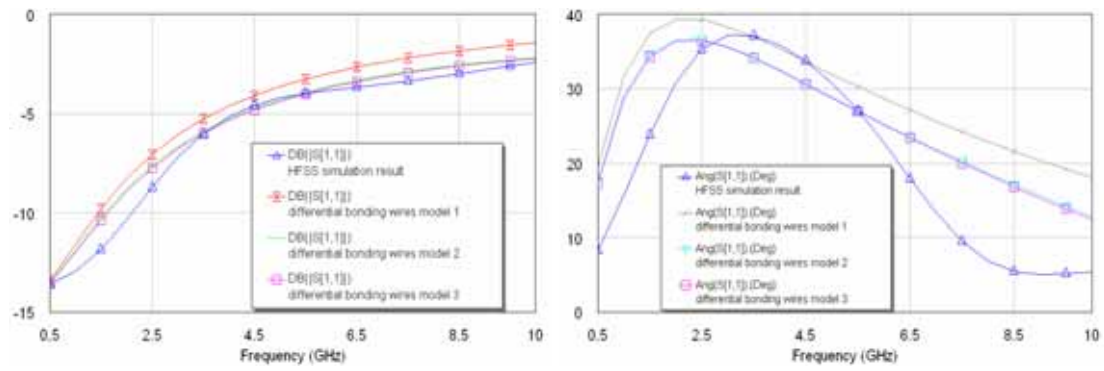


圖 5.60 S_{11} 大小與相位比較圖

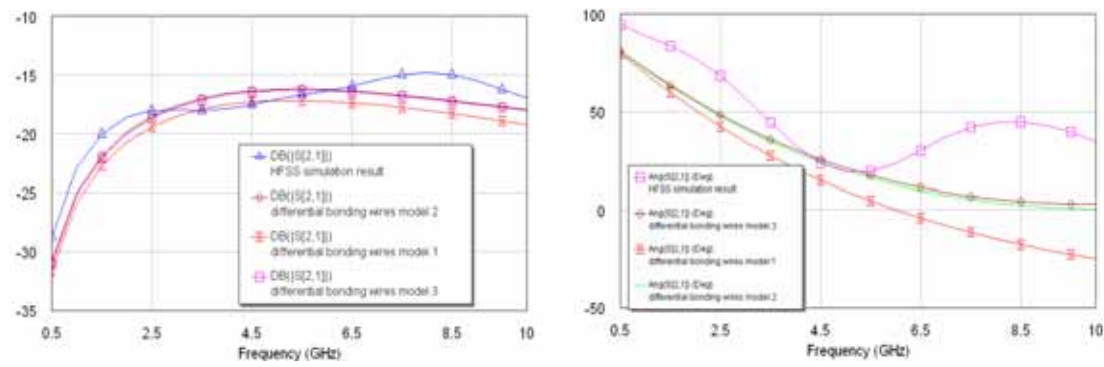


圖 5.61 S_{21} 大小與相位比較圖

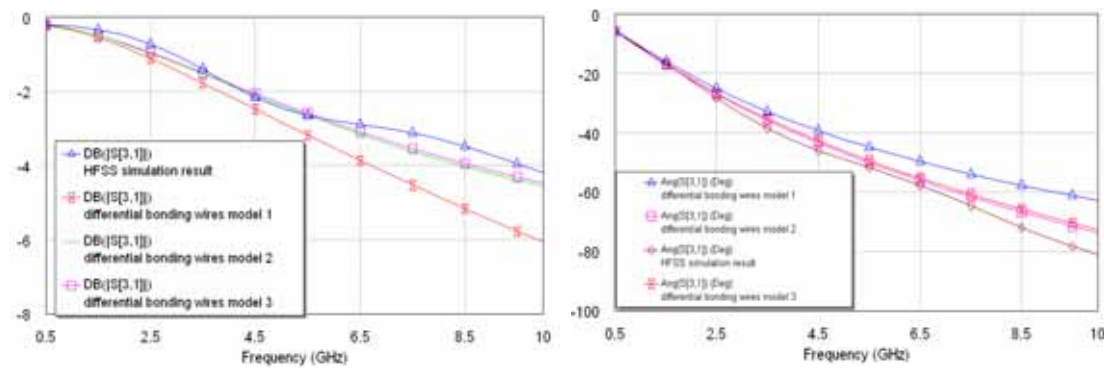


圖 5.62 S_{31} 大小與相位比較圖

接著，為了將等效電路再加以簡化，由於棒線長度大小小於 $\frac{1}{4}\lambda$ ，故吾人嘗試以一 π -network 來代替中間部分的棒線模型，圖 5.63 是其示意圖。圖 5.64、圖 5.65 與圖 5.66 分別為將先前的圖 5.60~圖 5.62 加上以 π -network 簡化的 S_{11} 、 S_{21} 、 S_{31} 的大小與相位圖，可以將先前的模擬結果與簡化後的等效電路相比較，可以看到簡化過後的等效電路，並不會有太大的誤差，因此，將中間棒線部分以一 π -network 來取代是可行的。

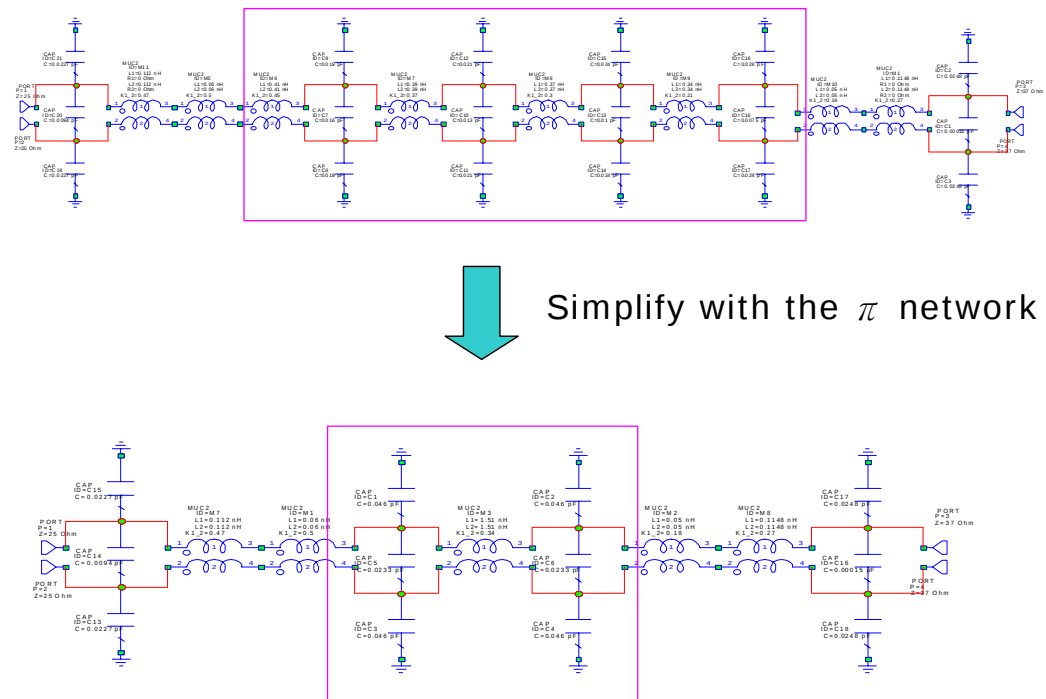


圖 5.63 簡化的等效電路模型圖

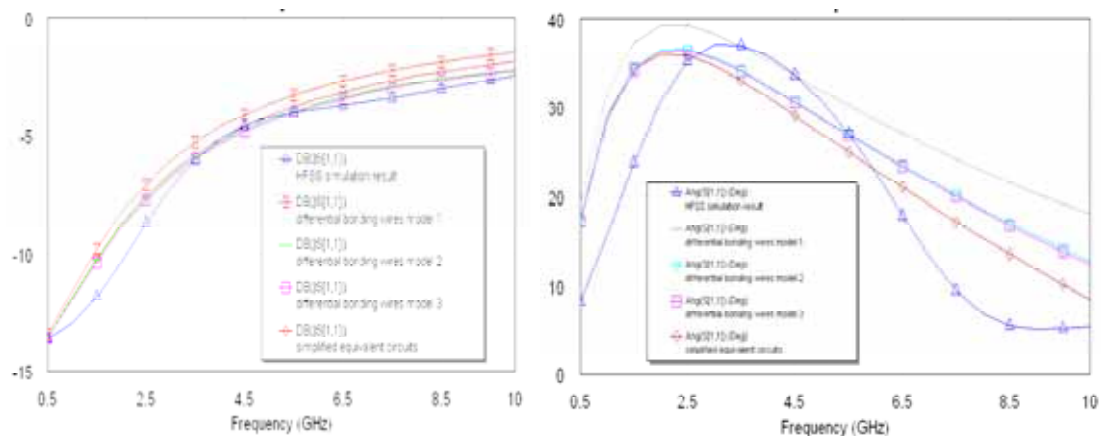


圖 5.64 S_{11} 大小與相位比較圖

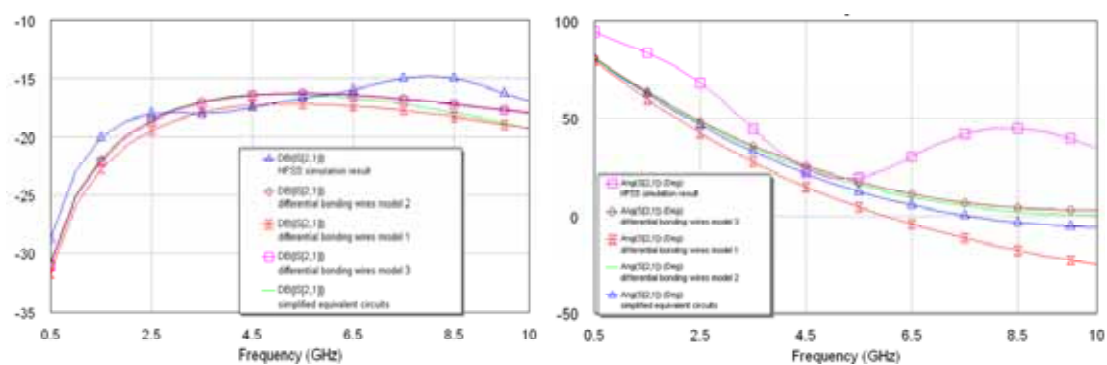


圖 5.65 S_{21} 大小與相位比較圖

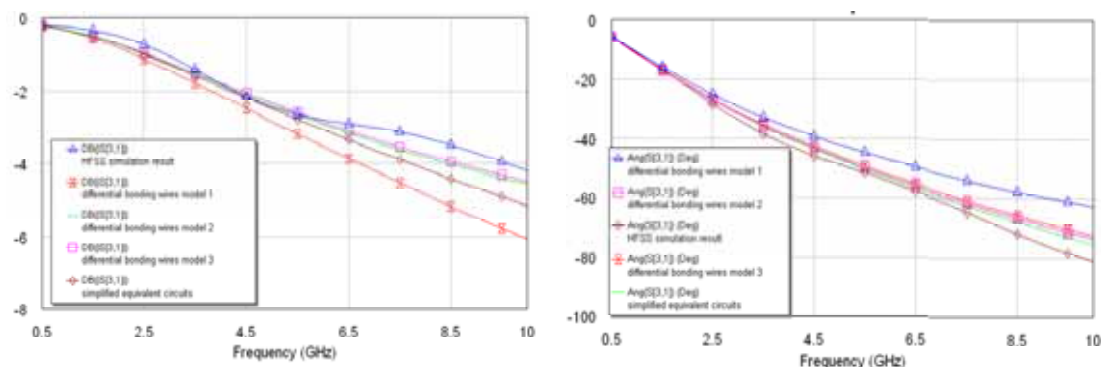


圖 5.66 S_{31} 大小與相位比較圖

5-5 垂直耦合下棒線等效電路模型萃取

之後，則是雙根棒線在垂直耦合情況下的等效電路模型萃取，圖 5.67 是在 HFSS 上所建立的棒線結構圖，圖 5.68 是兩根棒線在平行耦合下的結構示意圖，兩根棒線的距離為 0.14mm，die 的介質為介質常數為 9.8 的 Al_2O_3 ，介質厚度 0.3 mm，另一介質為 $\epsilon_r=3.8$ 的 BT，介質厚度 0.1 mm，pad 大小 $65 \times 65 \text{ } \mu\text{m}^2$ ，棒線材質為金，半徑 0.6 mils，兩端 pad 的距離約為 2 mm。

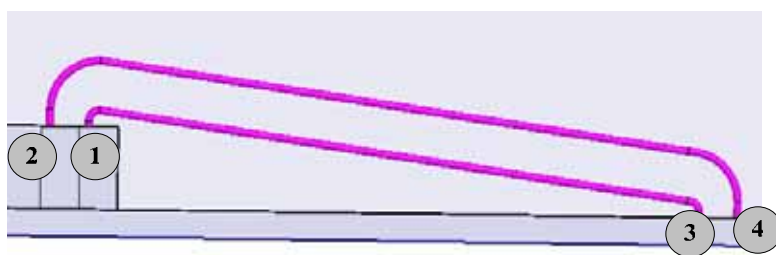


圖 5.67 棒線模擬架構側視圖

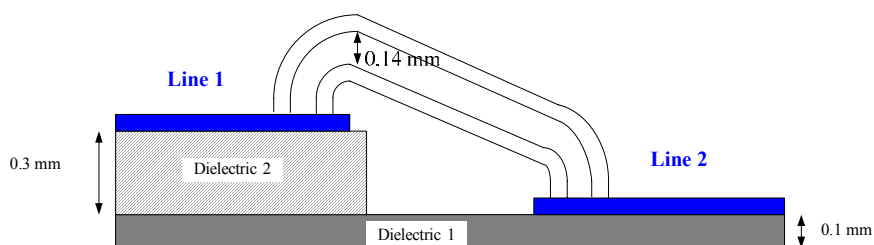


圖 5.68 結構示意圖

為了得到棒線的等效電路，將棒線分為 4 個部分，如圖 5.69 所示，第一與第四部分，在 HFSS 畫出模擬結構，分別將兩端棒線短路接地與開路，分別求出其 mutual terms，第二與第四部分以一平行的圓形金屬線近似，並以 CAP 算出其 L 與 C matrix，以電容與電感模擬其不連續電路模型，直觀來看，由於第二部分的電容很小，可以說幾乎是由電感所主導，因此，忽略第二部份電容所造成的影響。

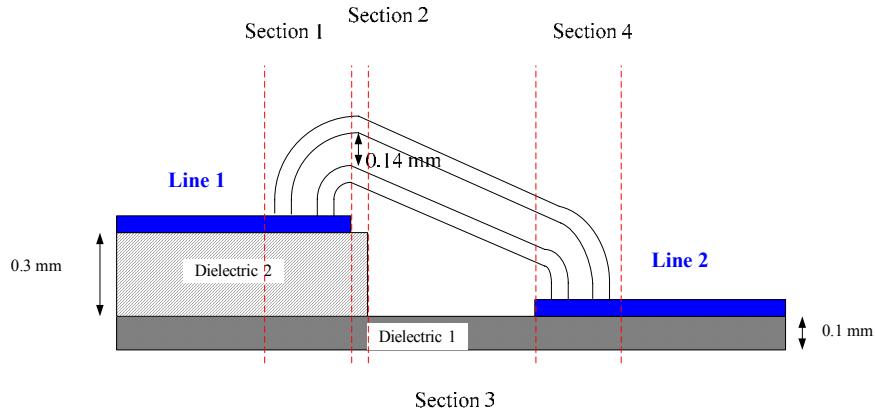


圖 5.69 分段得到棒線模型示意圖

圖 5.70 為以 CAP 所畫的第二部份的自感 L 與互感 L_m 圖表， L_1 代表第一根棒線的自感值， L_2 代表第二根棒線的自感值，可以根據圖 5.70 得到在不同的第一根棒線高度下的電容與互容。圖 5.71 與圖 5.72 同樣是以 CAP 算出的第一根棒線高度與棒線第三部份的電容、電感關係圖，同樣可以根據，圖 5.71 與圖 5.72 得到第三部分棒線的電容與電感值， C_1 與 L_1 代表棒線 1 的自容與互容； C_2 與 L_2 代表棒線 2 的自容與互容值。

接下來要討論的是，棒線第一與第四部分的模擬方法，分別將兩根棒線兩端短路接地與開路，在端點短路接地時，等效電容 C_{11} 、 C_{22} 電容值為零，同時，互容 C_{12} 同樣可以等效為零電容，在端點開路時，等效自感 L_{11} 、 L_{22} 與互感 L_{12} 可以忽略，而自感與自容根據之前單根棒線所列的公式計算，故可以分別在短路接地與開路情況下，得到互容與互感大小，圖 5.72 為其簡化的等效電路示意圖。

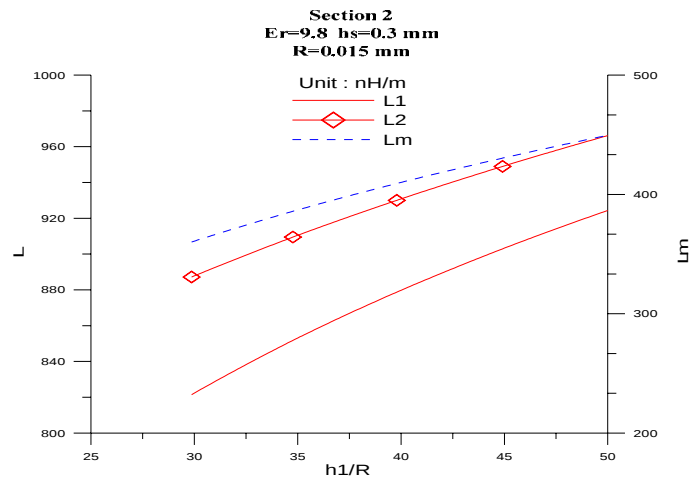


圖 5.70 棒線第二部份的自容與互容值

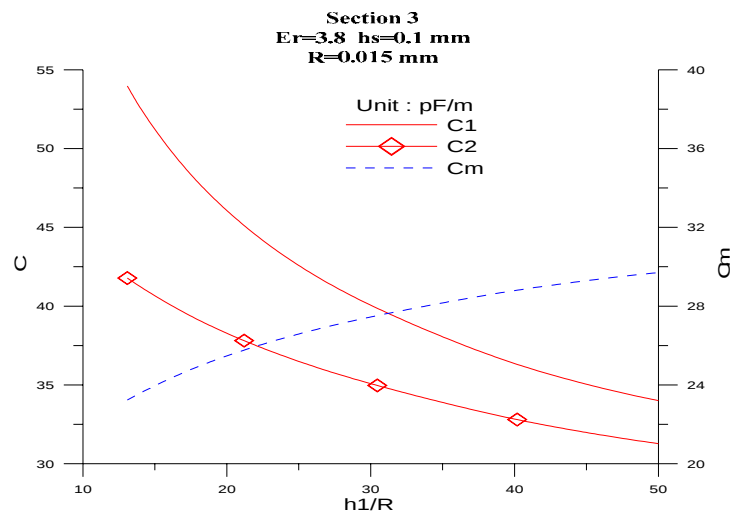


圖 5.71 棒線第三部份的自容與互容值

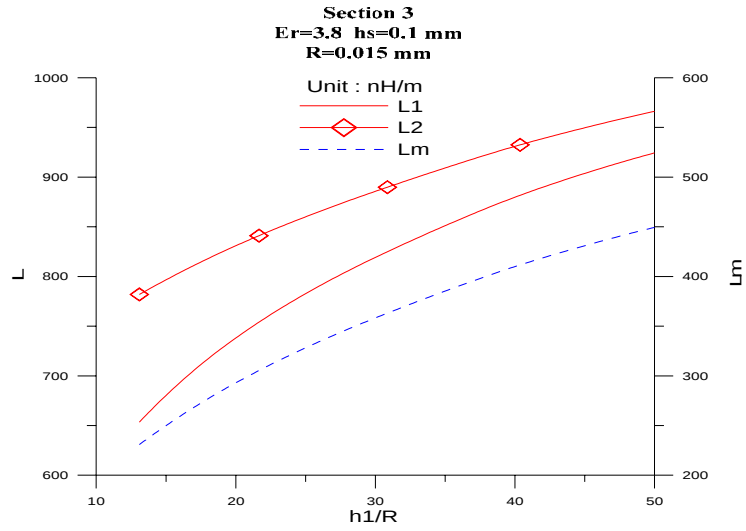


圖 5.71 棒線第三部份的自感與互感值

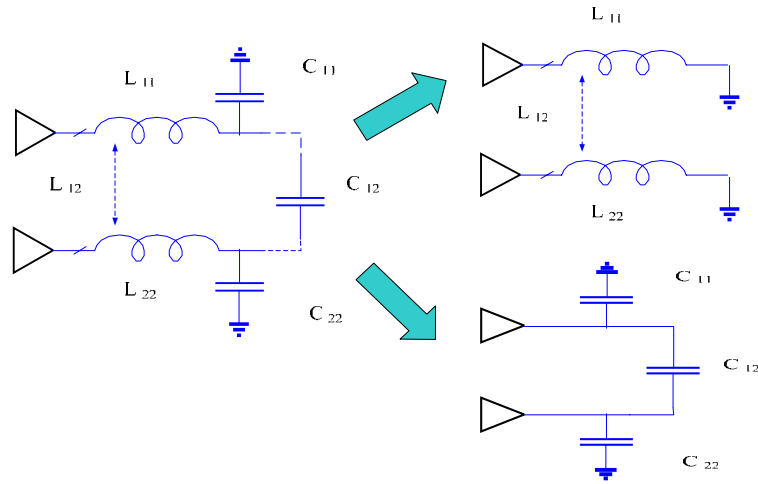


圖 5.72 簡化的等效電路

圖 5.73 為棒線第一部份在兩端開路時，將 HFSS 模擬結果與吾人所建立的等效電路的 return loss S_{11} 與 insertion loss S_{21} 大小圖，圖 5.74 為棒線第一部份在兩端開路時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 相位圖，圖 5.75 為棒線第一部份在兩端短路接地路時，將 HFSS 模擬結果與吾人所建立

的等效電路的 S_{11} 與 S_{21} 大小圖，圖 5.76 為棒線第一部份在兩端短路接地時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 相位圖。

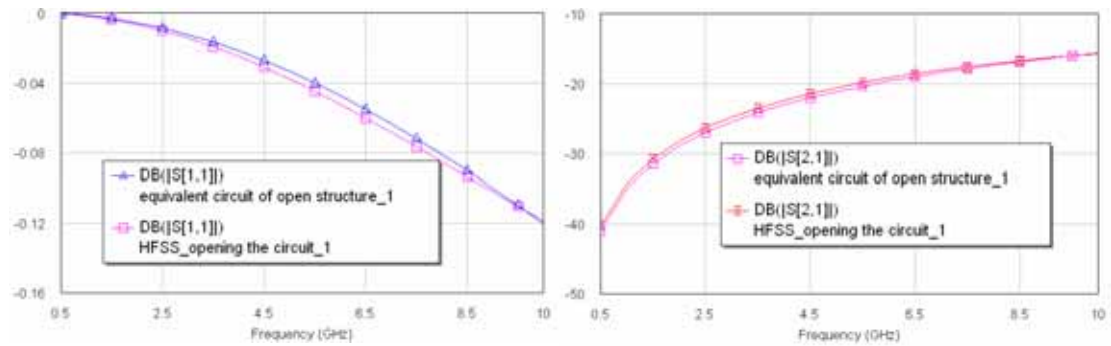


圖 5.73 S 參數大小比較圖

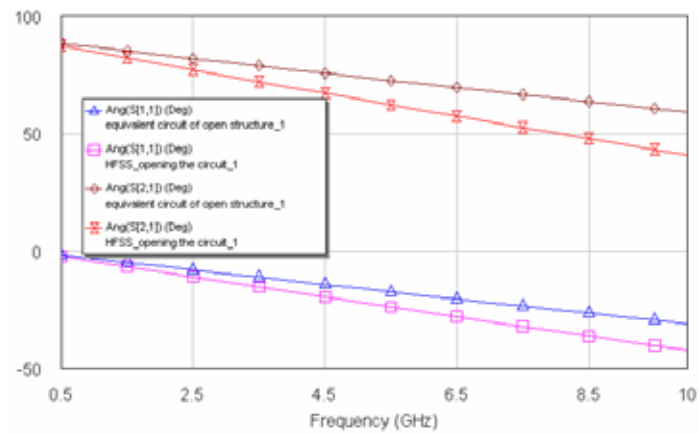


圖 5.74 S 參數相位比較圖

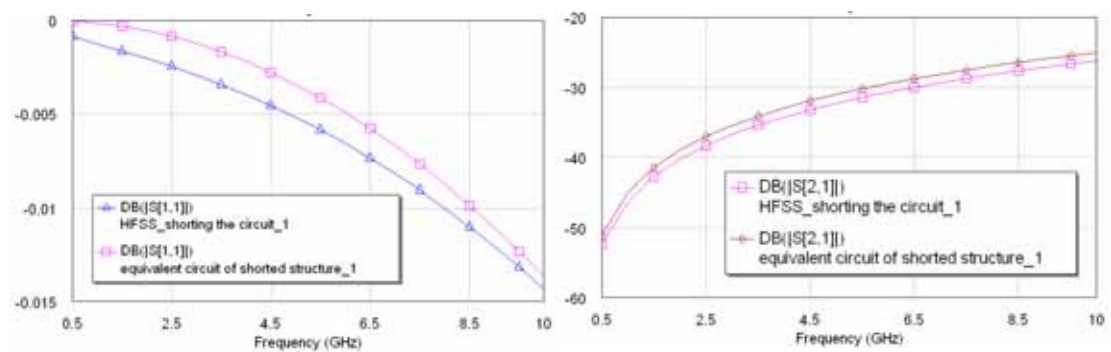


圖 5.75 S 參數大小比較圖

圖 5.77 為棒線第四部份在兩端開路時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 大小圖，圖 5.78 為棒線第四部份在兩端開路時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 相位圖，圖 5.79 為棒線第四部份在兩端短路接地路時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 大小圖，圖 5.80 為棒線第四部份在兩端短路接地時，將 HFSS 模擬結果與吾人所建立的等效電路的 S_{11} 與 S_{21} 相位圖，模擬結果與所建立的等效模型特性還算一致。

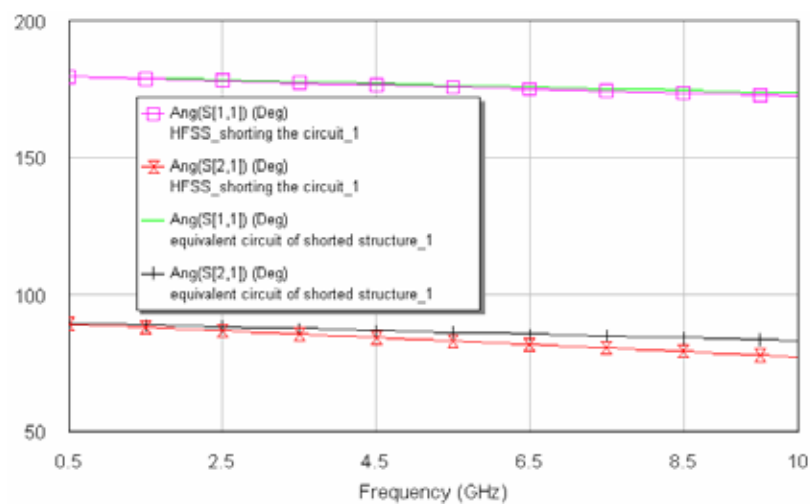


圖 5.76 S 參數相位比較圖

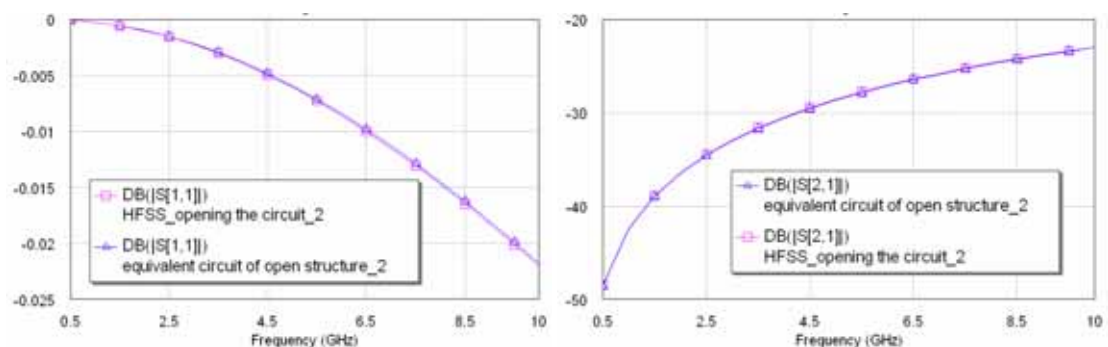


圖 5.77 S 參數大小比較圖

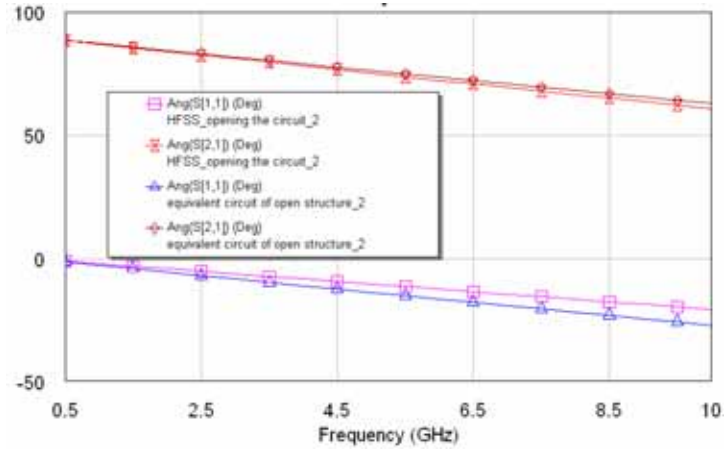


圖 5.78 S 參數相位比較圖

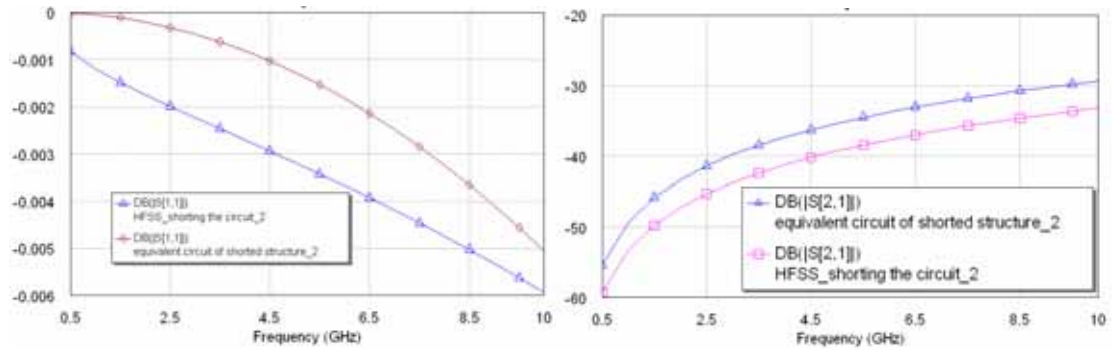


圖 5.79 S 參數大小比較圖

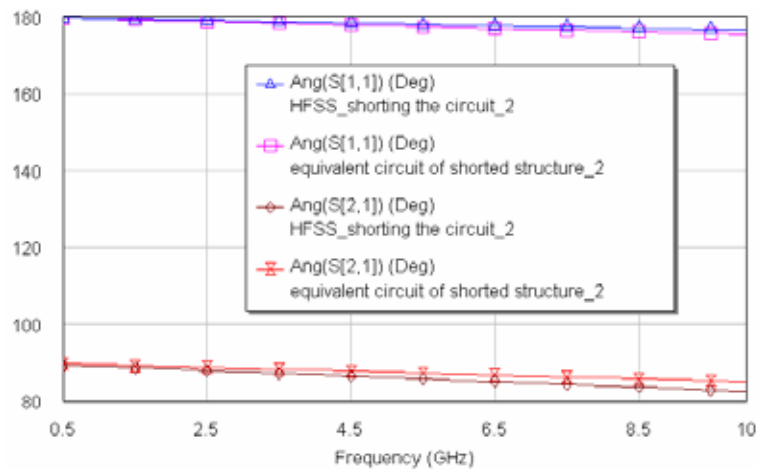


圖 5.80 S 參數相位比較圖

圖 5.81 為吾人所建立的等效模型，中間框框部分為中間的棒線等效電路，圖 5.82 為 HFSS 的模擬結果與所建立之等效電路 S_{11} 與 S_{21} 大小，圖 5.83 為其相位比較圖，圖 5.84 為 S_{31} 的大小與相位圖。由以上的圖形比較結果，對於等效電路模型與 HFSS 的模擬結果還算相當接近。

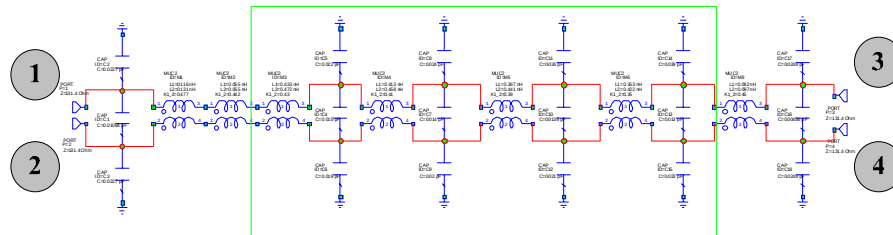


圖 5.81 等效電路模型圖

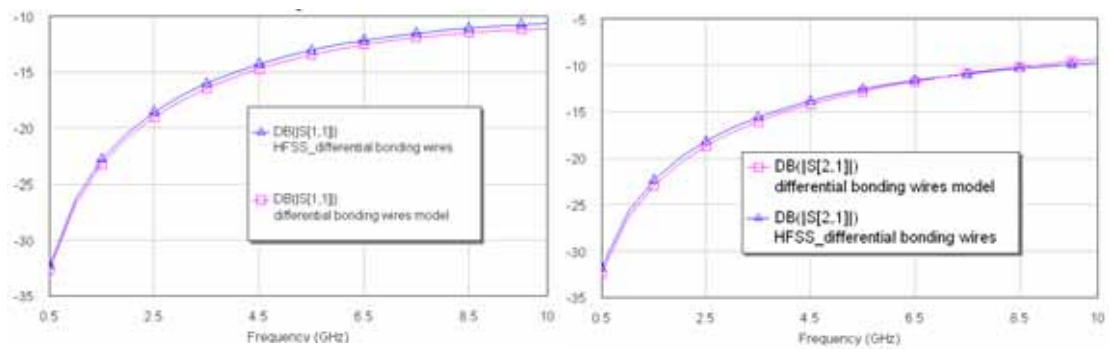


圖 5.82 magnitude of S_{11} and S_{21}

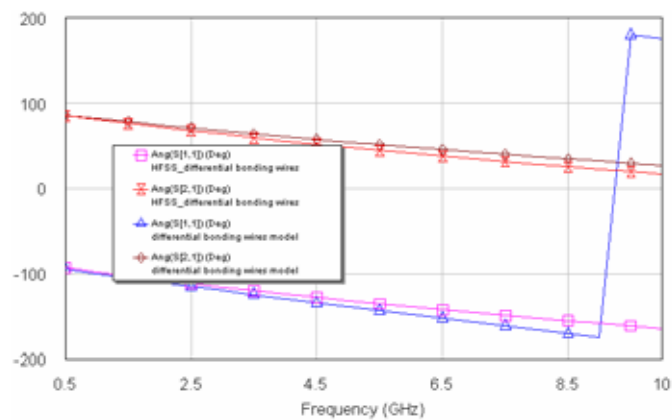


圖 5.83 phase of S_{11} and S_{21}

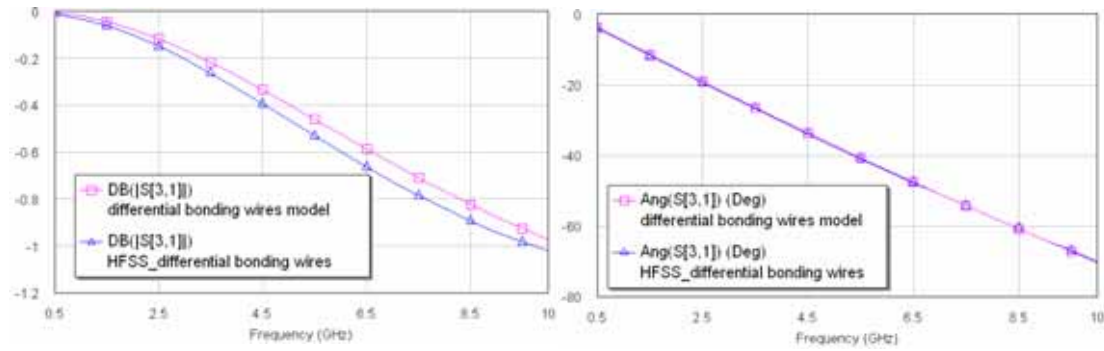


圖 5.84 S_{31} 的大小與相位圖

仍以相同的方式，將中間框框部分簡化為一 π -network，如下圖 5.85 所示。將簡化的等效電路模型與 HFSS 的模擬結果相比較，圖 5.86 為 S_{11} 與 S_{21} 的大小，圖 5.87 為 S_{11} 與 S_{21} 的相位圖，圖 5.88 為 S_{31} 的大小與相位圖。同樣，將兩者相比較，兩者間的差異並不會太大，這也說明以 1 個 π model 來簡化等效電路是合理及可行的。故將全部棒線分為四個部分，pad 端的棒線部分分別短路接地及開路算出其等效互容與互感，而其自感與自容以先前的單根棒線公式計算之，中間的棒線部分將其近似為一段 uniform transmission line，並以 CAP 計算其電容及電感矩陣，分段得到每段的不連續等效電路。而其簡化之等效電路模型仍可得到不錯的近似。

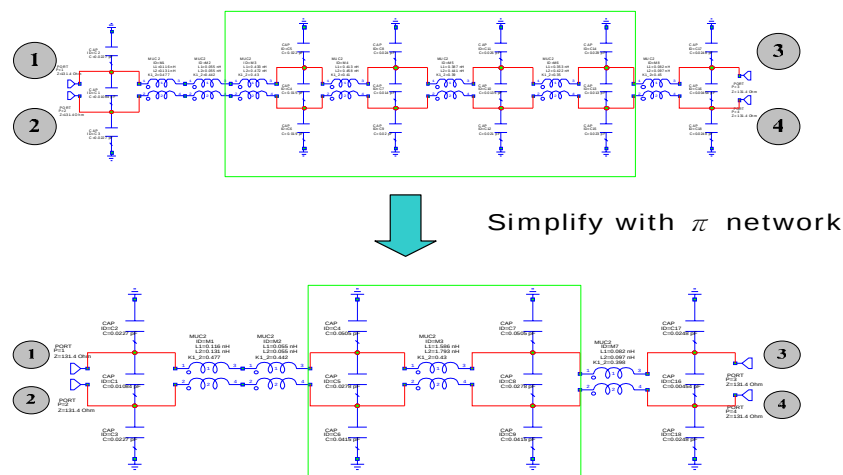


圖 5.85 簡化的等效電路模型圖

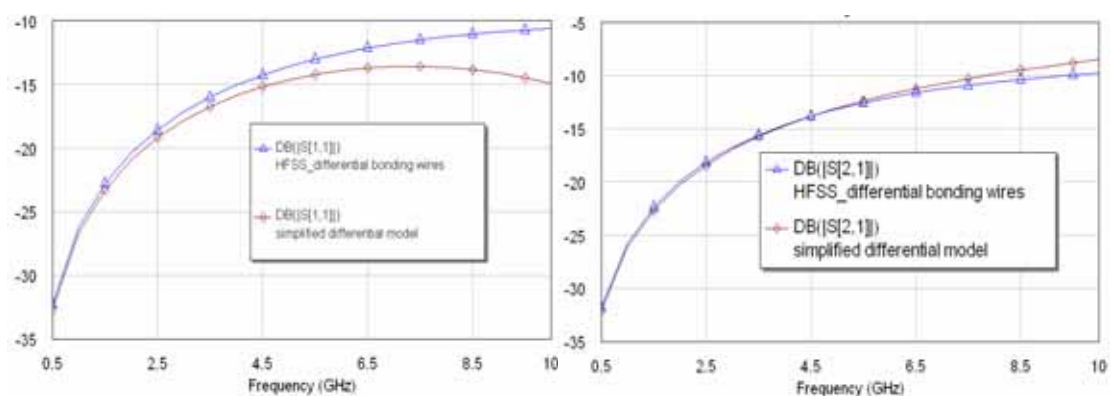


圖 5.86 S_{11} 與 S_{21} 的大小

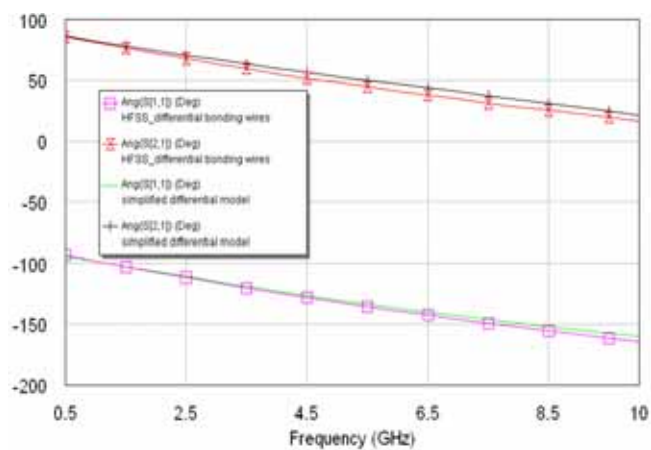


圖 5.87 S_{11} 與 S_{21} 的相位

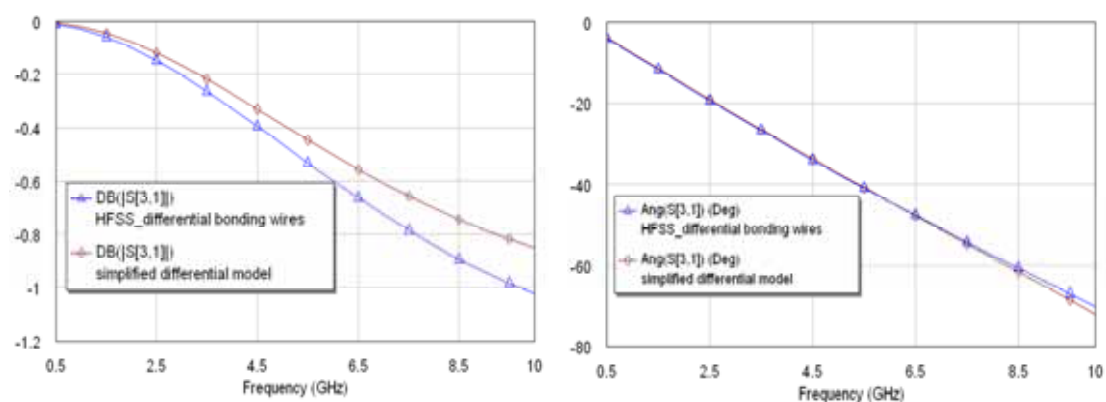


圖 5.88 S_{31} 的大小與相位圖

將 Q3D 萃取元件結果與 HFSS 相比較，在間距為 60um 下，兩者比較結果如圖 5.89 所示。以垂直耦合結構萃取方法萃取平行耦合結構的計算結果，並與 Q3D 結果比較，圖 5.90 為間距 0.2 mm 與 0.15 mm 下，Q3D 萃取之電路元件值與 HFSS 分析結果比較圖。圖 5.91 為 Q3D 萃取接線 AB 與 DE 區間之等效電路與垂直耦合萃取方法所萃取之元件值之對照表。

	Ls (nH)	Lm (nH)	Cs (pF)	Cm (pF)	K _L	K _C
HFSS	0.1506	0.0883	0.0429	0.018	0.5865	0.296
Q3D	0.02663	0.00372	0.01458	0.00211	0.1397	0.1265

圖 5.89 HFSS 與 Q3D 比較結果

		L _s	C _s	L _m	C _m	K _L	K _C
HFSS	d2=0.2 mm	0.0822	0.01671	0.003	0.00084	0.037	0.0477
	d2=0.15 mm	0.0822	0.016714	0.004073	0.00114	0.05	0.064
Q3D	d2=0.2 mm	0.0264	0.01982	0.00226	0.0012	0.0857	0.05713
	d2=0.15 mm	0.0263	0.01931	0.002875	0.0018	0.1093	0.0853

L : nH , C : pF

圖 5.90 HFSS 與 Q3D 比較對照表

		L _{s1}	L _{s2}	C _{s1}	C _{s2}	L _m	C _m	K _L	K _C
HFSS	BC	0.1234	0.2204	0.01767	0.032	0.0506	0.0084	0.31	0.258
	DE	0.0822	0.18668	0.01671	0.0192	0.0227	0.004014	0.1832	0.183
Q3D	BC	0.028175	0.18194	0.01768	0.0358	0.01385	0.006584	0.1934	0.2054
	DE	0.02777	0.179	0.0076	0.0124	0.01278	0.00123	0.1812	0.1122

L : nH , C : pF

圖 5.91 HFSS 與 Q3D 比較對照表

5-6 Q3D 接腳結構萃取結果驗證

之後，驗證 Q3D 萃取結果的正確性，首先是單根接腳的等效電路驗證，圖 5.89 為 Q3D 的單根接腳模擬結構圖，圖 5.90 為 HFSS 的模擬結構，de-embed 至接腳結構，介質為 BT、接腳寬度 0.2mm、材質為銅，將接腳等效電路模型化為 T 型模型等效電路，將 T 型模型 ABCD 矩陣寫為下式

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 - \omega^2 L_1 C & j\omega(L_1 + L_2) - j\omega^3 L_1 L_2 C \\ j\omega C & 1 - \omega^2 L_2 C \end{bmatrix}$$

由 ABCD 矩陣計算等效電容與電感值，所計算結果電容值等於 0.092309866 pF、電感值等於 0.6111 nH，與 Q3D 結果比較，電容 C=0.09518 pF、電感 L=0.56564 nH，兩者間的相對誤差分別為-7.4%與 3.1%。圖 5.91 與圖 5.92 分別為 S_{11} 、 S_{21} 的大小比較圖與相位比較圖。

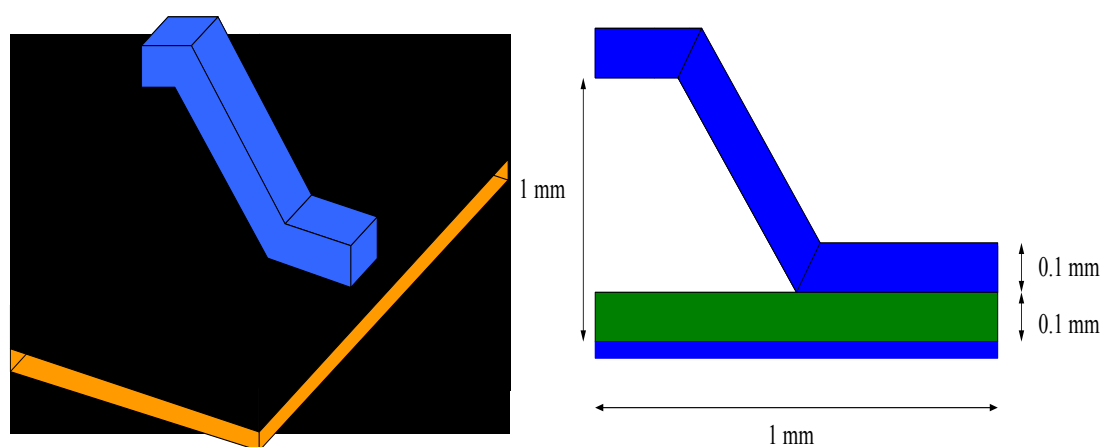


圖 5.89 Q3D 模擬結構圖

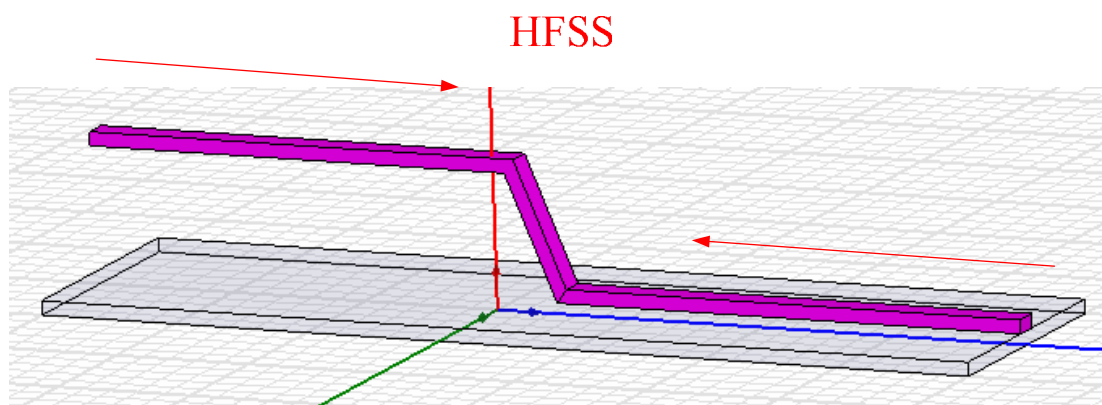


圖 5.90 HFSS 模擬結構圖

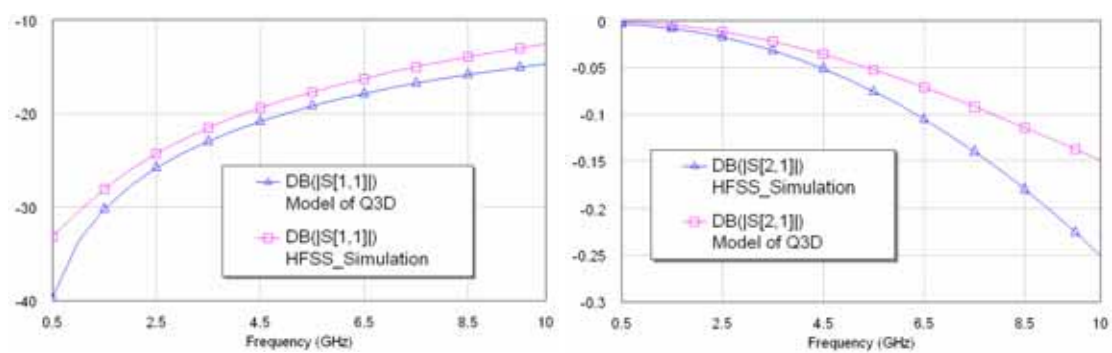


圖 5.91 S_{11} 與 S_{21} 大小比較圖

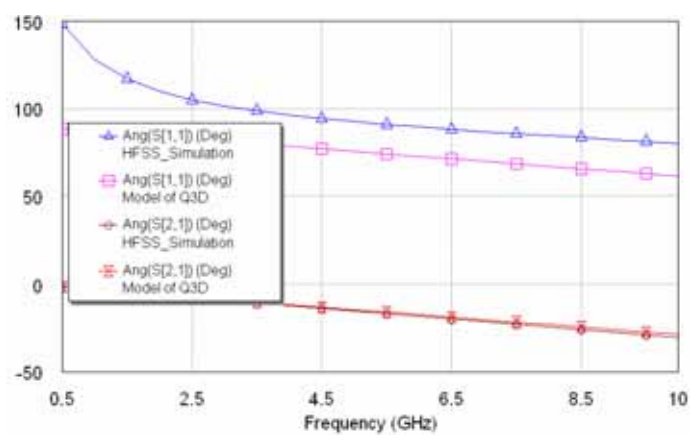


圖 5.92 S_{11} 與 S_{21} 相位比較圖

至於雙根接腳的模擬結構如圖 5.93 所示，兩個接腳的間距為 0.8mm，其餘結構尺寸與圖 5.89 相同，將 Q3D 元件萃取結果與 HFSS 相比較，圖 5.96 為圖 5.93 的等效電路示意圖。HFSS 的分析結果中，所得到自感等於 0.684366 nH、自容 0.091547 pF、互感等於 0.124462 nH、互容 0.0046915 pF，於是電感耦合係數等於 0.1819；電容耦合係數等於 0.04875。而 Q3D 的結果如下： $L_s=0.57272$ nH

、 $L_m=0.081665$ nH、 $C_s=0.0892259$ pF、 $C_m=0.0066951$ pF，其電容耦合係數 $K_c=0.069779$ 、電感耦合係數 $K=0.14252$ 。將 Q3D 等效電路與 HFSS 全波模擬結果相互比較，圖 5.97 為 return loss 與 isolation 的大小比較圖，圖 5.98 則為其相位比較圖，圖 5.99 為 insertion loss 的大小與相位比較圖，由於電感計算上的差異，造成 S_{31} 的大小差異。表 5.1 為變化 S(接腳間距)由 0.5mm 至 1.1mm，所萃取的雙根接腳的電路元件值。

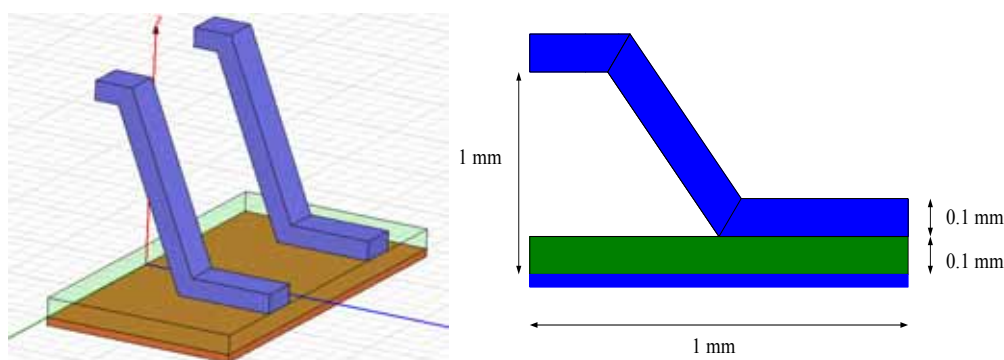


圖 5.93 雙根接腳模擬結構

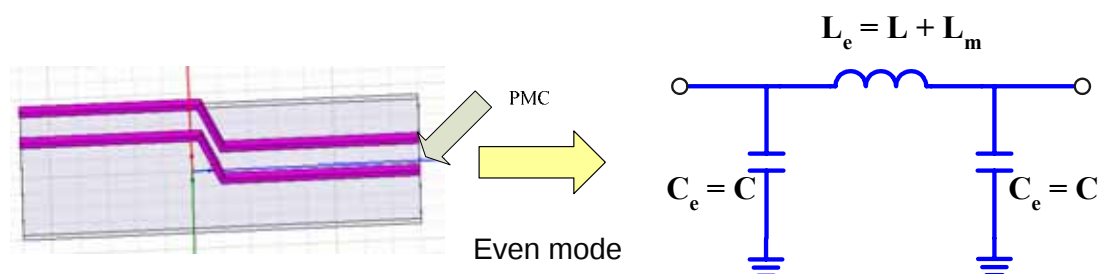


圖 5.94 偶模等效半電路

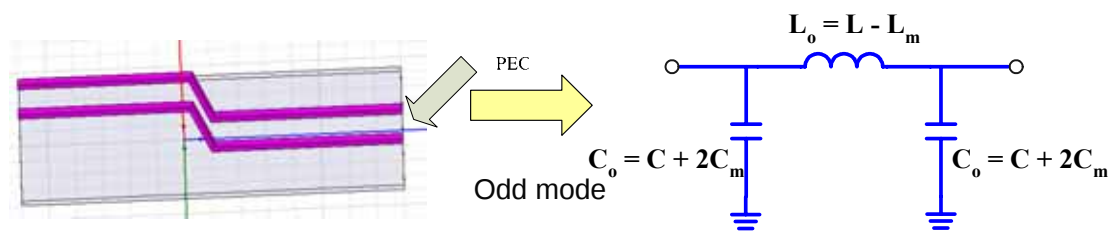


圖 5.95 奇模等效半電路

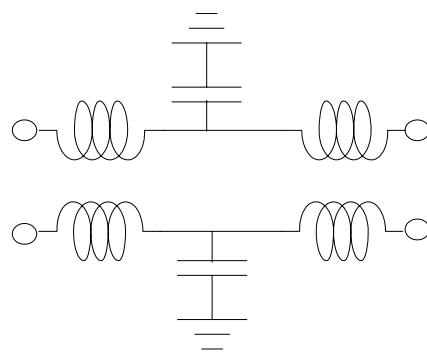


圖 5.96 等效電路示意圖

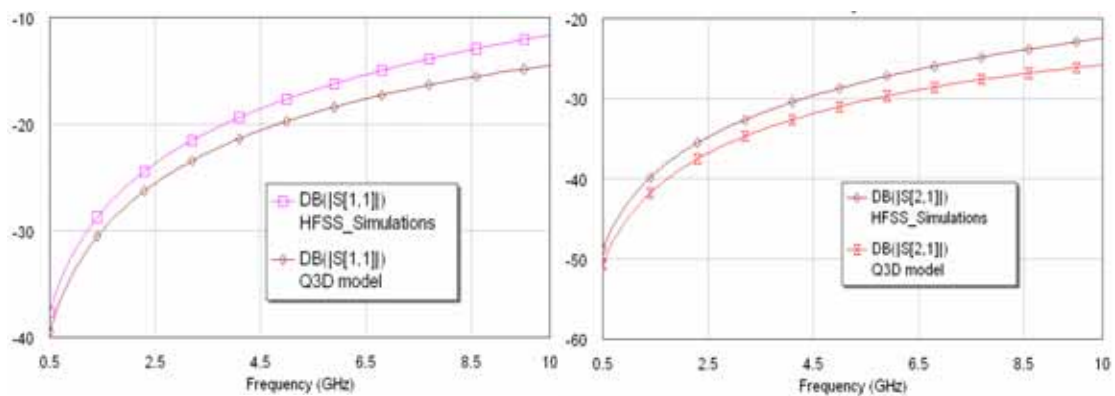


圖 5.97 S_{11} 與 S_{21} 大小比較圖

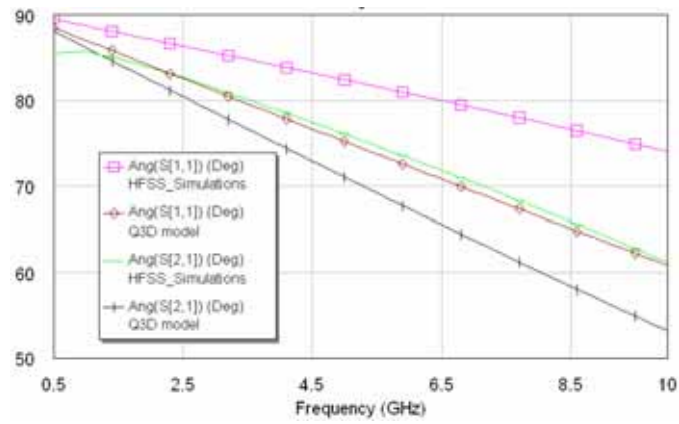


圖 5.98 S_{11} 與 S_{21} 相位比較圖

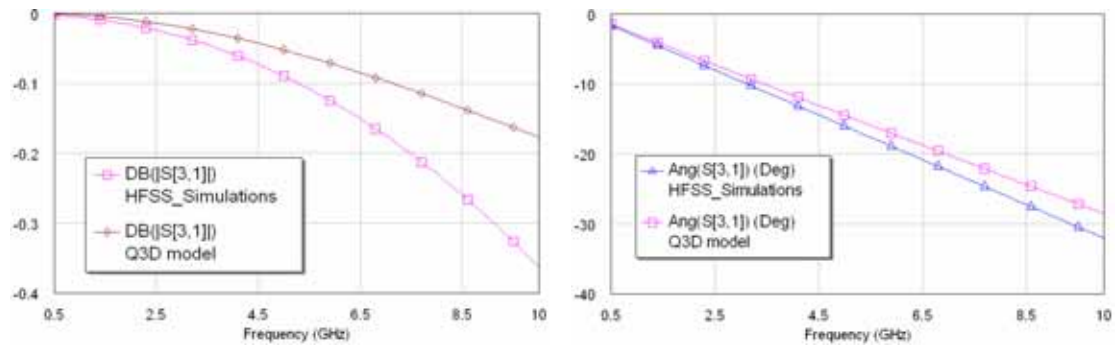


圖 5.99 S_{31} 大小與相位比較圖

S (mm)	Ls	Lm	Cs	Cm	K	Kc
0.5	0.5696	0.1272	0.08787	0.009368	0.22328	0.09633
0.6	0.56751	0.1080	0.08838	0.008158	0.19049	0.08449
0.7	0.56952	0.09304	0.088865	0.007336	0.16337	0.076236
0.8	0.57293	0.08166	0.08922	0.006696	0.14254	0.06979
0.9	0.57459	0.07233	0.089435	0.006248	0.12596	0.06528
1.0	0.57701	0.06508	0.08940	0.005962	0.1129	0.062531
1.1	0.57708	0.05819	0.089275	0.005641	0.10083	0.059425

L : nH , C : pF

表 5.1 當改變 S 時，參數變化表

接下來，討論當三根接腳導體時，Q3D 的萃取結果，除接腳間距為 0.3mm，其餘參數皆相同，圖 5.100 為 Q3D 幾何結構圖，圖 101 為埠的位置設定圖，為了對三根的接腳結構加以驗證，首先，考慮簡化其 6*6 矩陣，將埠 2、4、6 短路接地，埠 5 開路，計算埠 1 與埠 3 的自感與互感；將埠 2、4、6 開路，埠 5 短路接地，計算埠 1 與埠 3 的自容與互容，

$$L_s = \frac{Z_0}{2\pi f} \operatorname{Im} \left[\frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \right]$$

$$L_m = \frac{Z_0}{2\pi f} \operatorname{Im} \left[\frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \right]$$

$$C_s = \frac{1}{2\pi f Z_0} \operatorname{Im} \left[\frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \right]$$

$$C_m = \frac{1}{2\pi f Z_0} \operatorname{Im} \left[\frac{2S_{12}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \right]$$

將計算結果與 Q3D 比較，表 5.2 為兩者之比較結果，觀察兩者間最大相對誤差為 20%左右。

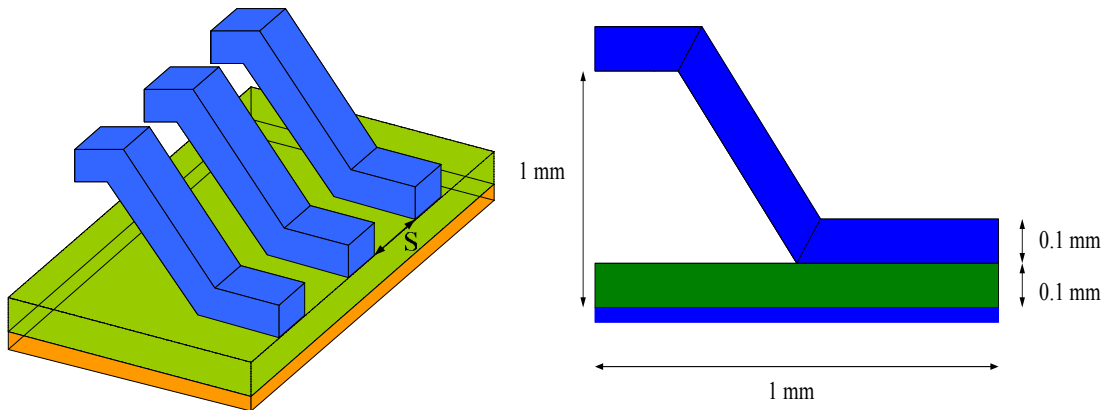


圖 5.100 三根接腳幾何結構圖

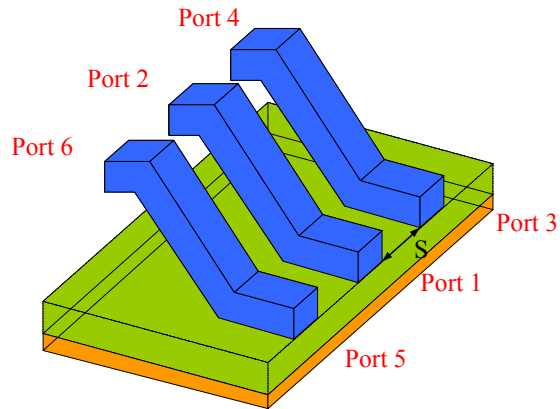


圖 5.101 埠位置圖

	Ls	Lm	Cs	Cm	K_L	K_C
HFSS	0.69072	0.20307	0.108764	0.012006	0.294	0.0994
Q3D	0.54875	0.17403	0.090656	0.013114	0.31375	0.12896
Relative difference	-20.6%	-14.3%	-16.65%	9.23%		

表 5.2 三根接腳比較表

5-7 接腳參數分析

在驗證構裝接腳等效電路模型之後，在本節中將著重於構裝接線結腳幾何參數的影響，改變不同的幾何結構參數並且觀察結果的改變，經由分析，可以更清

楚瞭解不同比例改變結構尺寸對構裝接腳模型物理特性的影響。

參考日月光封裝 SOP(Small Outline Package)、SSOP(Smaller version of SOP)與 TSOP(Thin profile SOP)製程，歸納對於其封裝結構變化較大的結構參數：接腳間距 e 作為主要變數，並對不同接腳長度 $L1$ 建立設計圖表。圖 5.102 為封裝結構示意圖，將封裝結構變數對照表列成如表 5.4 所示。圖 5.103 當 $A2=55$ mils、 $L1=42$ mils 下，編號 1 結構的電容與電感對間距的關係圖；圖 3.104、圖 5.105 為編號 2 與編號 3 SOP 封裝電容與電感對間距的關係圖，同理，圖 5.106 為編號 5 電容與電感關係圖、圖 5.107 則為編號 6 與編號 7 的電容與電感與間距 e 的關係圖、圖 5.108 為 SSOP 編號 8 的電容與電感關係圖。圖 5.109 為 TSOP(I)封裝架構電容與電感對接腳間距 e 的關係圖，同理，圖 5.110 則為 TSOP(II)封裝電容與電感對接腳間距關係圖。

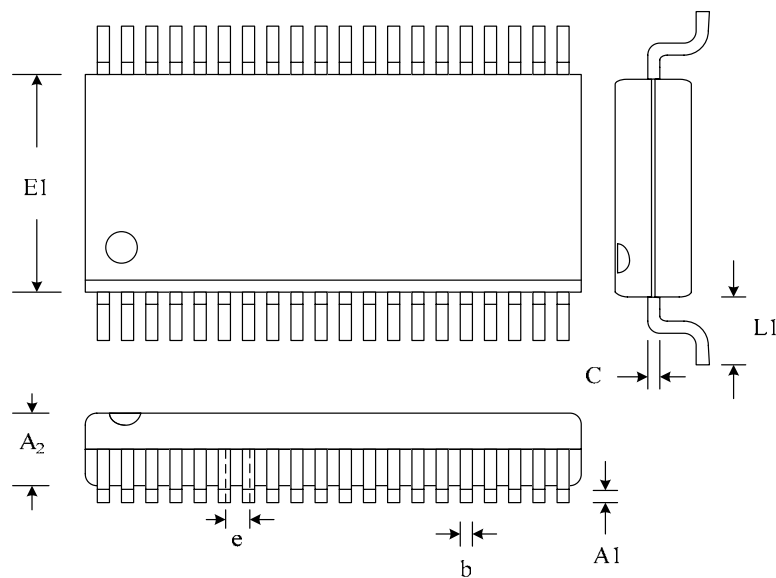


圖 5.102 封裝結構示意圖

	No.	A1	A2	L1	b	c	e
SOP SSOP	1	6	55	42	16	8	50
	2	6	92	55	16	10	25
	3	6	92	55	16	10	50
	4	7.5	98	67	16	10	50
	5	6	98	67	16	10	50
	6	6	106	55	16	8	50
	7	6	106	67	16	8	50
	8	12	94	56	10	8	25
TSOP(I) TSOP(II)	9	0.1	1	0.8	0.2	0.15	0.55
	10	0.1	1	0.8	0.2	0.15	0.5
	11	0.1	1	0.8	0.2	0.127	0.5
	12	0.1	1	0.8	0.35	0.127	0.8

表 5.4 尺寸參數對照表

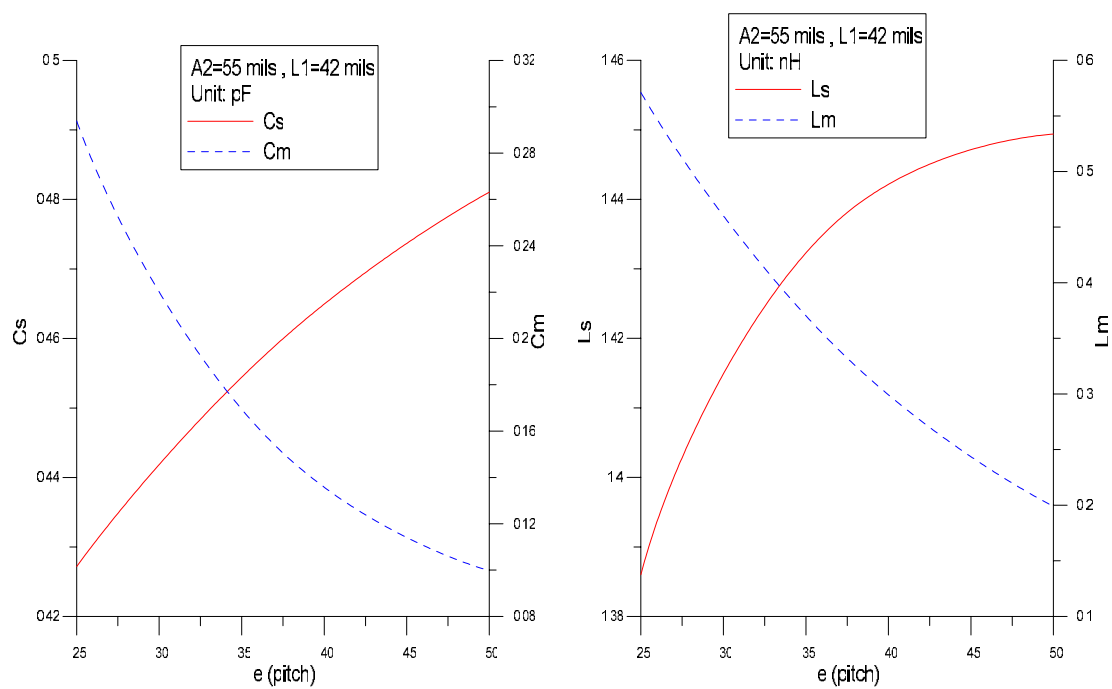


圖 5.103 電容、電感對接腳間距 e 之關係圖

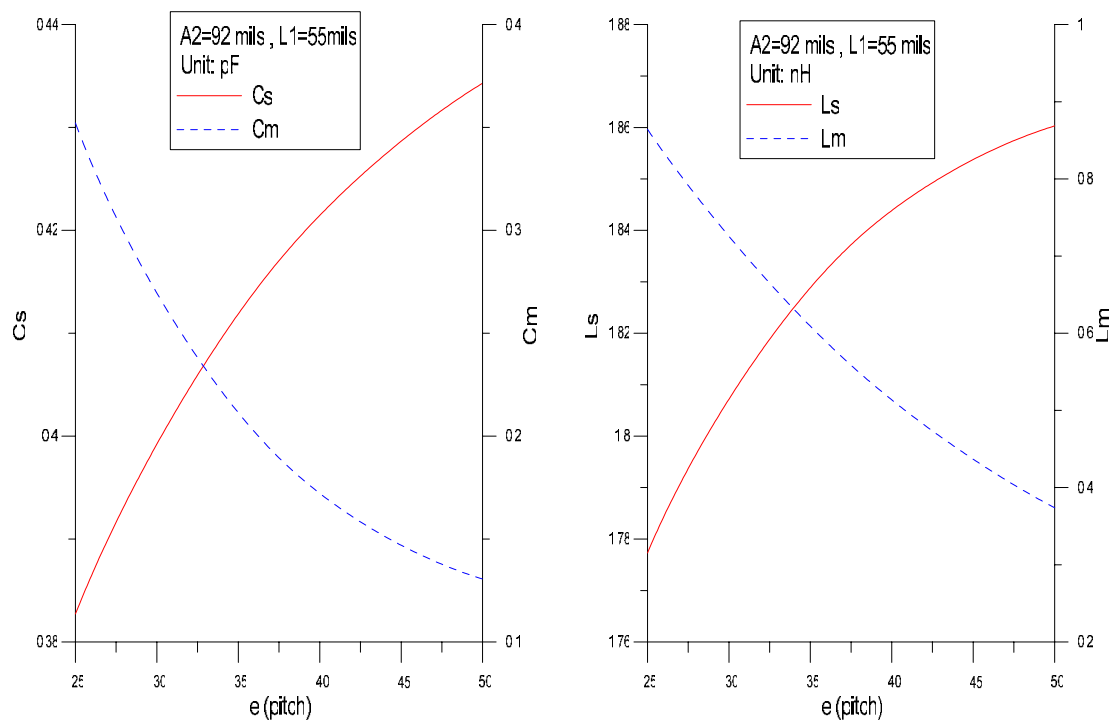


圖 5.104 電容、電感對接腳間距 e 之關係圖

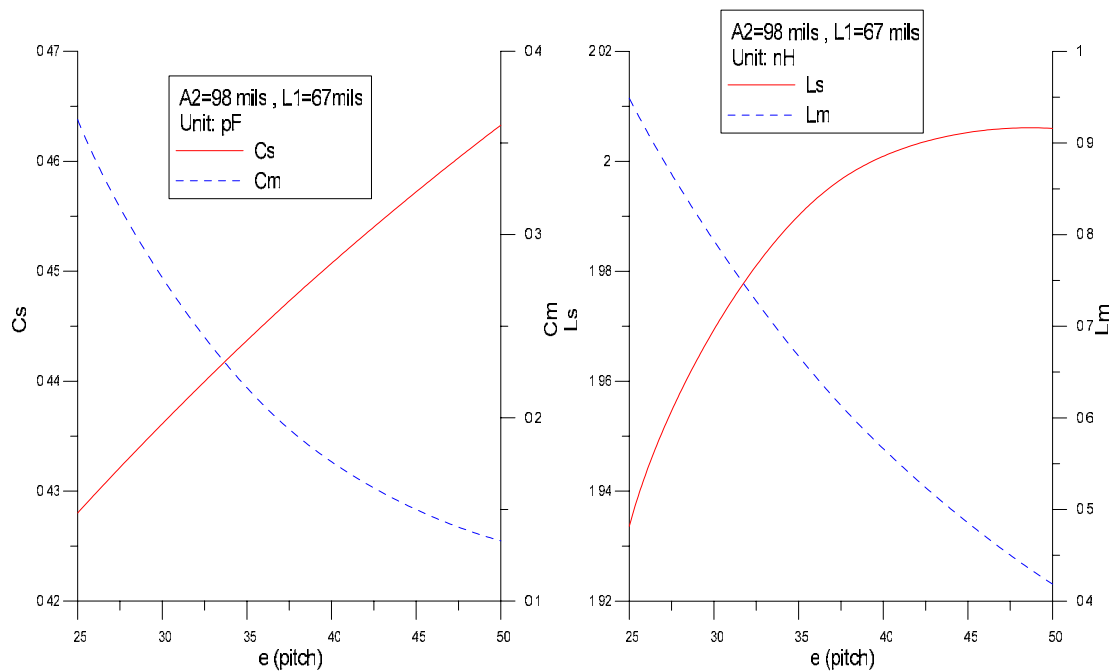


圖 5.105 電容、電感對接腳間距 e 之關係圖

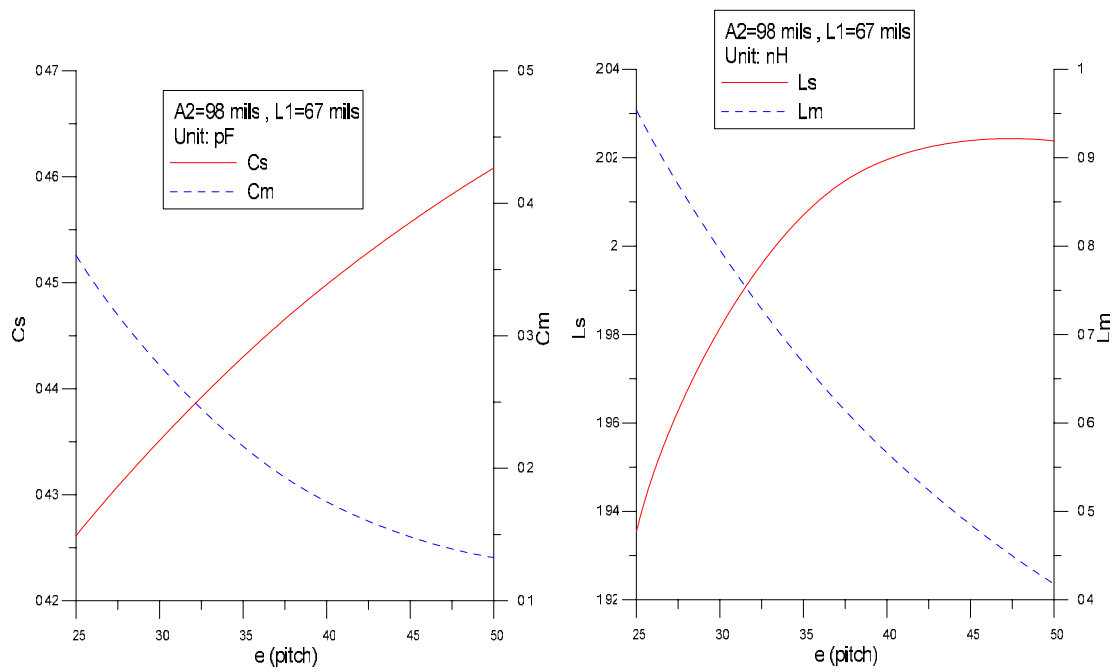


圖 5.106 電容、電感對接腳間距 e 之關係圖

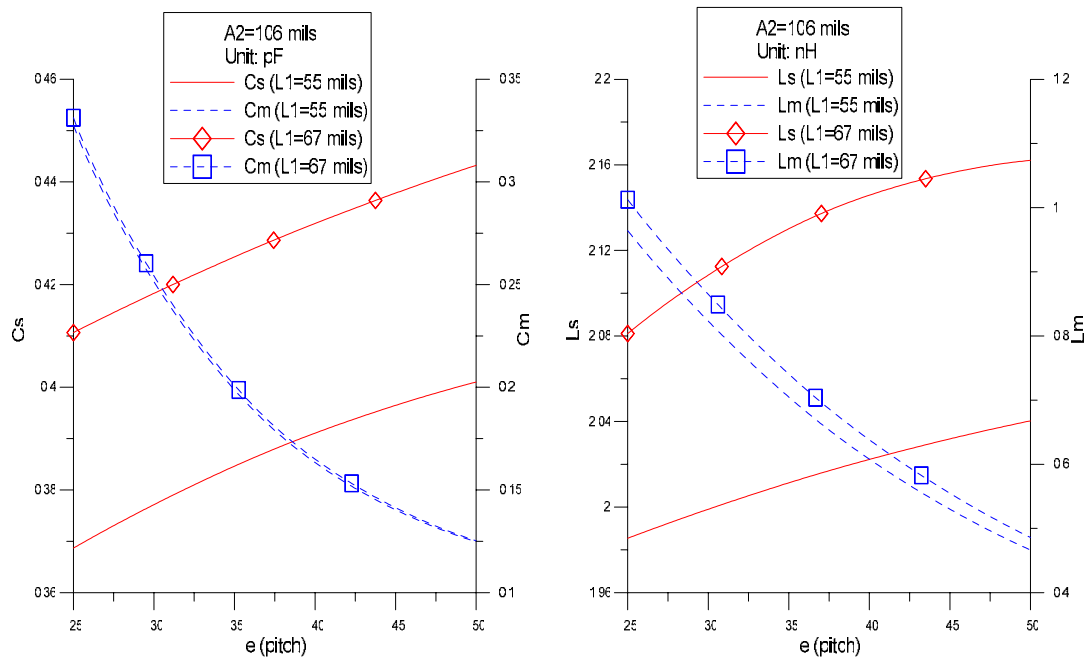


圖 5.107 電容、電感對接腳間距 e 之關係圖

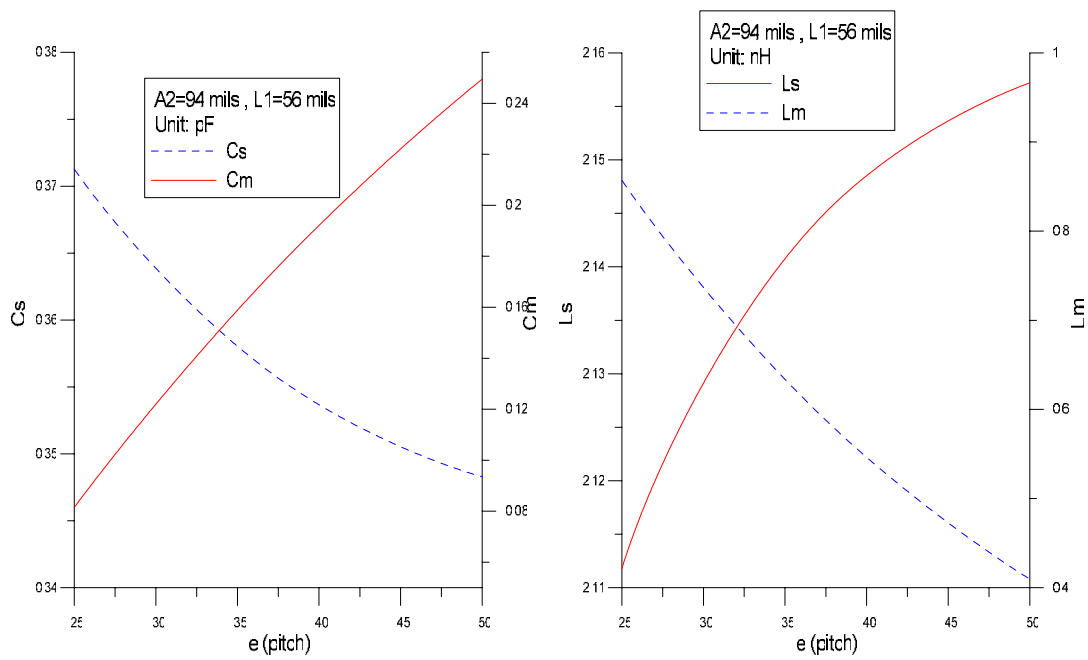


圖 5.108 電容、電感對接腳間距 e 之關係圖

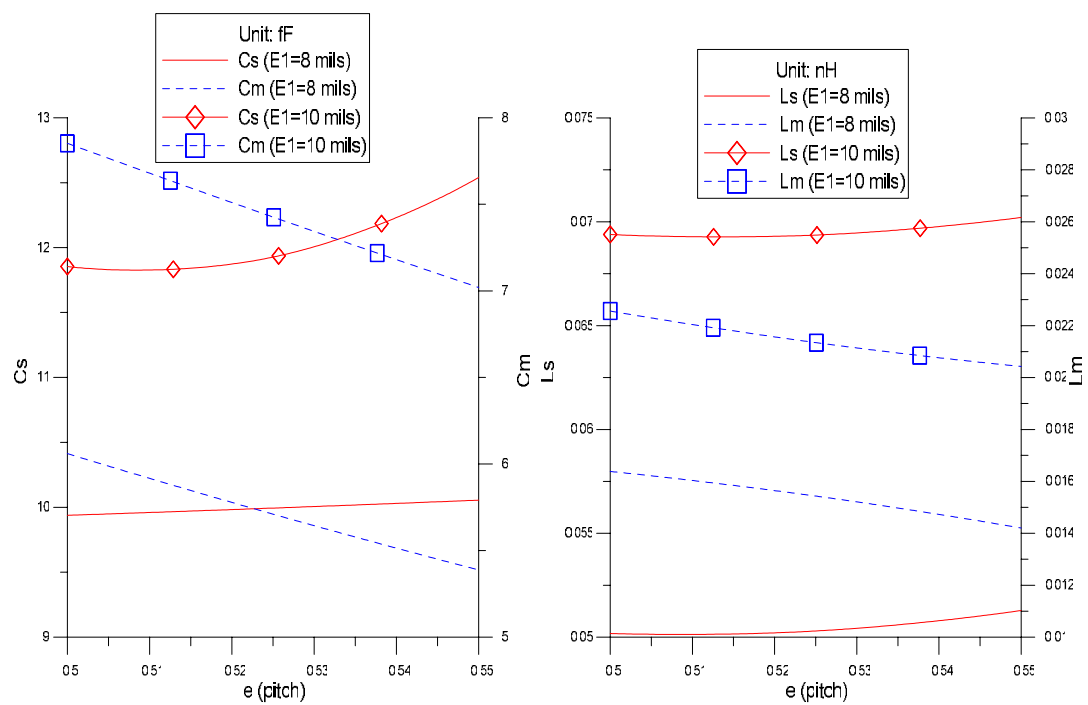


圖 5.109 電容、電感對接腳間距 e 之關係圖

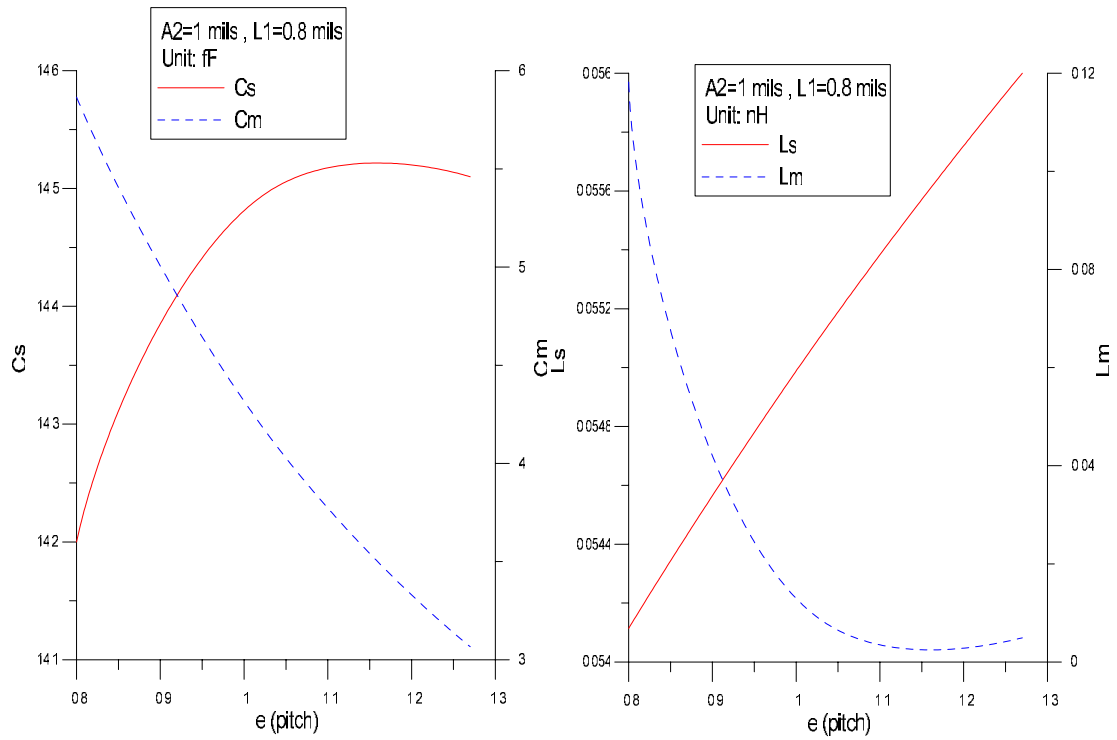


圖 5.110 電容、電感對接腳間距 e 之關係圖

藉著所建立的物理參數對電氣表現的關係圖，可對不同封裝架構的接腳特性加以瞭解，由所建立的構裝接線設計圖表，可以對所要的電子構裝接線結構作快速的分析與等效電路之建立。

第六章 連通柱之模型化與效應分析

連通柱(Via)為印刷電路板(PCB)與積體電路封裝(IC package)中常見的互連結構(interconnect)。隨著數位電路工作時脈越來越快，連通柱已無法視為短路並產生信號完整度(Signal integrity)上的問題，吾人需考慮連通柱於電路中產生的不連續反射與平行板層輻射造成之接地雜訊等問題。連通柱的等效電路已有許多相關的學術論文予以討論，但其求法以準靜態為主[52~57]，無法考慮連通柱於高頻時所造成的輻射效應，因此吾人改用全波模擬軟體 HFSS 擷取連通柱結構的等效電路。另外參考文獻[58~59]中則利用全波方法來分析連通柱結構的電氣與傳播特性，但其缺點為三維時域有限差分法(3D FDTD)需要強大的數值計算資源，包括大量記憶體與計算耗時等，因此吾人於本章節提出一兼具效率與正確性之時域方法，此方法結合了二維時域有限差分法與連通柱等效電路[60]，能夠完整地考慮多層連通柱結構於印刷電路板中所造成的雜訊效應，其正確性可由與兩套商用模擬軟體-ApsimFDTD，SpeedXp 的比較結果得到驗證。另外吾人亦針對單根連通柱結構作參數分析，得到連通柱等效電感之經驗公式，其結果相當便利於電路工程師設計電路時使用。

本章節內容分為：(1)單根連通柱的模型擷取，利用 HFSS 擷取連通柱結構的等效電路並由參數分析得到連通柱等效電容與電感的設計圖表。(2)差模連通柱的模型擷取，利用半電路分析方式與第一小節擷取等效電路的方法得到差模連通柱的等效電路。(3)連通柱結構的效應分析，結合全波模擬軟體 HFSS 所擷取的等效電路與二維時域有限差分法以快速地得到連通柱結構的時域分析結果。

6-1 單根連通柱的模型擷取

6-1-1 連通柱模型擷取

考慮如圖 6.1 的三層連通柱結構，其等效電路架構如圖 6.2，等效電路元件值擷取的步驟為：(1)利用 HFSS 模擬整個三層連通柱結構，(2)利用內箝(deembeded)機制去除傳輸線的效應，得到連通柱附近(local)的 S 參數，(3)將 S 參數矩陣轉換為 ABCD 矩陣，利用等效電路值與 ABCD 矩陣各元素間的關係，如式(6-1)，便能得到所要擷取的等效電路的值。

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} 1 - \omega^2 C_2 L & j\omega L \\ j\omega(C_1 + C_2) - j\omega^3 C_1 C_2 L & 1 - \omega^2 C_1 L \end{pmatrix} \quad (6-1)$$

這個方法的缺點是擷取所得的等效電路是針對某一頻率的結果，因此吾人改採針對整個模擬頻段作迴歸分析的方式擷取等效電路，詳細說明如下：將前步驟(2)改為由 S 參數矩陣轉成 Y 參數矩陣，Y 參數矩陣與等效電路各元件值的關係如式(6-2)。

$$\begin{aligned} Y_{12} &= -\frac{1}{j\omega L} \\ Y_{11} + Y_{12} &= j\omega C \end{aligned} \quad (6-2)$$

針對 $\frac{-1}{Y_{12}}$ 的虛數部分作線性迴歸分析，斜率即為所求之等效電感，同理對 $Y_{11} + Y_{12}$ 的虛數部分作線性迴歸分析，斜率即為所求之等效電容。

利用相同的原理，吾人考慮如圖 6.3 的四層連通柱結構，等效電路如圖 6.4 所示， C_1 與 L_1 可由三層連通柱結構求得， C_2 可以利用矩陣運算，得到與平行板層的 Y 矩陣參數關係為： $Y_{11} + Y_{12} = j\omega C_2$ ，利用同樣的迴歸分析即能得到 C_2 值。 $Z(f)$ 為無限大的平行板層結構，當有一連通柱穿過時的理想輸入阻抗，如式

(6-3)，與平行板層 $\frac{-1}{Y_{12}}$ 的虛數部分相比較，差值即為 L_2 。

$$Z_{in} = \frac{V}{I} = \frac{j\eta d}{2\pi a} \cdot \frac{H_0^{(2)}(ka)}{H_1^{(2)}(ka)} \quad (6-3)$$

考慮一四層連通柱結構，幾何參數如表 6.1 所列，利用上述的迴歸分析能夠得到 $C_1=82.27\text{fF}$ ， $L_1=0.362\text{nH}$ ， $C_2=54.23\text{fF}$ ，結果如圖 6.6、圖 6.7 與圖 6.8 所示。

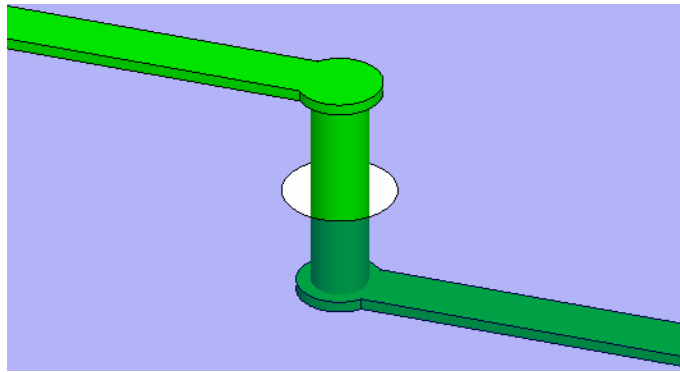


圖 6.1 三層單根連通柱結構

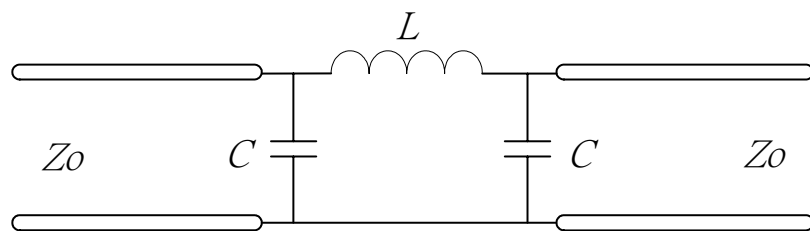


圖 6.2 三層單根連通柱結構的等效電路

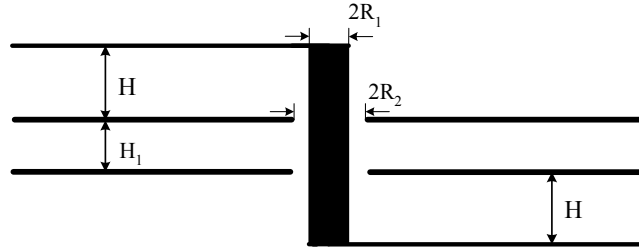


圖 6.3 四層連通柱結構

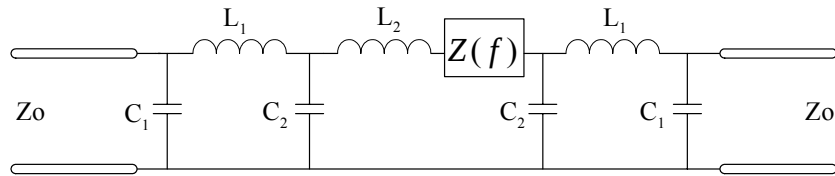


圖 6.4 四層連通柱結構的等效電路

R_1	R_2	W	H	H_1	ϵ_r
5	10	10	20	20	4

(單位: mils, R 為半徑)

表 6.1 四層連通柱結構的幾何參數

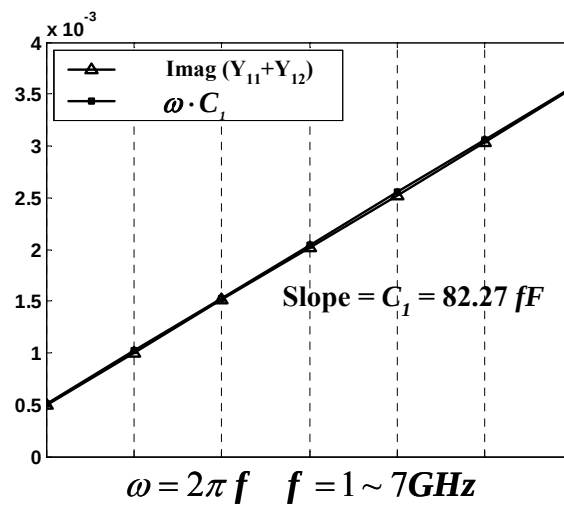


圖 6.6 C_1 的迴歸分析結果

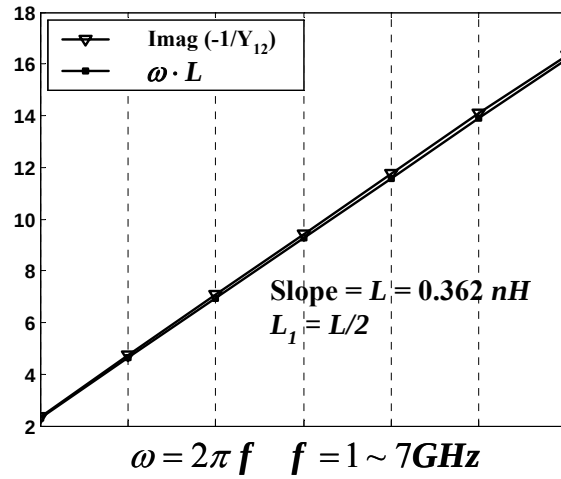


圖 6.7 L_1 的迴歸分析結果

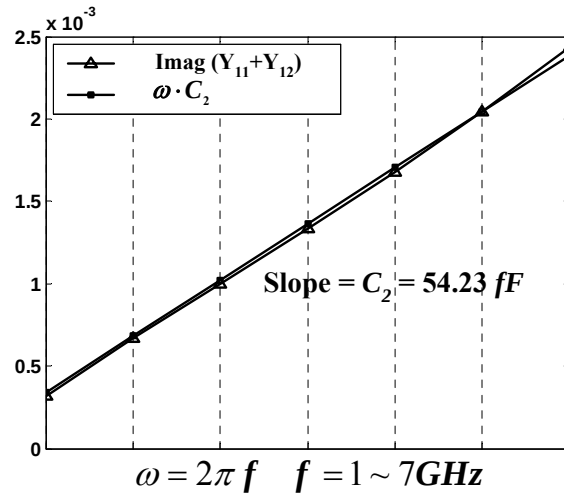


圖 6.8 C_2 的迴歸分析結果

分別比較平行板層 $\frac{-1}{Y_{12}}$ 與理想輸入阻抗 $Z(f)$ 的虛部、實部差異，結果如圖 6.9 與圖 6.10，可以觀察到在 7GHz 之前，不論是虛部亦或著實部兩者的差異均不大，也就是說在 7GHz 之前可以利用理想的 $Z(f)$ 來代表中間平行板層的效應，此時 L_2 的值相當小可以忽略。

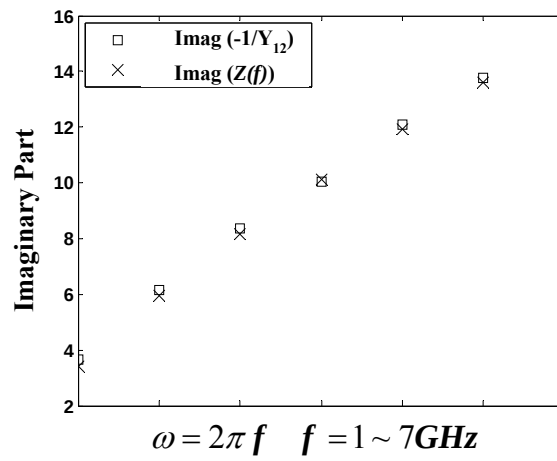


圖 6.9 $\frac{-1}{Y_{12}}$ 與理想輸入阻抗 $Z(f)$ 的虛部比較

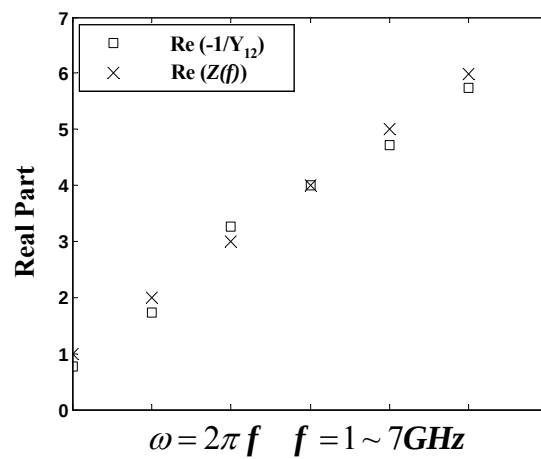


圖 6.10 $\frac{-1}{Y_{12}}$ 與理想輸入阻抗 $Z(f)$ 的實部比較

6-1-2 參數分析與設計圖表

由參考文獻[61]可以得知連通柱的等效電路有等效放大的效應，即連通柱的所有幾何尺寸均放大同樣倍數時，等效電路的值也會呈等比例放大。由此特性吾人能夠分別得到連通柱等效電路的電容電感值與幾何尺寸無關(dimensionless)的

設計圖表。考慮如圖 6.11 之三層連通柱結構， R_1 為連通柱半徑， R_2 為 antipad 半徑， R_3 為 via pad 半徑， H 為介質層厚度($2H$ 即為連通柱長度)。

首先，吾人針對電感作參數分析，將電感值除以 H 與 μ 並對 H/R_1 作圖，針對不同的 R_2 與 R_1 比例得到其他曲線，結果如圖 6.12。注意到此設計圖表與連通柱各別的幾何尺寸無關，只與各尺寸間的比值有關；又各尺寸均對 R_1 作正規化因此只要知道 R_1 (連通柱的半徑)即能由此設計圖表得到連通柱的等效電感值，相當方便電路設計者的使用。由此設計表亦可觀察到當連通柱的長度與連通柱的半徑比值越來越大時，改變 antipad 對於連通柱等效電感的影響越小。

利用同樣的方式可以得到同樣連通柱結構的電容值設計圖表，將電容值除以 R_1 與 ϵ 並對 H/R_1 作圖，針對不同的 R_2 與 R_1 比例得到其他曲線，結果如圖 6.13，注意到此電容值設計表僅適用於 $\epsilon = 1$ 的情況。

由等效電路值會與幾何尺寸呈等比例放大的性質，由圖 6.12，將 $\frac{L}{\mu H}$ 對 $\frac{H}{R_1}$ 作曲線揉合(curve fitting)，可以得到三層連通柱的等效電感值的經驗公

式： $L = \mu H \cdot \left(0.026629 \left(\frac{H}{R_1} \right) + 0.39073 \right)$ ，其中 H 單位為公尺， $\mu = 4\pi \times 10^{-7} \text{ (H/m)}$ ，

得到的電感值單位為 Henry。將此經驗公式求得的電感值與 HFSS 擷取的結果作比較如圖 6.14，可以發覺誤差相當小。

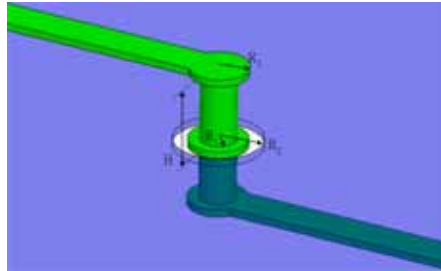


圖 6.11 三層連通柱結構

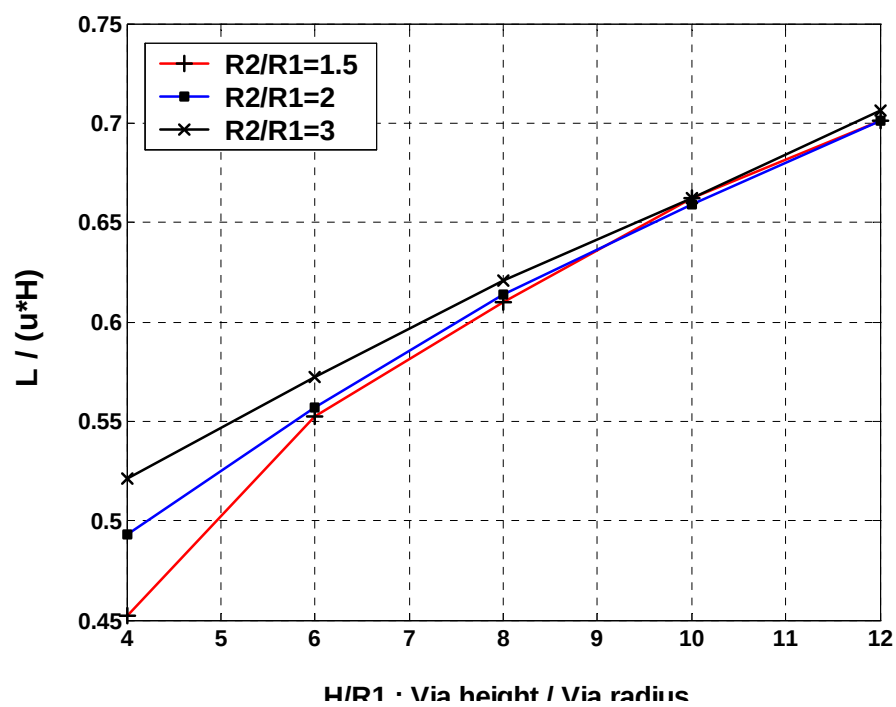


圖 6.12 連通柱電感值設計圖表

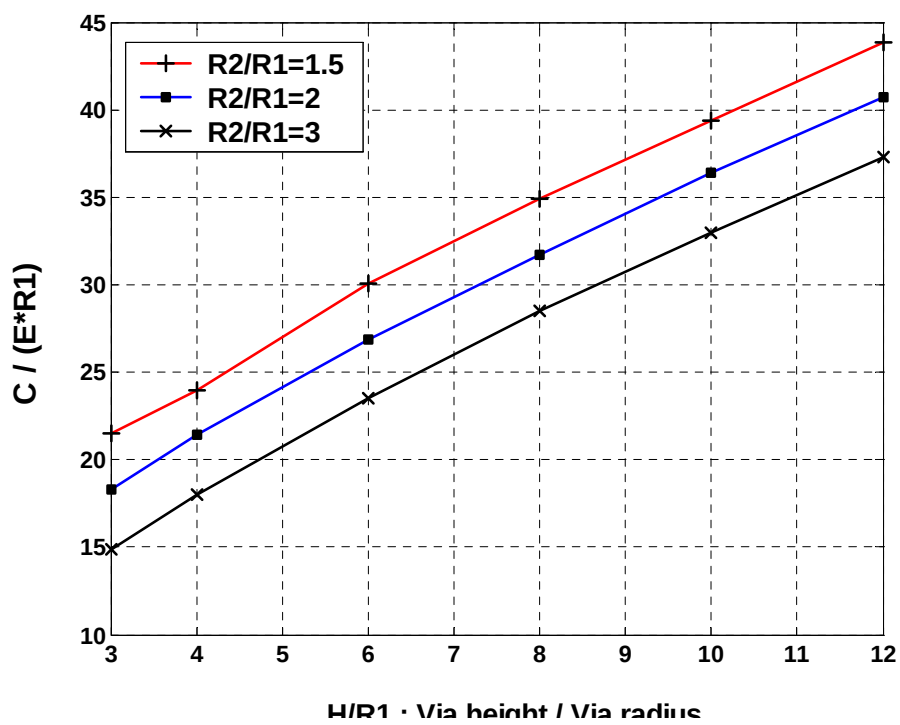


圖 6.13 連通柱電容值設計圖表

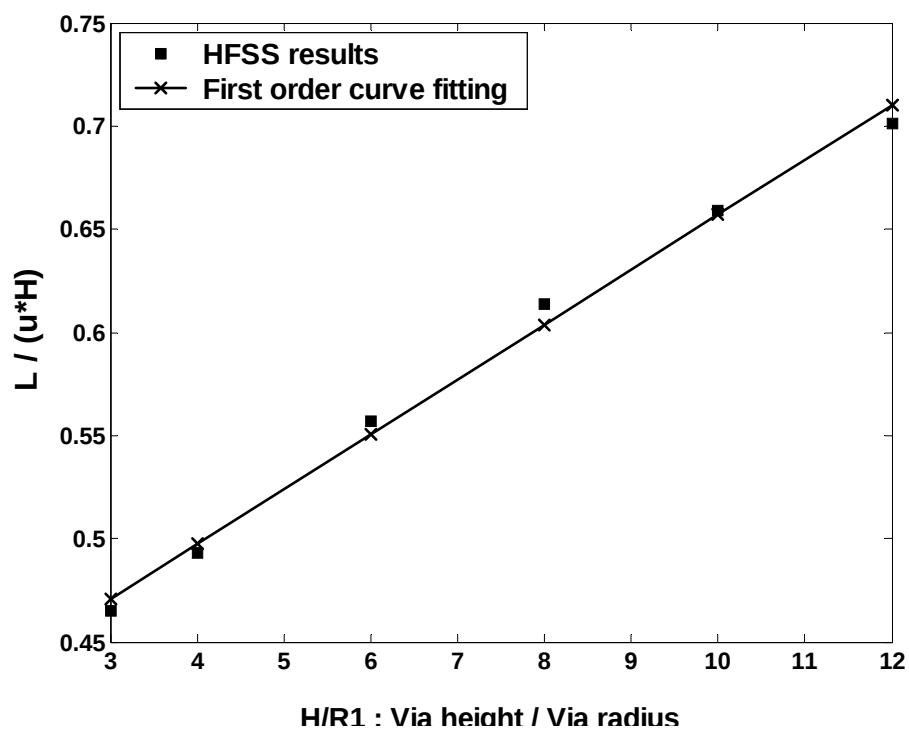


圖 6.14 電感值經驗公式與 HFSS 擷取結果比較圖

6-2 差模連通柱的模型擷取

考慮如下圖 6.15 的差模連通柱結構，利用去內箱(deembeded)機制去除傳輸線的效應後，剩下的連通柱結構，可以將其模型化如圖 6.16 所示。

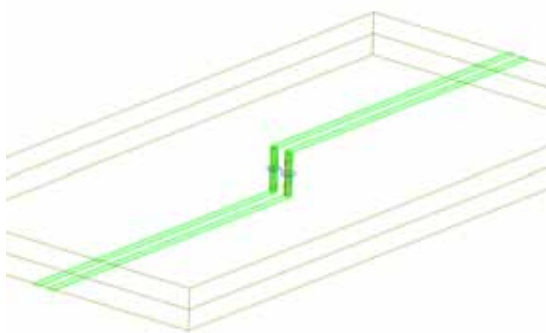


圖 6.15 差模連通柱結構

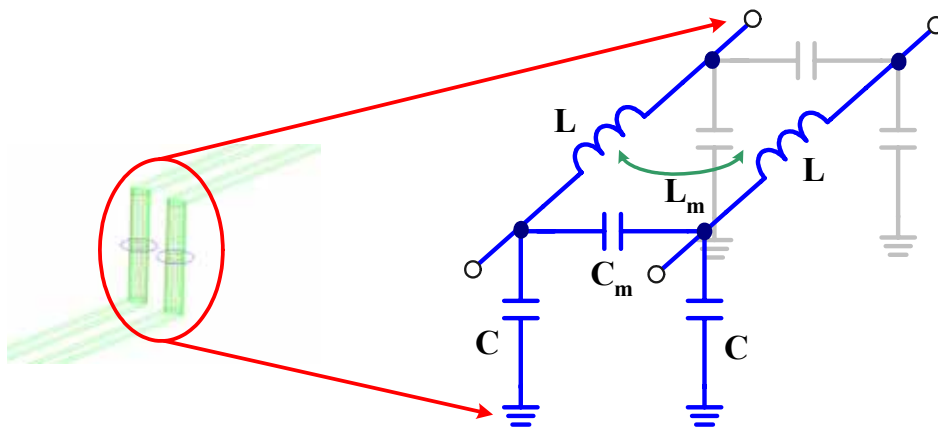


圖 6.16 差模連通柱結構的等效等路

考慮其中的一根連通柱，其為簡單的信號-連通柱穿層-信號的三層結構，因此在信號完整度的問題上只須考慮連通柱不連續結構所造成的反射雜訊，其等效電路為一 π 形式的集總電路，如圖 6.16 等效電路中的 L 、 C 所示，擷取的方式如上一節所描述。考慮完整的差模連通柱結構時，除了不連續性效應，兩根連通柱間的耦合效應也必須予以考慮，其等效電路如圖 6.16 中的 L_m 、 C_m 所示。

利用分析微波電路的半電路方法可以迅速地擷取此差模連通柱結構的等效電路，其詳細流程描述如下：利用全波分析(full wave analysis)商用模擬軟體-HFSS 模擬此連通柱結構，將輸入埠(port)的場形(field)分別設定為奇模(odd mode)與偶模(even mode)；當輸入埠激發的場形為奇模時，差模連通柱的等效電路可以簡化為如圖 6.17 所示。

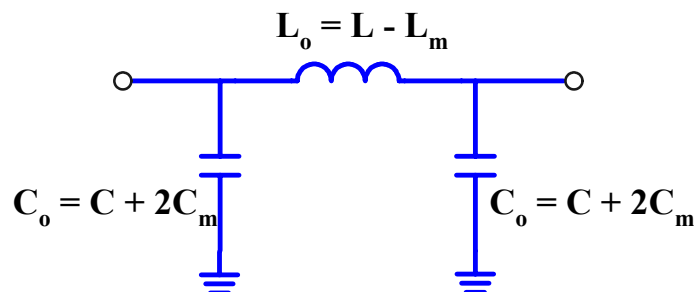


圖 6.17 奇模激發時的等效電路

可以注意到當激發的場形為奇模時，連通柱兩邊的場形大小相等但相位相差 180 度，使得兩連通柱的對稱面為虛擬接地(virtual ground)，因此奇模等效電感 L_o 等於單根連通柱等效電感 L 減去耦合電感 L_m ，奇模等效電容 C_o 等於單根連通柱等效電容 C 加上兩倍的耦合電容 C_m 。同理，當輸入埠激發的場形為偶模時，差模連通柱的等效電路可以簡化為如圖 6.18 所示。

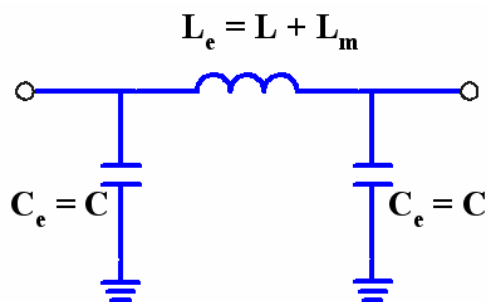


圖 6.18 偶模激發時的等效電路

當激發的場形為偶模時，連通柱兩邊的場形大小相等相位相同，此時兩連通柱的對稱面為開路，因此偶模等效電感 L_e 等於單根連通柱等效電感加上耦合電感 L_m ，偶模等效電容 C_e 等於單根連通柱等效電容 C 。利用 HFSS 模擬輸入埠激發場形分別為奇模與偶模的情況，由模擬所得的 S 參數結果能夠得到相對應的奇模與偶模的等效電路，由 L_e 、 L_o 、 C_e 、 C_o ，吾人便能得到所需要的差模連通柱等效電路。

模擬結構的上視圖與側視圖分別如圖 6.19(a)與 6.19(b)所示，定義幾何參數為：(1)介質厚度 H ，(2)微帶線寬度 W ，(3)連通柱半徑 R_1 ，(4)連通柱孔徑(via hole) R_2 ，(6)微帶線金屬厚度 T ，(6)耦合微帶線之間的距離(center to center) S_1 ，數值整理如表 6.2，介質的介電係數為 4。

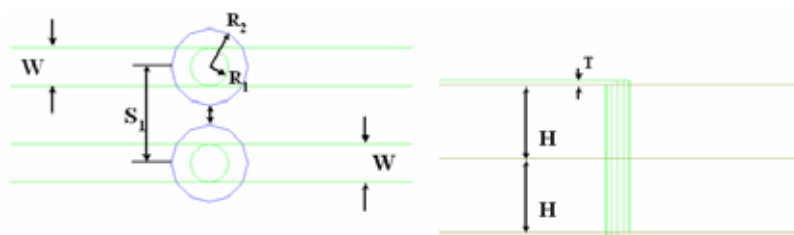


圖 6.19(a) 上視圖

圖 6.19(b) 側視圖

H	W	R ₁	R ₂	T	S ₁
30	10	5	10	2	25

表 6.2 參數列表(單位：mils)

首先考慮激發模態為奇模時的情形，模擬結構如圖 6.20(a)所示，由於整個結構為對稱，因此只需要模擬半邊的結構，注意到對稱面此時設定為良好導體(PEC)。由模擬所得的 S 參數可以得到此結構的 $L_o=0.465\text{nH}$ 、 $C_o=128.12\text{fF}$ 。考慮激發模態為偶模的情形，模擬結構如圖 6.20(b)所示，此時對稱面設定為良好磁體(PMC)，擷取所得的 L_e 、 C_e 分別等於 0.67nH 與 88.77fF 。經由簡單的代數運算可以得到所求的差模連通柱等效電路為：

$$L=(L_e+L_o)/2=0.5676\text{nH}$$

$$L_m=(L_e-L_o)/2=0.1025\text{nH}$$

$$C=C_e=88.77\text{fF}、$$

$$C_m=(C_o-C)/2=19.675\text{fF}$$

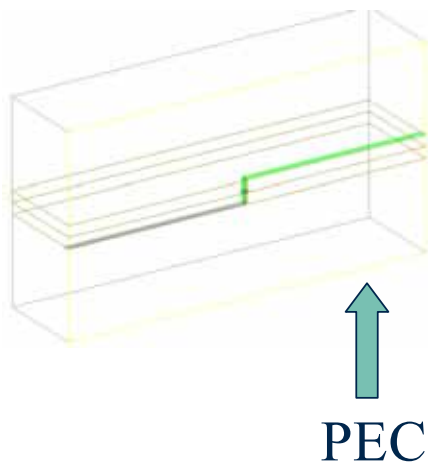


圖 6.20(a) 奇模時的模擬結構

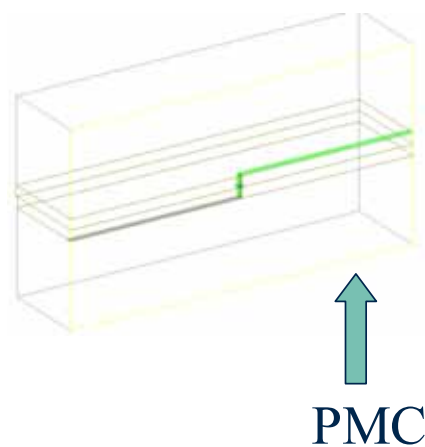


圖 6.20(b) 偶模時的模擬結構

以下為吾人將擷取所得的等效電路S參數與HFSS的模擬結果作比較以驗證擷取結果的正確性，奇模比較如圖 6.21，偶模比較如圖 6.22，可以觀察到等效電路的結果與 HFSS 的模擬結果均蠻吻合的。

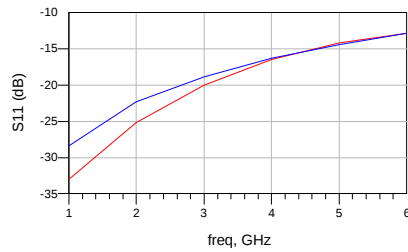


圖 6.21(a) 奇模 S_{11} (dB)



圖 6.21 (b) 奇模 S_{11} (phase)

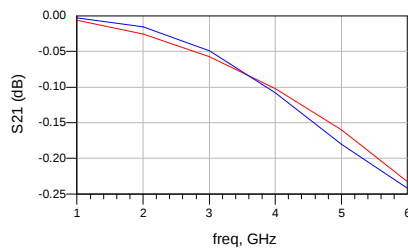


圖 6.21(c) 奇模 S_{21} (dB)



圖 6.21 (d) 奇模 S_{21} (phase)

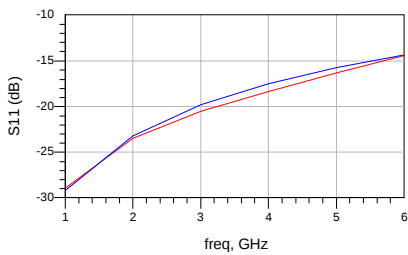


圖 6.22(a) 偶模 S_{11} (dB)



圖 6.22 (b) 偶模 S_{11} (phase)

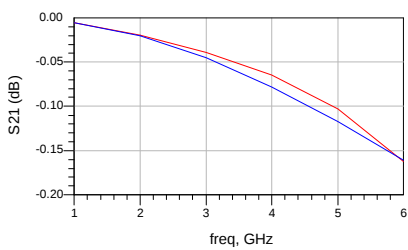


圖 6.22(c) 偶模 S_{21} (dB)

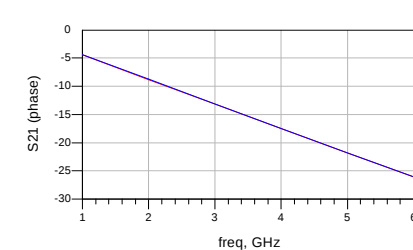


圖 6.22 (d) 偶模 S_{21} (phase)

6-3 單根連通柱的效應分析

6-3-1 原理簡介

在分析 SI(Signal Integrity)的問題時，吾人常利用數值方法 FDTD 來分析各種繞線結構，例如：連通柱、跨槽線、差模傳輸線....等，於高速數位電路(High Speed Digital Circuit)中所造成的電磁效應。但是在模擬局部精細(locally detailed)的結構時(例如：一塊很大的接地面上的一跟連通柱)，3D FDTD 方法所需要的模擬時間會非常的長，因此吾人提出另一個萃取連通柱等效電路的方法，並與 2D FDTD 方法結合，而能有效率地得到時域分析結果。接著，再利用 3D FDTD(ApsimFDTD)模擬相同的連通柱結構，以驗證吾人提出方法的正確性。

2D FDTD 的精神在於將傳輸線以及連通柱結構分別以各自的等效電路取代，FDTD 只用於計算平行板層間的 radial mode 所產生的接地雜訊效應；因此只需要對一個平面做分割，而不需要因為連通柱，而將整個空間的 mesh 切的特別細，所以整體的切割數比 3D FDTD 少了至少兩個 order，模擬的時間也減少了許多。

6-3-2 模擬結果

考慮一單根多層連通柱結構如圖 6.3 所示，各項參數整理如表 6.1，於 2D FDTD 中的模擬架構如圖 6.19，驅動端與負載端分別接上匹配電阻， V_s 為一上升時間為 100ps 的輸入信號，分別比較吾人的方法(2D FDTD 結合等效電路)與兩套商用模擬軟體的模擬結果(ApsimFDTD→3D FDTD，SpeedXP→2D FDTD)，如圖 6.20 所示，可以觀察到三種方法所顯示的連通柱不連續效應均為電感效應，也因此驗證吾人方法的正確性。

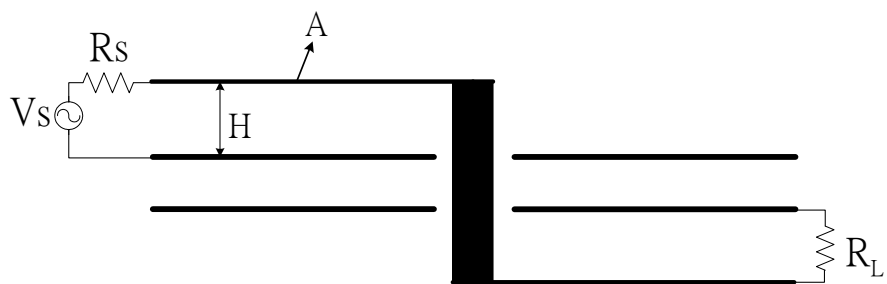


圖 6.19 2D FDTD 的模擬結構圖

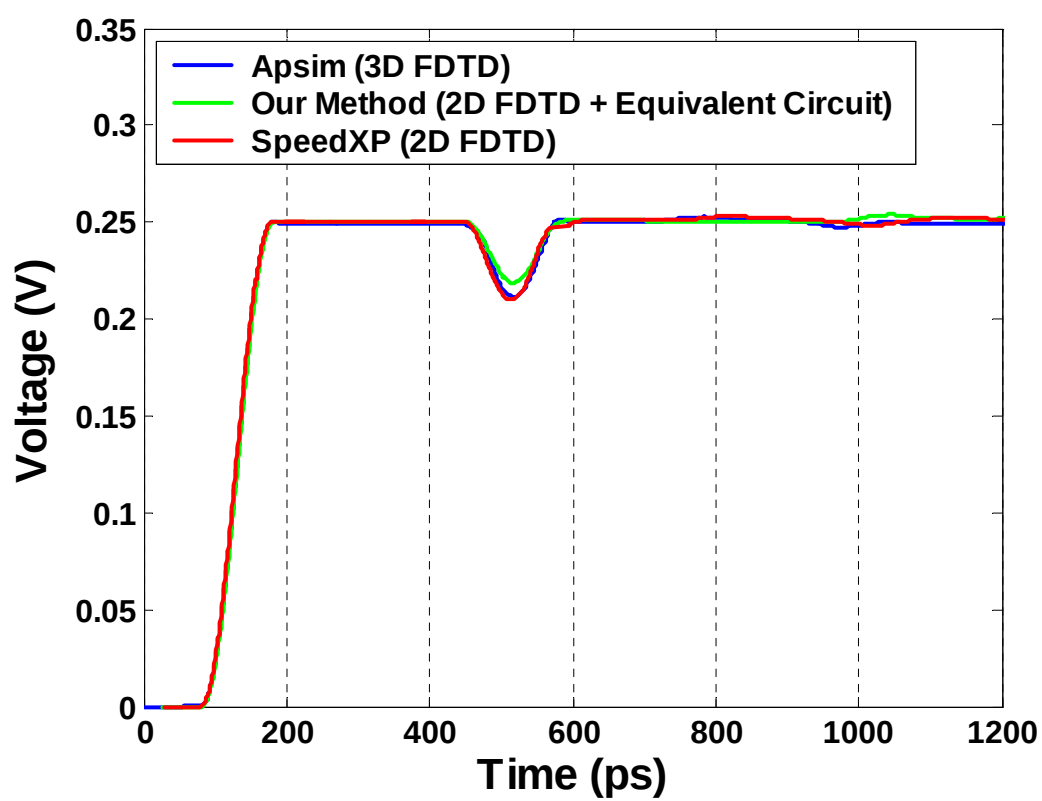


圖 6.20 時域模擬結果的比較

第七章 差模信號線穿層模型化

7-1 前言

在現今印刷電路板或晶片製程裡位於不同層的信號線往往需要連通柱以提供適當的連結路徑，如圖 7.1 所示，此時兩層平行金屬板之間可看成一個共振腔，而連通柱的貫穿恰好提供此共振腔一個良好的激發源，造成接地雜訊散佈在共振腔內部，倘若信號連通柱貫穿的越多，接地雜訊的效應將越趨嚴重。在過去，吾人已成功提出利用簡單之傳輸線理論與二維時域有限差分法(2D FDTD)處理如圖 7.1 之單根信號連通柱貫穿平板共振腔引發之接地雜訊問題[62]。

近幾年來，為了解決此接地雜訊的問題，由耦合傳輸線傳遞差模信號儼然已經成為一個必然的趨勢，如圖 7.2 所示，此時如果仍然沿用傳統二維時域有限差分法去處理差模連通柱區域的格子分割，勢必會使得其他沒有連通柱貫穿區域也必須分割的較細，如圖 7.3 所示，而造成硬體資源與模擬時間的浪費。有鑒於此，吾人於此章特利用二維時域有限元素法(2D FETD)有效地處理差模連通柱區域之格子分割並結合時域有限差分法處理其他沒有連通柱貫穿區域之格子分割，與商用套裝軟體之模擬結果比較後也發現此法在不失準確性的情況下同時大大地提升了模擬效能，而時域有限元素法詳細之操作原理也將於下小節中介紹。

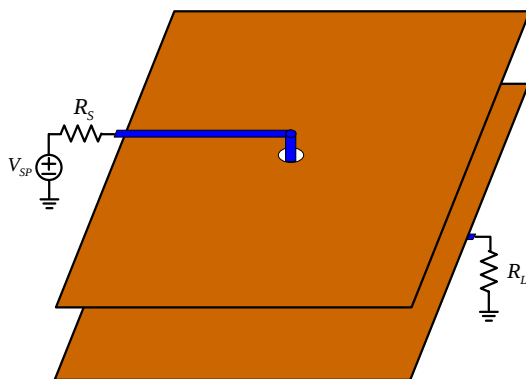


圖 7.1 單根信號連通柱貫穿平板共振腔示意圖

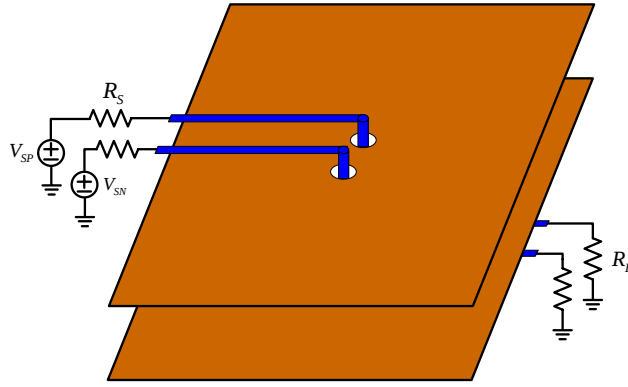
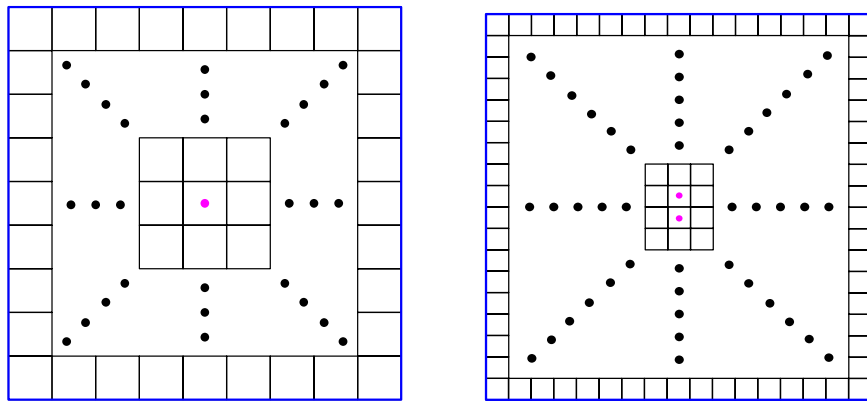


圖 7.2 差模信號連通柱貫穿平板共振腔示意圖



(a)單根信號連通柱

(b)差模信號連通柱

圖 7.3 二維時域有限差分法處理平板共振腔之格子分割示意圖

7-2 時域有限元素法

時域有限元素法是在時域上將空間所有模擬區域採取有限元素法分割，作為分析的基礎，此法又稱為 Whitney 時域有限元素法。它由馬克斯威爾方程式中的兩個旋度方程式出發，利用一些向量恆等式可將兩個方程式其中的磁場項消去，並進而得到一個只有純電場項的方程式，如式(7-1)所示：

$$\nabla \times \nabla \times \bar{E} + \mu \epsilon \frac{\partial^2 \bar{E}}{\partial t^2} + \mu \frac{\partial \bar{J}}{\partial t} = 0 \quad (7-1)$$

欲解出式(7-1)，必須對其採取全模擬區域積分，並取 weak-form formulation 之後，可得

$$\begin{aligned} & \int_{\Omega} \left(\nabla \times \bar{W} \cdot \nabla \times \bar{E} \right) d\Omega + \mu \varepsilon \int_{\Omega} \bar{W} \cdot \frac{\partial^2 \bar{E}}{\partial t^2} d\Omega + \mu \int_{\Omega} \bar{W} \cdot \frac{\partial \bar{J}}{\partial t} d\Omega \\ & + \frac{\mu_r}{c} \oint_{\Gamma_{\infty}} \bar{W} \cdot \left(\frac{\partial \bar{E}}{\partial t} \times \hat{n} \right) d\Gamma = 0 \end{aligned} \quad (7-2)$$

其中向量函數 W 是代表能任意取用的測試函數。

於式(7-2)中採有限元素法，將有限元素區域用三角形分割法分成許多小區域，而其中每個元素可由數個基底所構成，在此吾人選擇的是線性基底，適當的基底函數選擇妥當之後再利用 Galerkin method 可將式(7-2)化簡成為二階常微分方程式

$$[C] \frac{d^2 E}{dt^2} + [B] \frac{dE}{dt} + [D]E + [F] \frac{dJ}{dt} = 0 \quad (7-3)$$

其中 E 與 J 分別代表的是有限元素區域內部待解電場與電流密度之係數向量，而式(7-3)中矩陣 $[B]$ 、 $[C]$ 、 $[D]$ 、 $[F]$ 的元素為

$$[C]_{ij} = \mu \varepsilon \int_{\Omega} \bar{W}_i \cdot \bar{W}_j d\Omega \quad (7-4)$$

$$[B]_{ij} = \frac{\mu_r}{c} \oint_{\Gamma_{\infty}} \bar{W}_i \cdot (\bar{W}_j \times \hat{n}) d\Omega \quad (7-5)$$

$$[D]_{ij} = \int_{\Omega} \nabla \times \bar{W}_i \cdot \nabla \times \bar{W}_j d\Omega \quad (7-6)$$

$$[F]_i = \mu \int_{\Omega} \bar{W}_i d\Omega \quad (7-7)$$

注意矩陣 $[C]$ 中並非只有對角線元素，因此在更新下一時刻電場時，勢必要求解聯立方程式，使得此時域有限元素法為隱式(implicit)計算方式；與時域有限差分法的顯式(explicit)計算方式不要求解任何聯立方程式不同，這也使得時域有限元素法的計算效率比時域有限差分法差了許多。然而，如果採取的是混合時域有限元素與有限差分法針對某些特別結構進行模擬的話則可同時保有兩者的優點提升模擬效能。

就以此章節所要討論的主題作為例子，如圖 7.4 所示，差模連通柱貫穿平板共振腔的區域由原本二維時域有限差分法改為時域有限元素法做格子分割，其他

區域則仍沿用二維時域有限差分法做格子分割，此時由時域有限差分法所計算之下一時刻電場在兩種區域交界處就變成了時域有限元素法區域的外部既定邊界條件(Dirichlet boundary condition)，以資求解其內部待解電場係數向量。除此之外，時域有限元素法所必須求解之矩陣聯立方程式倘若其係數向量以下列三式取代的話，可得到無條件收斂[63]。

$$\frac{\partial^2}{\partial t^2} E \approx \frac{1}{(\Delta t)^2} (E^{n+1} - 2 \cdot E^n + E^{n-1}) \quad (7-8)$$

$$E \approx \frac{1}{4} (E^{n+1} + 2 \cdot E^n + E^{n-1}) \quad (7-9)$$

$$\frac{\partial}{\partial t} J \approx \frac{1}{\Delta t} (J^{n+1/2} - J^{n-1/2}) \quad (7-10)$$

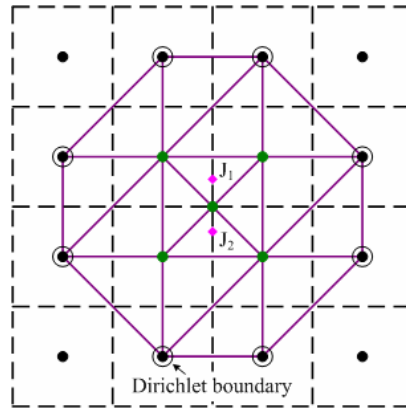


圖 7.4 二維時域有限元素法於差模連通柱區域格子分割示意圖

7-3 Matlab 程式設計流程

整個程式設計流程可以參考圖 7.5，其中計算部份可分為三大類：電路模擬、二維平面問題以及兩者之間的連結三類，由於二維平面問題已於上小節說明過了因此接下來將分別闡述第一類與第三類計算部份。

(1) 電路模擬：

參考如圖 7.2 的模擬結構，差模連通柱的等效電路可由前面章節所提出的方

法萃取，如圖 7.6 所示，而其前後所接之耦合傳輸線等效電路可由準靜態的方法快速求得，如此再配合中央差分形式之電報方程式即可疊代求得信號傳輸路徑上每一點每一時刻之時域電壓電流波。

(2) 電路模擬與二維平面問題之連結：

由圖 7.6 可以發現差模連通柱的等效電路上有兩個分別標示為 V_{p1} 與 V_{p2} 的電壓源記號，其代表的是平行金屬板內傳播的接地雜訊對連通柱上電流的影響，在經由電路模擬部份的計算可算出下一時刻差模連通柱上個別的電流，再引入式(7-10)中配合有限元素法區域的外部既定邊界即可計算下一時刻有限元素法區域內部的未知電場值，如此疊代運算直到模擬時間結束為止。

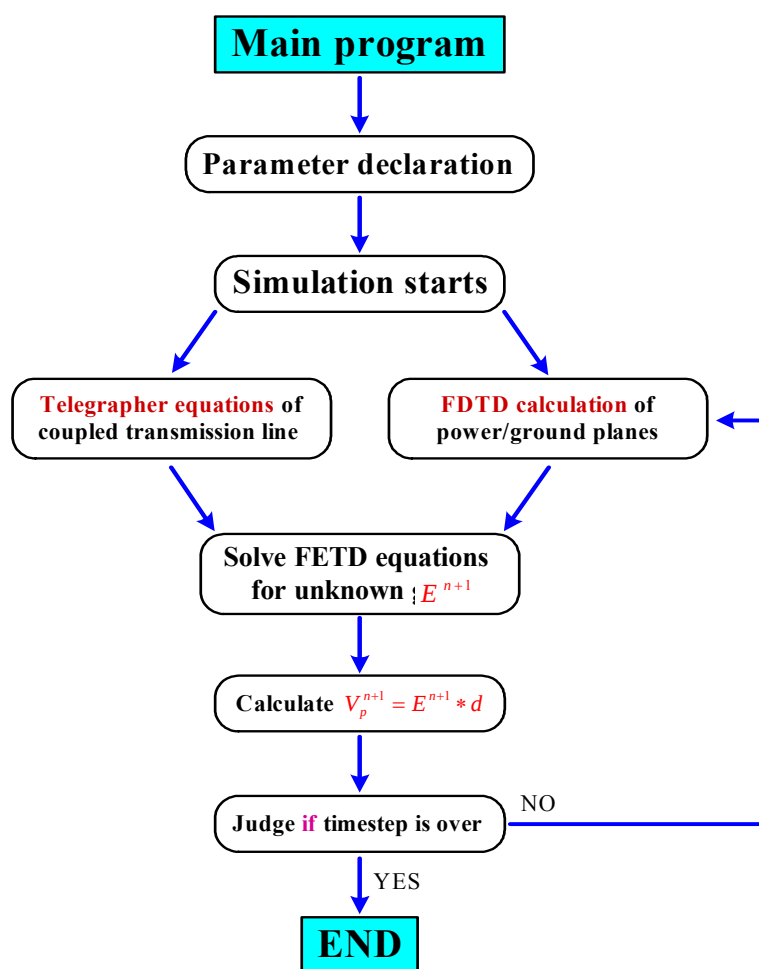


圖 7.5 混合時域有限元素與有限差分法程式設計流程圖

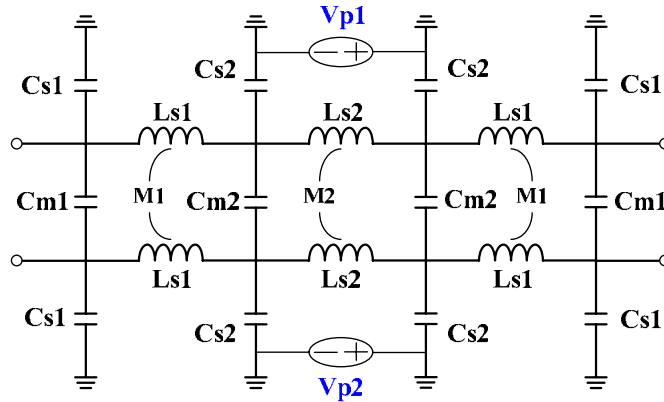


圖 7.6 差模連通柱等效模型示意圖

7-4 數值結果比較

前面幾節詳細地介紹了混合時域有限元素與有限差分法於差模連通柱貫穿平板共振腔的運算原理後，本節將運用在實際尺寸上進行模擬並且與商用套裝軟體 SpeedXP 與 CST 之模擬結果做比較。首先，圖 7.2 完整的模擬尺寸如圖 7.7 所示，其詳細的等效電路值如表 7.1，而耦合傳輸線之等效電路值則列於表 7.2，平行金屬板的大小則為 $10\text{ cm} \times 10\text{ cm}$ 。圖 7.8 為理想差模高斯信號驅動耦合傳輸線的一端並且於差模連通柱間中點上方 1 cm 處所量到的接地雜訊波形圖，可以發現吾人自行研發的程式模擬結果與商用套裝軟體的模擬結果相當接近，但是由表 7.3 可以發現吾人自行研發的程式所需之模擬時間比 SpeedXP 所需之模擬時間縮短至少十倍以上，此原因除了前述所說二維時域有限差分法必須對於差模連通柱部份分割的較細，因而造成全區域的格子總數變多，直接地反映在系統資源的浪費之外，由於時域有限元素法的無條件穩定特性，時域有限差分法的 Courant 穩定條件就扮演著決定模擬時間間隔最重要的角色，如式(7-11)所示，格子越大，模擬時間間隔便可取得越大，因此混合時域有限元素與有限差分法雖然因為必須求解矩陣方程式顯得有些複雜，但其仍然佔有可以選擇較大模擬時間間隔的優勢，使得總模擬時間縮短非常多。

$$v\Delta t \leq \frac{1}{\sqrt{\left(\frac{1}{\Delta x}\right)^2 + \left(\frac{1}{\Delta y}\right)^2}} \quad (7-11)$$

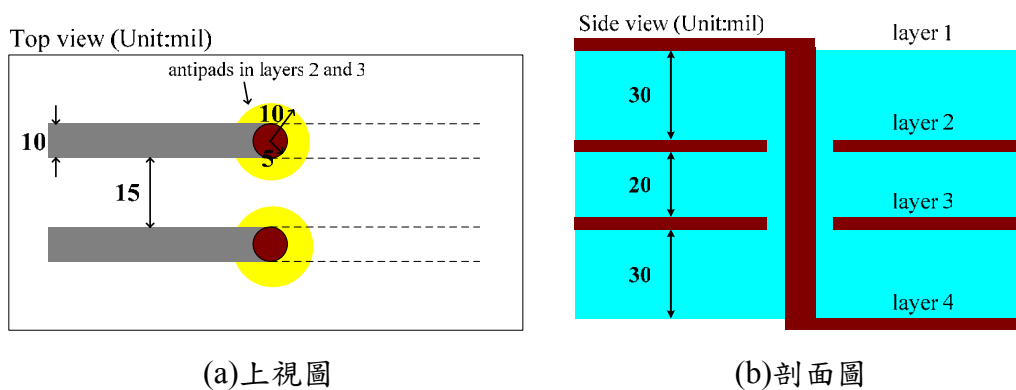


圖 7.7 圖 7.2 四層差模連通柱之模擬尺寸說明圖

表 7.1 圖 7.6 相對應之等效電路元件值(L：nH，C：fF)

Ls1	Ls2	Lm1	Lm2	Cs1	Cs2	Cm1	Cm2
0.2838	0.033	0.05	0.0058	87.77	45	17.675	15.6

表 7.2 耦合傳輸線對應之等效電路元件值(L：nH/m，C：pF/m)

Ls	Lm	Cs	Cm
577.7	201.75	54.6	14.29

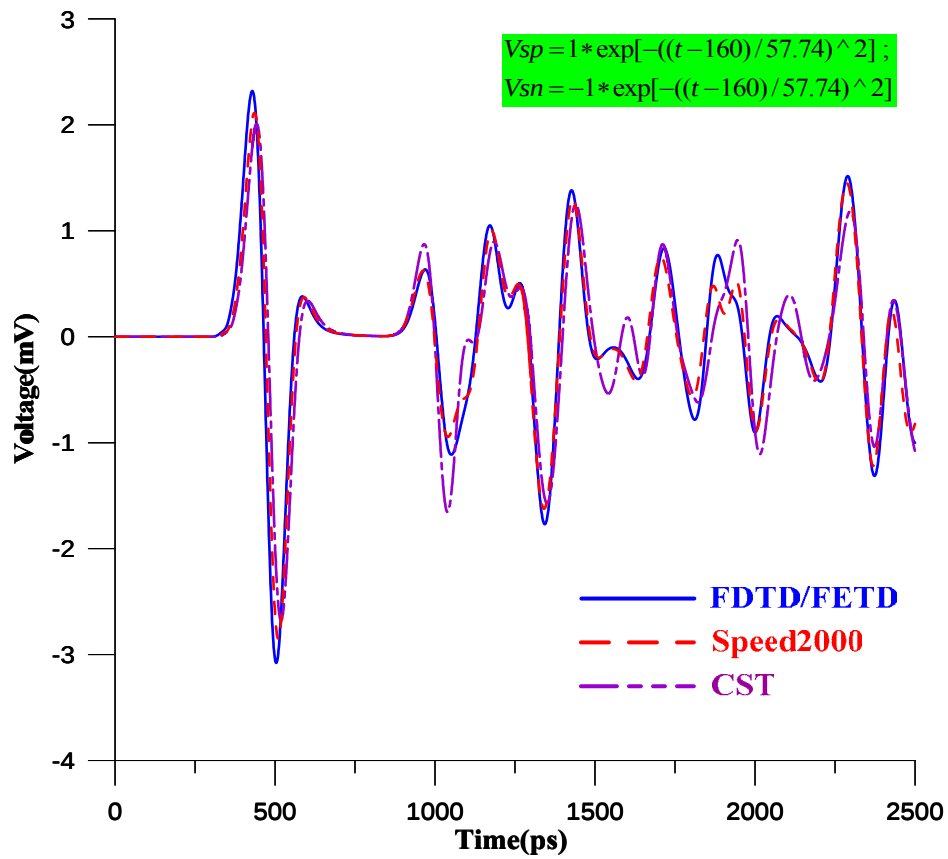


圖 7.8 差模連通柱中點上方 1cm 處接地雜訊波形圖

表 7.3 接地雜訊模擬時間比較表格

	FDTD/FETD (dx=dy=1.25mm, dt=5ps)	SpeedXP (dx=dy=0.62mm, dt=2.5ps)	CST (full-wave analysis)
模擬時間	0.9 sec	16.2 sec	more than 1hr

第八章 信號線跨越槽線的效應

8-1 單根導體微帶線跨越槽線雜訊分析

8-1-1 單根導體微帶線跨越槽線雜訊之模型

在多層板結構，為了要提供給不同元件不同的直流電壓，通常會把電源層分割成數塊。或者，板上有些較敏感的元件，為了防止接地雜訊對其產生嚴重影響，會把此元件電源層分割獨立出來，以隔絕從別處來的接地雜訊[64]。當訊號線跨過這些槽線，會有不連續的效應產生，而影響了信號完整性，因此有必要分別討論微帶線與槽線耦合的關係，及微帶線、槽線及接地雜訊三者相互耦合的關係。

為說明簡便起見，考慮單一傳輸線跨過開槽的結構，如圖 8-1。若只考慮微帶線與槽線間的耦合效應，在[65]提出微帶線及槽線皆以傳輸線來等效，仿此，吾人可在兩者交越處(cross junction)建立一個等效電路，如圖 8.2，當微帶線上信號電流流進交越處，在底下金屬面所感應的負電荷因槽線的存在造成其回流路徑被截斷；另一方面，流過交越處的電流會在另一邊的金屬板感應出負電荷，但其原本是電中性的，所以此正電荷就會跟另一邊的負電荷成對地分兩路沿著槽線邊緣的金屬流動，因此在槽線上相當有一電流源流進槽線，會在槽線此處產生一電壓差，此電壓差會反映回微帶線上，產生電壓雜訊。

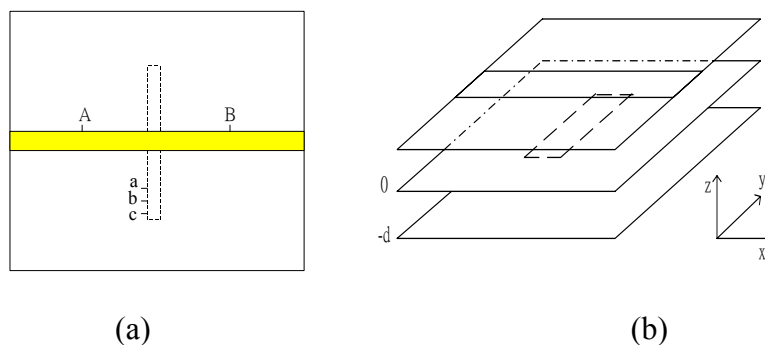
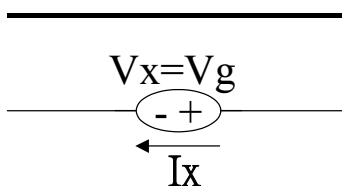


圖 8.1 典型信號線開槽結構 (a)俯視圖 (b)側視圖

At Microstrip Line:



At Slotline:

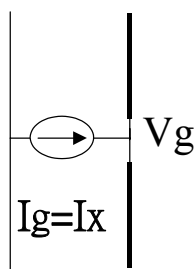


圖 8.2 微帶線及槽線交越處之等效電路

在此模擬一個 10 公分正方形板的例子，介質常數 9.7，微帶線線寬 $570\ \mu m$ ，槽線槽寬 $50\ \mu m$ ，長度 4 公分。輸入一個高斯脈波，另一邊接匹配負載，先不考慮底下的接地面，即先忽略接地雜訊的情形，吾人分別在圖 8.1(a)的 A、B 兩點擷取電壓，其結果如圖 8.3(a)，可發現當信號碰到槽線時，會先產生一個反射，之後有能量耦合到槽線上，在槽線上往兩旁傳播出去，碰到槽線兩端的短路接地後，再全反射回來，傳播到交越處有一部份能量會耦合回微帶線而產生第二個漣波(ripple)，剩餘的能量繼續在槽線上來回傳播，每過固定的週期耦合到微帶線上產生接下來多個漣波。在此分析中傳輸線假設是無損耗，所以微帶線上的漣波會一直出現，直到槽線上的能量完全耦合回微帶線為止，圖 8.3(b)為槽線上 a 點的

電壓值，可以看到電壓在槽線上來回地傳播而越來越小。

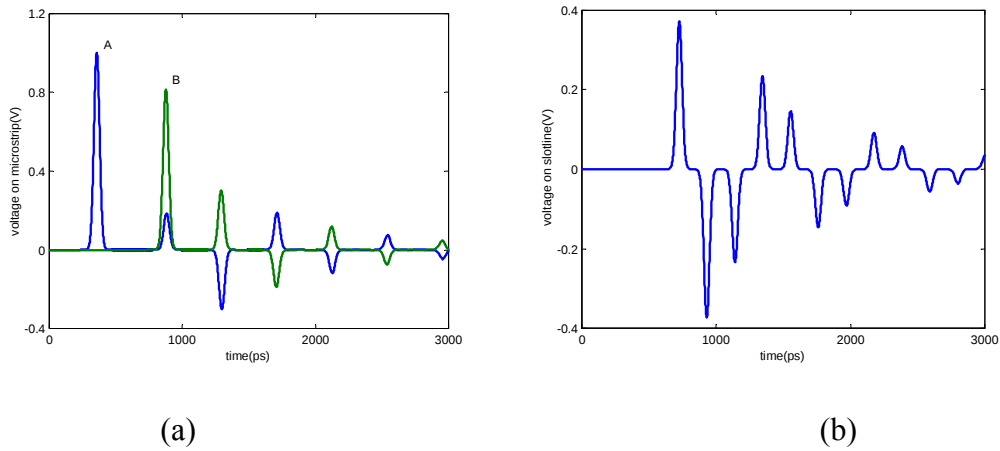


圖 8.3 不考慮電壓/接地層，(a)微帶線上 A、B 兩點及(b) 槽線上 a 點的電壓值

接著考慮在實際結構，有電源/接地層的存在，因此槽線上的能量也會耦合到電源/接地層裡，而產生接地雜訊，進而影響到周圍的電路元件，或如前節所述，透過穿孔連通柱影響到其他訊號線。為模擬此問題，將其分為區域一：微帶線與金屬上層槽線耦合，及區域二：金屬下層槽線與電源/接地層耦合，因為槽線被一分為二，區域一其槽線等效電感與電容值，需考慮有接地面的情形。微帶線的耦合模型則如同前段所述，但因考慮接地雜訊的耦合，所以每一小段傳輸線都會有從區域二平板區耦合過來的等效電流源，其等效電路如圖 8.4

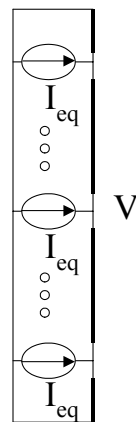


圖 8.4 包含電源/接地層，區域一槽線上之等效電路

為分析此一問題，吾人令 $I_{\mu strip}((i + \frac{1}{2})\Delta x, t)$ 及 $V_{\mu strip}(i\Delta x, t)$ 表示在微帶線上之電流與電壓，而 $I_{slot}((j + \frac{1}{2})\Delta y, t)$ 及 $V_{slot}(j\Delta y, t)$ 表示在槽線上的電流與電壓。假設此兩傳輸線交錯於 $x = (i_0 + \frac{1}{2})\Delta x$ 及 $y = j_0\Delta y$ 之位置，則利用中差法近似電報方程式，可得微帶線上電壓電流滿足

$$L_{\mu strip}\Delta x \frac{d}{dt} I_{\mu strip}((i + \frac{1}{2})\Delta x, t) = V_{\mu strip}(i\Delta x, t) - V_{\mu strip}((i + 1)\Delta x, t) - V_{slot}(j_0\Delta y, t)\delta_{i, i_0} \quad (8-1a)$$

$$C_{\mu strip}\Delta x \frac{d}{dt} V_{\mu strip}(i\Delta x, t) = I_{\mu strip}((i - \frac{1}{2})\Delta x, t) - I_{\mu strip}((i + \frac{1}{2})\Delta x, t) \quad (8-1b)$$

而槽線上電壓電流滿足

$$L_{slot}\Delta y \frac{d}{dt} I_{slot}((j + \frac{1}{2})\Delta y, t) = V_{slot}(j\Delta y, t) - V_{slot}((j + 1)\Delta y, t) \quad (8-2a)$$

$$C_{slot}\Delta y \frac{d}{dt} V_{slot}(j\Delta y, t) = I_{slot}((j - \frac{1}{2})\Delta y, t) - I_{slot}((j + \frac{1}{2})\Delta y, t) + I_{\mu strip}((i_0 + \frac{1}{2})\Delta x, t)\delta_{j, j_0} \quad (8-2b)$$

其中 $\delta_{i, i_0} = 1$ 如果 $i = i_0$ ， $\delta_{i, i_0} = 0$ 如果 $i \neq i_0$ ，對於 δ_{j, j_0} 也是類似定義。另外(4.7)

式中之 $L_{\mu strip}$ 與 $C_{\mu strip}$ 代表微帶線之單位長度電感與電容，而(8-2)式中 L_{slot} 與 C_{slot}

則為槽線之單位長度電感與電容。

但槽線下方其實為平行板，兩平行板間之電壓雜訊，可以看成是在槽線上有一等效電流所造成；反之，平行板間電壓雜訊亦會造成槽線上等效電流源，故槽線的疊代式(8-2b)需修正為

$$C_{slot}\Delta y \frac{d}{dt} V_{slot}(j\Delta y, t) = I_{slot}((j - \frac{1}{2})\Delta y, t) - I_{slot}((j + \frac{1}{2})\Delta y, t) + I_{\mu strip}((i_0 + \frac{1}{2})\Delta x, t)\delta_{j, j_0} + I_{eq}(j\Delta y, t) \quad (8-3)$$

注意，此處 L_{slot} 及 C_{slot} 是有接地面存在時槽線之傳輸線等效電感與電容，與(8-2)式中之單純槽線電感電容值不同。

而在區域二，將槽線安排在電源/接地層 FDTD 的磁場網格上，如圖

8.5。令區域中之電磁場為 $E_z(x,y,t)$, $H_x(x,y,t)$ 及 $H_y(x,y,t)$, 則式(8-3)中由區域二之影響所等效的電流為

$$I_{eq}(j\Delta y, t) = -H_y((i_0 + \frac{1}{2})\Delta x, j\Delta y, t)\Delta y \quad (8-4)$$

在此區域內，有槽線分布的網格上， z 方向的電場和 x 方向的磁場的疊代置換與無槽線網格處的相同，亦即

$$\varepsilon\Delta x\Delta y \frac{d}{dt} E_z(i\Delta x, j\Delta y, t) = \Delta y (H_y((i + \frac{1}{2})\Delta x, j\Delta y, t) - H_y((i - \frac{1}{2})\Delta x, j\Delta y, t))$$

$$- \Delta x (H_x(i\Delta x, (j + \frac{1}{2})\Delta y, t) - H_x(i\Delta x, (j - \frac{1}{2})\Delta y, t))$$

(8-5)

$$\mu d\Delta y \cdot \frac{d}{dt} H_x(i\Delta x, (j + \frac{1}{2})\Delta y, t) = d \cdot [E_z(i\Delta x, (j + 1)\Delta y, t) - E_z(i\Delta x, j\Delta y, t)]$$

(8-6)

但 y 方向的磁場因槽線的出現，當其上有電壓傳播時，會產生 x 方向的電場，此電場就會耦合進入電源/接地層，因此 y 方向磁場的疊代要改寫如下

$$\mu \frac{\partial}{\partial t} H_y((i + \frac{1}{2})\Delta x, j\Delta y, t)\Delta x \cdot d = [E_z((i + 1)\Delta x, j\Delta y, t) - E_z(i\Delta x, j\Delta y, t)]d + V_{slot}(j\Delta y, t)\delta_{i,i0}$$

(8-7)

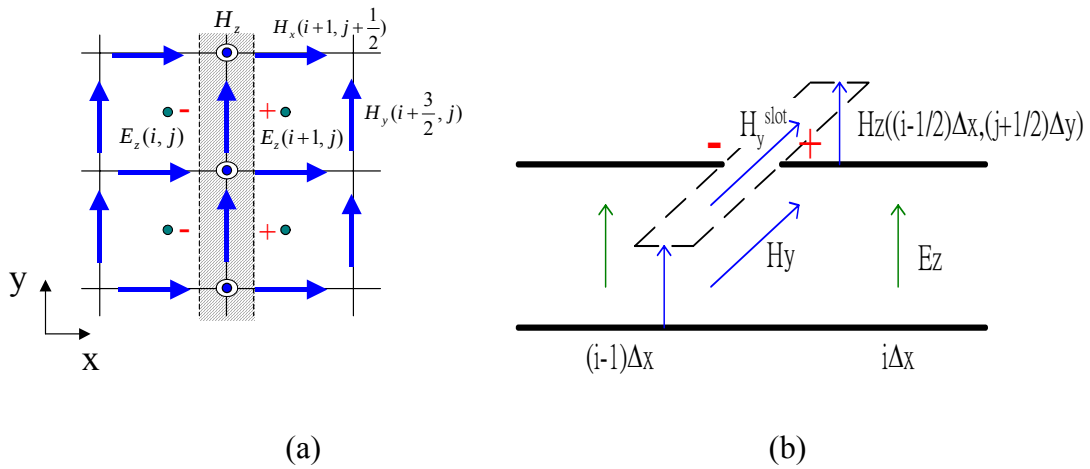
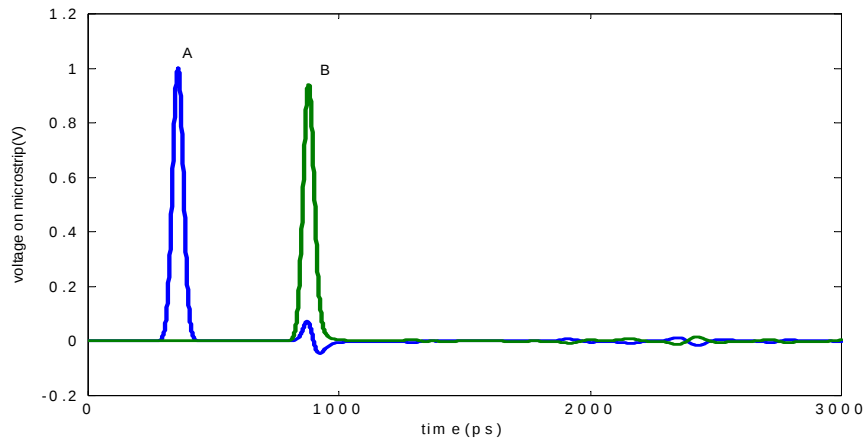


圖 8.5 FDTD 網格在槽線處之場分布 (a)俯視圖 (b)側視圖

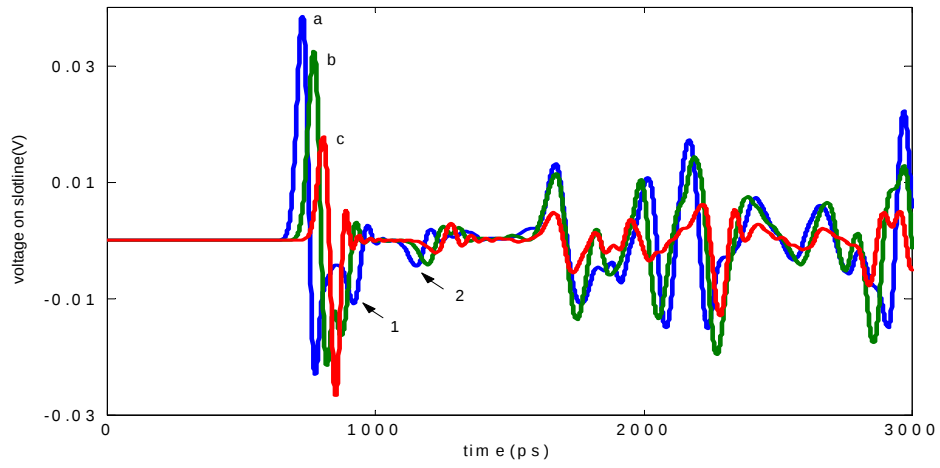
由式(8-4)-(8-7)可以看出槽線與電源/接地層之間的交互關係，再與之前只考慮微帶線與槽線耦合的關係式(8-1)結合，就可以得到三者之間交互作用的耦合關係。

8-1-2 單根導體微帶線跨越槽線雜訊之模擬

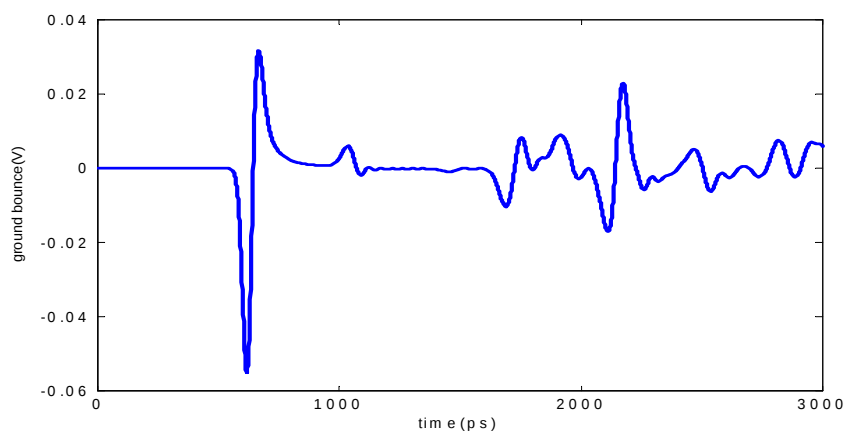
以一個例子來說明，如圖 8.1 的結構，取一 10cm 的正方形板，兩層介質的介電常數皆為 9.7，上層介質層高度為 $635\ \mu\text{m}$ ，下層介質層高度為 $150\ \mu\text{m}$ ，微帶線左右對稱置於第一層板中心，線寬為 $570\ \mu\text{m}$ ，槽線左右對稱置於第二層板中心，槽寬 $50\ \mu\text{m}$ 。圖 8.6(a)為在微帶線上 A、B 兩點的電壓值，可發現其遭遇槽線所產生的反射電壓，較不考慮電壓/接地層的結果小了一半以上，這是因為耦合到槽線上的能量又會耦合進入電壓/接地層，所以會再回到微帶線上的能量就比較小，因此所產生的反射電壓就較小，另外，在遲時響應可見到一些漣波出現，這些漣波是由於耦合到電壓/接地層的接地雜訊碰到板子的邊緣反射回來後，藉由槽線又耦合回微帶線所產生的。圖 8.6(b)為在槽線上 a、b、c 三點的電壓值，可發現能量在槽線上傳播時，有不小的能量一直耦合進入電壓/接地層，所以槽線上的電壓會隨著距離漸漸地變小；圖上標示 1 為電壓碰到槽線邊緣接地所產生的反射，標示 2 為槽線另一邊碰到邊緣接地後反彈過來的電壓，其後的遲時響應，為接地雜訊所產生。圖 8.6(c)為微帶線與槽線交越處，電壓/接地層間的雜訊電壓值。



(a)



(b)



(c)

圖 8.6 考慮電壓/接地層，(a) 微帶線上 A、B 兩點，(b) 槽線上 a、b、c 三點，

與(c) 微帶線與槽線交越處接地雜訊的電壓值

8-2 槽線模型

在(8-3)式需要用到槽線的單位長度電感與電容，雖然槽線的特徵阻抗可以由文獻上的近似公式得出[66]，但其公式是適用於 $\epsilon_r=9.7$ 且無接地層的情形，因此我們將利用 CAP 程式來求其近似的阻抗值[27]。考慮有一個槽線金屬寬度有限(為 ℓ)之槽線結構如圖 8.7(a)所示，其等效電容網路如(b)所示，其中除 C_{slot} 為槽線電容外， $C_{pp} \cdot \ell$ 是平行板電容，而 C_{fringe} 是由有限槽線金屬寬度端點造成之 fringe 效果。

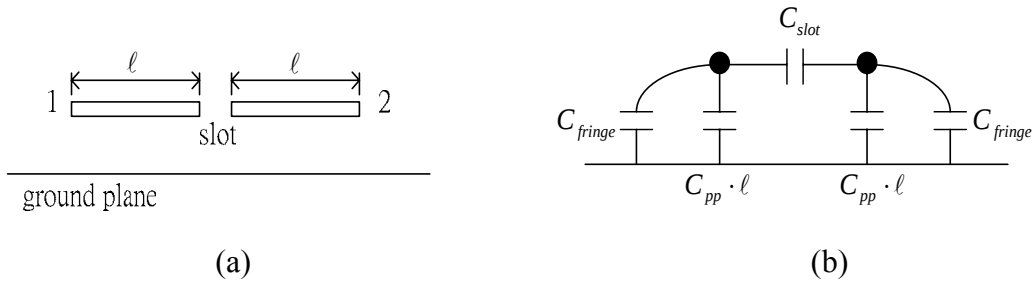


圖 8.7 (a) 槽線結構與(b)其等效電容網路

此一結構用 CAP 計算，結果為如下形式

$$\begin{bmatrix} Q_1 \\ Q_2 \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (8-8)$$

兩者相比，可得 $C_{11} = C_{slot} + C_{fringe} + C_{pp} \cdot \ell$ ，而開槽部分電容可由 $C_{slot} = -C_{12} = |C_{12}|$ 直接得出。

至於開槽部分的電感，可以利用電感不受介電質狀況之影響，而且在自由空間下傳輸線電感滿足

$$L_{slot} \cdot C_{slot,0} = \mu_0 \epsilon_0 \quad (8-9)$$

其中 $C_{slot,0}$ 即是當 slot 周圍之介質為空氣時的 slot 等效電容，因此 L_{slot} 可以求出，

而最後可得特徵阻抗

$$Z_{slot} = \sqrt{\frac{L_{slot}}{C_{slot}}} \quad (8-10)$$

根據上述的方法，我們針對圖 8.8，執行 CAP 程式，以探討 w/d , g/w ,以及考慮金屬厚度 t 對槽線阻抗的影響圖形。其結果如圖 8.9 及 8.10 所示。由圖 8.9 可知，當槽線越寬則其等效阻抗則越大；由圖 8.10 可知當金屬厚度越薄則槽線等效阻抗越大。圖 8.10 之槽線阻抗圖便可以提供設計者對於不同的 g/w , t/d , w/d 來找出其等效的槽線阻抗。

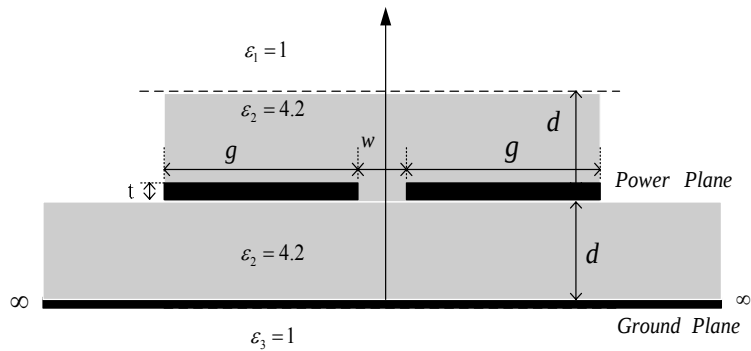


圖 8.8 用以計算之槽線結構示意圖

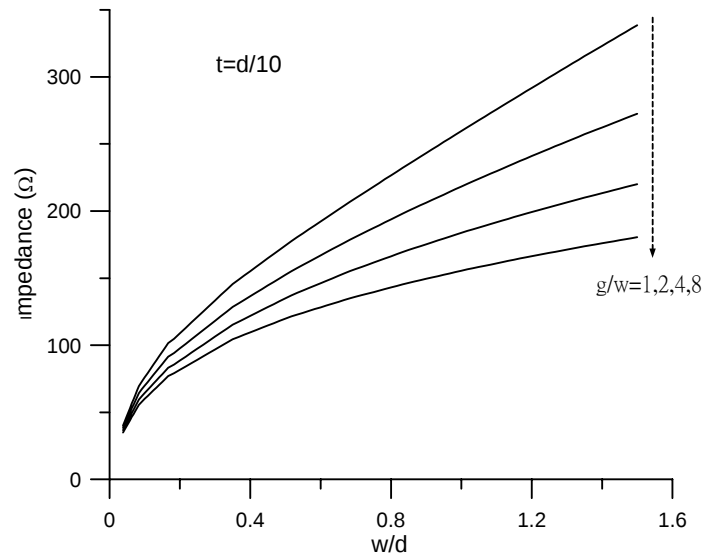


圖 8.9 在 $t=d/10$ 與 $g/w=1,2,4,8$ 時之槽線阻抗圖

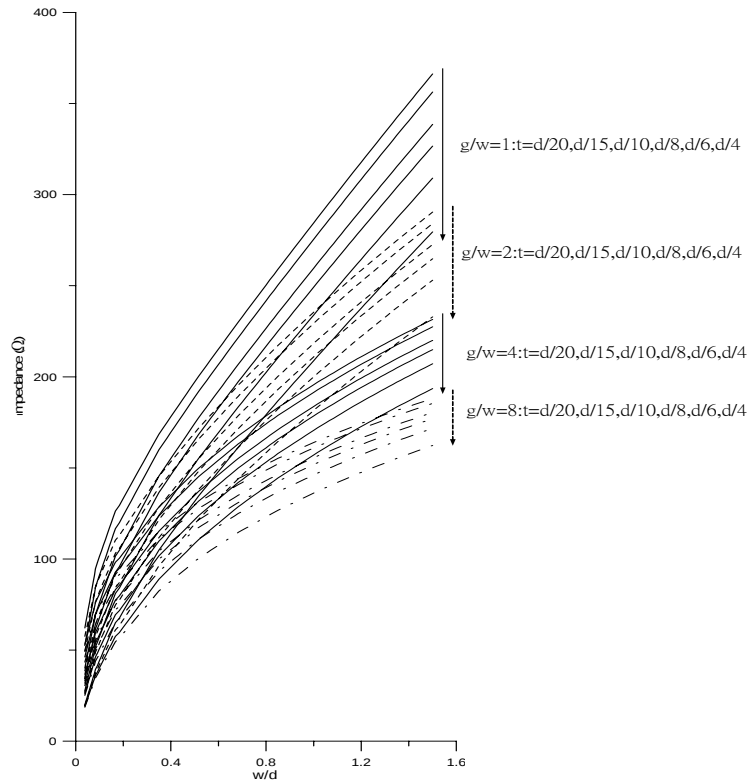


圖 8.10 槽線阻抗與幾何結構關係圖

8-3 差模耦合微帶線跨越槽線雜訊分析

8-3-1 差模耦合微帶線跨越槽線雜訊之模型

在 8-1 節中，吾人對於單根微帶線跨越槽線的效應建立了一個簡單、有效率模型，進而對於接地雜訊有更進一步的了解；接下來將考慮差模耦合微帶線跨越槽線的效應，其結構圖如圖 8.11。

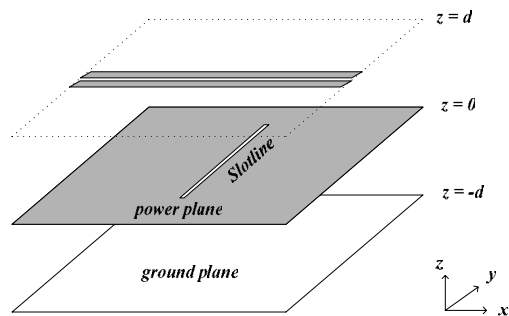


圖 8.11 差模耦合微帶線跨越槽線之典型結構示意圖

在模擬此一問題時，吾人可以直接引用 8-1 節所述的模型，唯一不同是需將微帶線的傳輸線模型改成耦合微帶線的傳輸線模型，並在跨越槽線交越處需考慮到 FDTD 網格的切割數與槽線的傳輸線模型的分割數。設此處耦合線在 $x = (i_0 + \frac{1}{2})\Delta x$ ，而 y 分別在 $j_1\Delta y$ 及 $j_2\Delta y$ 處，因此在考慮耦合微帶線傳輸線模型時，將其電報方程式以中間差分法形式仿(8-1)式改寫成：

$$\Delta x \frac{d}{dt} \bar{V}_{\mu\text{strip}}(i\Delta x, t) = [C]^{-1} \cdot [\bar{I}_{\mu\text{strip}}((i-1/2)\Delta x, t) - \bar{I}_{\mu\text{strip}}((i+1/2)\Delta x, t)] \quad (8-11a)$$

$$\Delta x \frac{d}{dt} \bar{I}_{\mu\text{strip}}((i+1/2)\Delta x, t) = [L]^{-1} \cdot [\bar{V}_{\mu\text{strip}}(i\Delta x, t) - \bar{V}_{\mu\text{strip}}((i+1)\Delta x, t) - \bar{V}_{\text{slot},0} \cdot \delta_{i,i_0}] \quad (8-11b)$$

其中

$$\bar{V}_{\mu\text{strip}} \equiv \begin{bmatrix} V_{\mu\text{strip},1} \\ V_{\mu\text{strip},2} \end{bmatrix}; \quad \bar{I}_{\mu\text{strip}} \equiv \begin{bmatrix} I_{\mu\text{strip},1} \\ I_{\mu\text{strip},2} \end{bmatrix}; \quad \bar{V}_{\text{slot},0} \equiv \begin{bmatrix} V_{\text{slot}}(j_1\Delta y, t) \\ V_{\text{slot}}(j_2\Delta y, t) \end{bmatrix};$$

$$[C]^{-1} = \frac{1}{C_s^2 + 2C_s C_m} \begin{bmatrix} C_m + C_s & C_m \\ C_m & C_m + C_s \end{bmatrix}; \quad [L]^{-1} = \frac{1}{L_s^2 - L_m^2} \begin{bmatrix} L_s & -L_m \\ -L_m & L_s \end{bmatrix}$$

$V_{\mu\text{strip},1}$ 、 $V_{\mu\text{strip},2}$ 、 $I_{\mu\text{strip},1}$ 與 $I_{\mu\text{strip},2}$ 分別為耦合微帶線上兩根導線上的電壓與電流，

V_{slot} 為槽線上的電壓，其模型的示意圖如圖 8.12 所示，因此槽線上電報方程式仿式(8-3)以差分形式可表為：

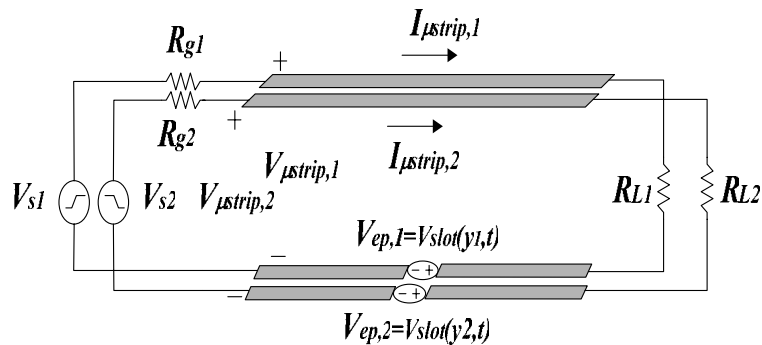


圖 8.12 耦合微帶線跨槽線處的等效模型

$$C_{\text{slot}} \Delta y \frac{d}{dt} V_{\text{slot}}(j\Delta y, t) \cong -H_y((i_0 + \frac{1}{2})\Delta x, j\Delta y, t)\Delta y - I_{\text{slot}}((j + \frac{1}{2})\Delta y, t) + I_{\text{slot}}((j - \frac{1}{2})\Delta y, t) \\ + I_{\mu\text{strip},1}(i_0\Delta x, t)\delta_{j,j_1} + I_{\mu\text{strip},2}(i_0\Delta x, t)\delta_{j,j_2} \quad (8-12a)$$

$$L_{\text{slot}} \Delta y \frac{d}{dt} I_{\text{slot}}((j + \frac{1}{2})\Delta y, t) = V_{\text{slot}}(j\Delta y, t) - V_{\text{slot}}((j + 1)\Delta y, t) \quad (8-12b)$$

其中， L_{slot} 與 C_{slot} 分別為槽線上每單位長度的等效電感與電容，而在 y 方向的磁場 H_y 則可由 E_z 與 V_{slot} ，由下式疊代得到；

$$\mu \frac{\partial}{\partial t} H_y((i + \frac{1}{2})\Delta x, j\Delta y, t)\Delta x \cdot d = [E_z((i + 1)\Delta x, j\Delta y, t) - E_z(i\Delta x, j\Delta y, t)]d + V_{\text{slot}}(j\Delta y, t) \quad (8-13)$$

而 z 方向電場及 x 方向磁場的疊代則沒有改變，仍如式(8-11)及(8-12)所示。

至於在時進(time marching)模擬上，假設前面時刻之值已知，分別令為 $\bar{I}_{\mu\text{strip}}^{n-\frac{1}{2}}$ 、 $I_{\text{slot}}^{n-\frac{1}{2}}$ 、 $H_x^{n-\frac{1}{2}}$ 、 $H_y^{n-\frac{1}{2}}$ 、 E_z^n 、 $\bar{V}_{\mu\text{strip}}^n$ 與 $\bar{V}_{\text{slot}}^n$ ，其中上標 n 及 $n-\frac{1}{2}$ 表示在時刻 $t = n \cdot \Delta t$ 及 $(n-\frac{1}{2})\Delta t$ 之

值。則由式(8-11b)、(8-12b)、(8-13)、(8-5)可分別得到更新之 $\bar{I}_{\mu\text{strip}}^{n+\frac{1}{2}}$ 、 $I_{\text{slot}}^{n+\frac{1}{2}}$ 、 $H_y^{n+\frac{1}{2}}$ 、 $H_x^{n+\frac{1}{2}}$ ；而再代入式(8-11a)、(8-12a)、(8-6)，可以得到更新之 $\bar{V}_{\mu\text{strip}}^{n+1}$ 、 $\bar{V}_{\text{slot}}^{n+1}$ 、 E_z^{n+1} 。

依此類推，便可把此問題的各場量隨時間變化得出來。

8-3-2 差模耦合微帶線跨越槽線雜訊之模擬

為了與單根微帶線做比較，因此根據圖 8.1 的幾何結構設計了三種不同耦合量的差模微帶線結構，如圖 8.13 與表 8.1 所示。圖 8.13(a)中之相關尺寸為 10 公分的正方形板，介質常數 9.7，槽線槽寬 $50 \mu m$ ，長度 4 公分，輸入一個高斯脈波，另一邊接匹配負載。

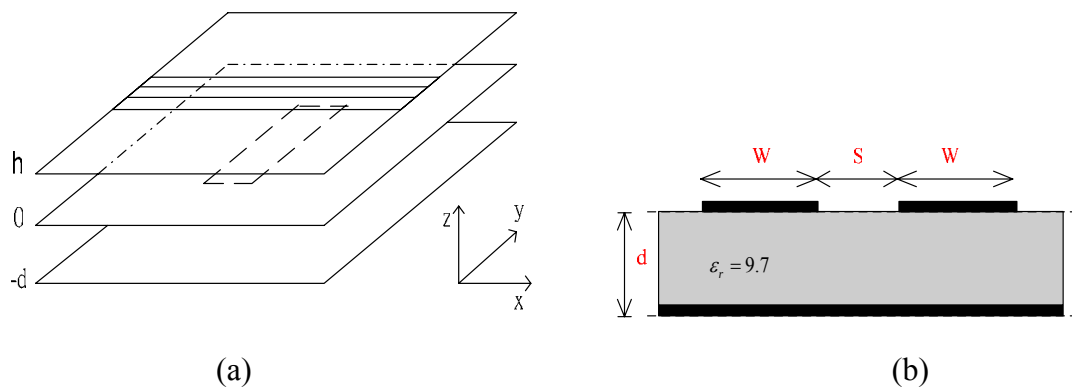


圖 8.13 差模耦合微帶線之幾何結構示意圖

將針對 case1，在其中一條微帶線上 A、B 兩點電壓與槽線上 a、b、c 點上的電壓來觀測，其中各觀測點的位置如圖 8.15 所示，而結果如圖 8.15。圖 8.15(a)為在耦合微帶線上 A、B 兩點的電壓值，同 8-1 節的原理，可發現其遭遇槽線所產生的反射電壓，比圖 8.6(a)單根微帶線時的結果小了很多，這是因為差模耦合為帶線耦合到槽線上的電壓會互相抵消而變小，所以會再回到差模耦合微帶線上的電壓就比較小，因此所產生的反射電壓就較小。另外，在遲時響應可見到一些漣波出現，這些漣波是由於耦合到電壓/接地層的接地雜訊碰到板子的邊緣反射回來後，藉由槽線又耦合回微帶線所產生的。

	w(mm)	s(mm)	w+s(mm)	Zodd(Ω)	Zeven(Ω)	耦合係數 k	k(dB)
case1	0.25	0.25	0.50	50.2372	94.3925	0.305	-5.1527
case2	0.38	0.50	0.88	51.0412	73.4948	0.180	-7.4401
case3	0.50	1.00	1.50	51.0732	60.1518	0.082	-10.882

表 8.1 三種不同耦合量之差模耦合微帶線相關特性參數表

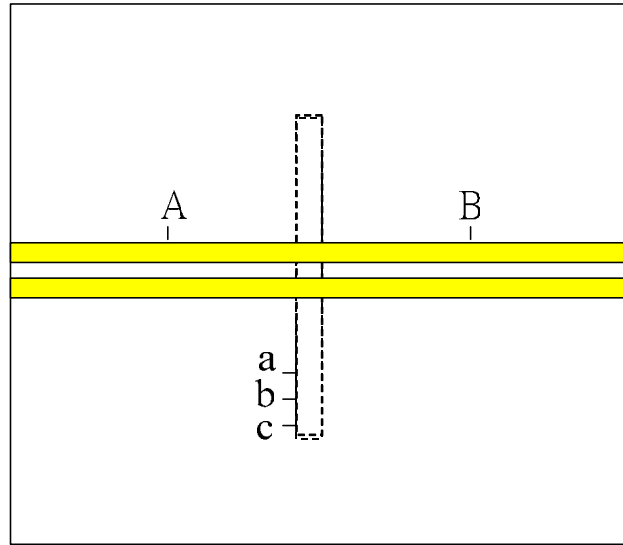
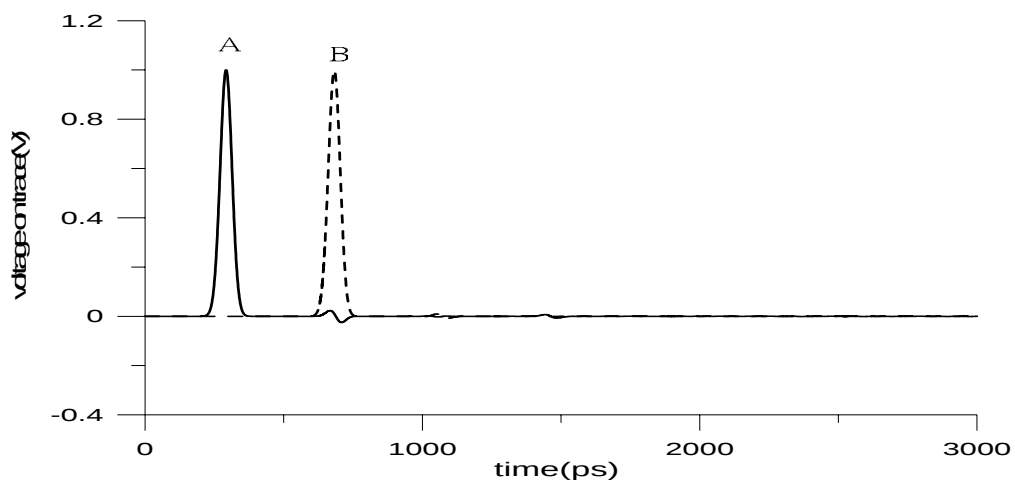
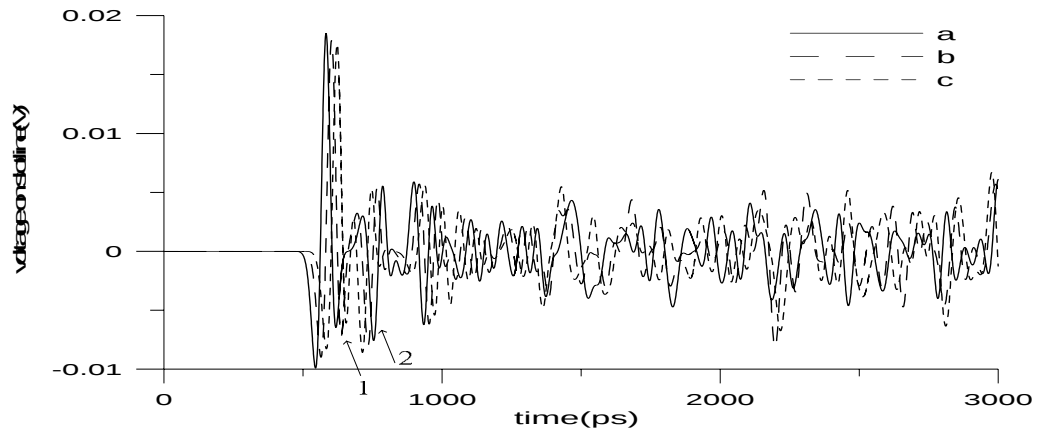


圖 8.14 差模耦合微帶線跨越槽線結構之上視圖

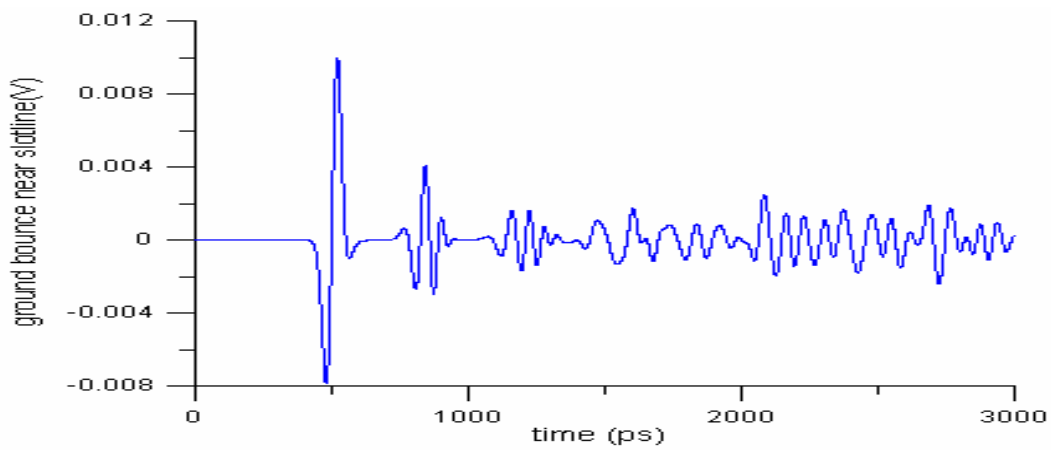
圖 8.15(b)為在槽線上 a、b、c 三點的電壓值，可發現能量在槽線上傳播時，有不小的能量一直耦合進入電壓/接地層，所以槽線上的電壓會隨著距離漸漸地變小；圖上標示 1 為電壓碰到槽線邊緣接地所產生的反射，標示 2 為槽線另一邊碰到邊緣接地後反彈過來的電壓，其後的遲時響應，為接地雜訊所產生。圖 8.15(c)則為 case1，耦合係數為 0.305 時在跨越處的接地雜訊。



(a)



(b)



(c)

圖 8.15 差模耦合微帶線上(a) A、B 兩點, (b) a, b, c 三點, 及(c) 微帶線上與槽線交越處接地雜訊的電壓值

圖 8.16 則為三種 case 下接地雜訊電壓值之比較圖，由圖可知當差模微帶線之耦合係數越大時，其所引發的接地雜訊將降低，其關係如圖 8.17 所示。在圖 8.10(c) 中，單根微帶線跨越槽線所引發的接地雜訊約為輸入信號振幅的 5%，而由表 8.2 中可看出知當使用差模耦合微帶線時，跨越槽線所引發的接地雜訊將大大地降低。

					ground bounce	
	w	s	w+s	coupling factor, k	Vpp	%
case1	0.25mm	0.25mm	0.50mm	0.305	0.0178	0.89%
case2	0.38mm	0.50mm	0.88mm	0.180	0.0342	1.71%
case3	0.50mm	1.00mm	1.50mm	0.082	0.0495	8.42%

表 8.2 三種不同耦合量差模耦合微帶線與接地雜訊比較表

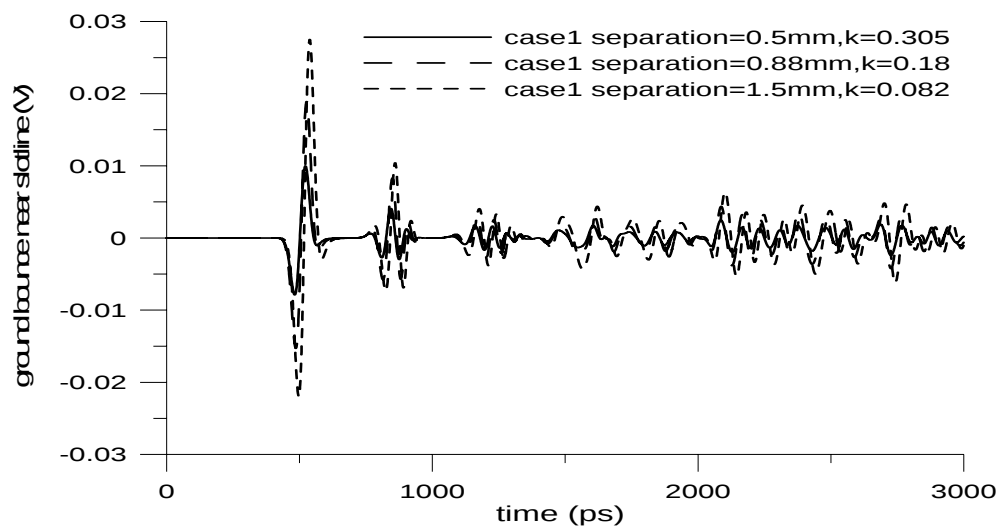


圖 8.16 差模耦合微帶線上與槽線交越處的接地雜訊電壓值 3 種 case 之比較

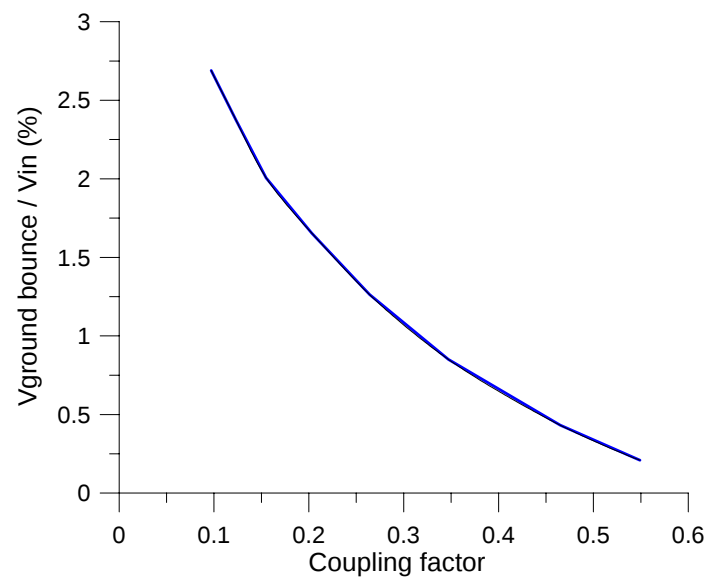
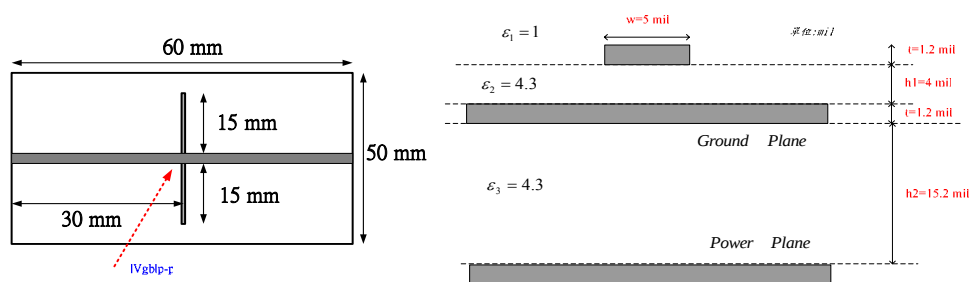
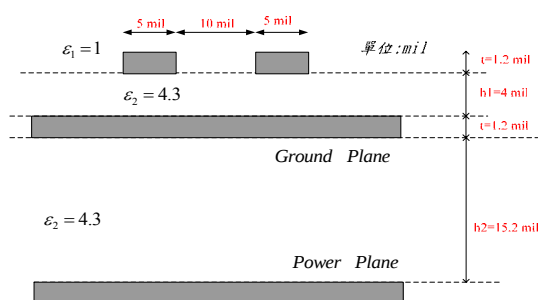


圖 8.17 差模耦合微帶線上與槽線交越處的接地雜訊電壓與輸入電壓振幅百分比

另外，吾人也將針對單根與差模微帶線跨越不同寬度的槽線所引發的接地雜訊的大小進行模擬分析，模擬結構示意圖，如圖 8.18 所示。因差模微帶線跨越槽線所引發的接地雜訊比單根所引發的接地雜訊小的許多，意即使用差模微帶線有大大抑制由單根跨越槽線所引發的接地雜訊。而由圖 8.19(b)可以看出當槽線寬度漸漸變寬時，其所引發的接地雜訊也漸漸增加，但是並非呈現線性等比例成長，而是呈現漸漸趨於一飽和值，其原因可由圖 8.20 來了解，當槽線越寬時 C_{slot} 就越小，而電流回流成分則會漸漸由 I_{slot} 轉至 I_{gnd} ，當 I_{gnd} 越大時則接地雜訊也將越大，但是當槽線寬度一直增加時， I_{gnd} 將趨於一飽和值，因此接地雜訊並不會隨著槽線寬度的增加而呈線性成長。



(a)單根導體微帶線

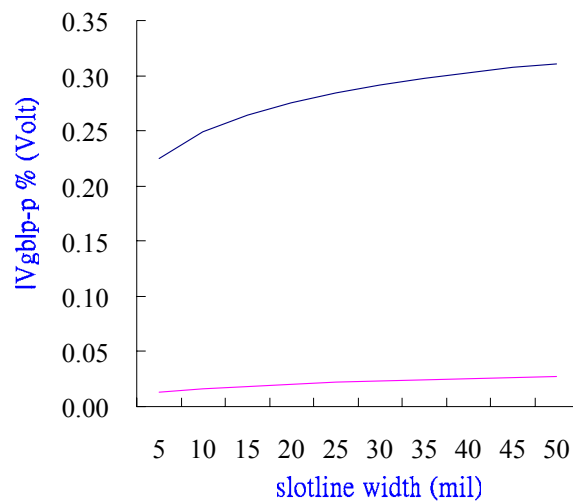


(b)差模耦合微帶線

圖 8.18 單根導體微帶線與差模耦合帶線跨越槽線模擬結構示意圖

slot width	single	differential	
w(mil)	Vgb(p-p)	Vgb(p-p)	times
5	22.496%	1.327%	16.953
10	24.927%	1.602%	15.560
15	26.422%	1.842%	14.344
20	27.528%	2.018%	13.641
25	28.409%	2.169%	13.098
30	29.137%	2.302%	12.657
35	29.749%	2.419%	12.298
40	30.270%	2.523%	11.998
45	30.716%	2.614%	11.751
50	31.098%	2.694%	11.543
average			13.384

(a)



(b)

圖 8.19 微帶線跨越槽線所引發接地雜訊大小與槽線寬度之模擬結果關係圖表

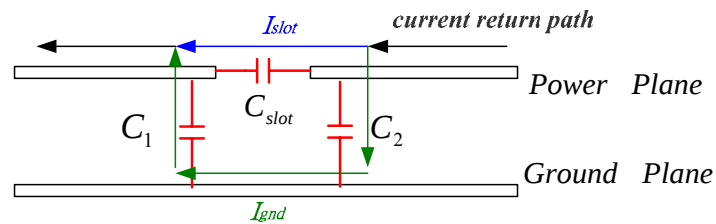


圖 8.20 微帶信號線跨越槽線寬度與接地雜訊大小關係說明示意圖

8-3-3 差模耦合微帶線跨越槽線抑制接地雜訊之原理與模擬

差模微帶線可以有效降低導線在跨越槽線時引發的接地雜訊，其原理可以用如圖 8.21 的簡易模型來說明。圖中兩條粗虛線所形成的長方形，代表差模微帶線之兩條 trace，正的激勵電壓將在 trace 的正下方槽線上感應一個正的槽線電壓 $f(t)$ ，然而負的激勵電壓將在 trace 的正下方槽線上感應一個負的槽線電壓 $-f(t-\tau)$ ；此二電壓將分別在 trace 正下方引發之後均分別往槽線的兩端傳播，而這兩個由單根 trace 引發的正負電壓經傳播之後，將互相有所抵消，因此使得最後槽線上的電壓將大大的降低，因而也使接地雜訊變小了；而抵消成份的大小也將由兩 trace 的間距來決定。

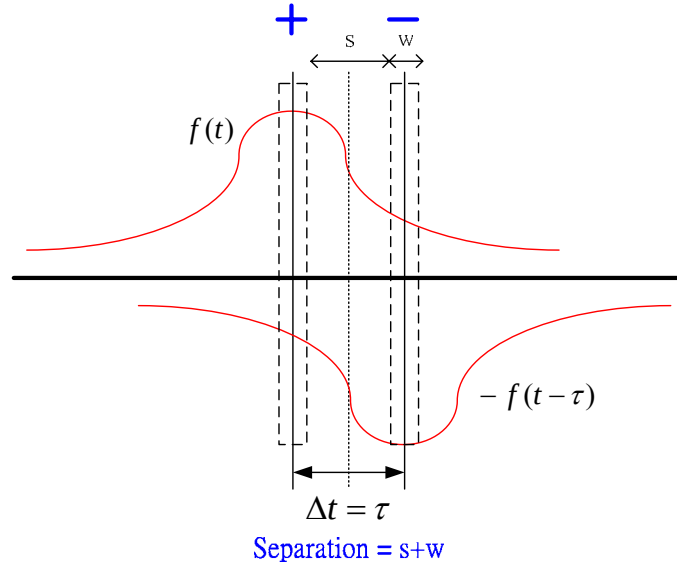


圖 8.21 差模耦合微帶線降低所引發接地雜訊原理之簡易模型

定量地說明，由圖 8.21 可知槽線上電壓需傳播 $s+w$ 的距離才發生極大值的抵消作用，而這段距離波傳播所需的時間為

$$\tau = \frac{\text{separation}}{v_{\text{slot}}}, \quad v_{\text{slot}} = \frac{c}{\sqrt{\epsilon_r}} \quad (8-14)$$

當差模傳輸線的兩根導線距離很小時，兩電壓波合成後所得到之訊號可以由下式表示

$$g(t) = f(t) - f(t-\tau) \approx \tau \times f'(t) \quad (8-15)$$

即當兩 trace 十分接近時，兩個引發的正負槽線電壓波之合成，可以視為在單根時所引發之槽線電壓波的微分(即為每一點之切線斜率)，然後再乘上電壓波走兩 trace 間距所需的時間，也就是說此時間將影響合成後電壓波的振幅大小；如圖 8.22 所示。

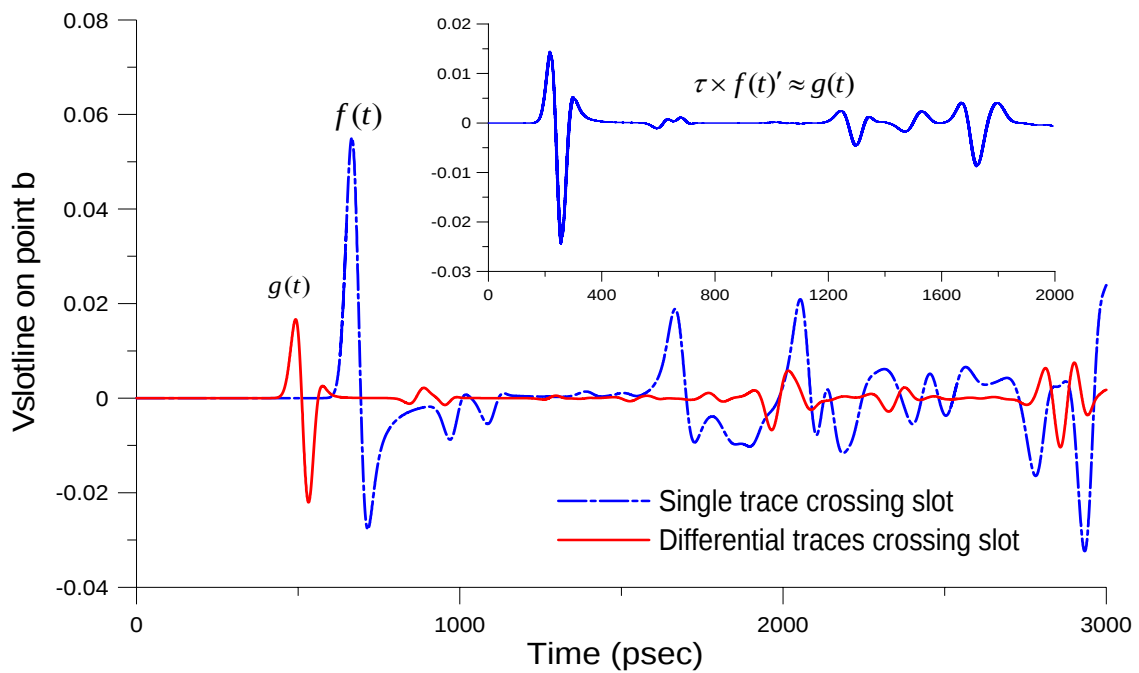


圖 8.22 差模耦合微帶線降低所引發接地雜訊原理之簡易模型驗證圖

由於差模耦合的迴流路徑可以走旁邊的導線或是兩導線中間的虛接地，故從下方金屬層的回流成分將大大降低，因此當差模耦合微帶線遇到下方金屬層不連續時所呈現的不連續效應將比單根導體時大大降低，也就是不連續的反射波形將大大降低，如圖 8.23 所示。而圖中，初期的反射波形是由於槽線的不連續結構所造成，而遲時則時由於接地雜訊反彈透過槽線感應到導線上所造成。

同步與差模信號的交越點是差模信號傳輸時極為重要的特性，而差模傳輸線跨越槽線所引發的接地雜訊除了視耦合線的耦合係數外，兩信號的時間偏差 (time skew) 也將會影響差模耦合微帶線抑制接地雜訊的效能，而由圖 8.24 的

模擬結果可以知道，而當耦合係數不變而兩信號的時間偏差越大時，所引發的接地雜訊也幾乎呈現線性漸漸變大，當時間偏差大於約 50~60% 之後，接地雜訊的變化漸漸呈現飽和狀態。另外耦合係數為 0.082(弱耦合)且當時間偏差很大時，其所引發的接地雜訊與單根時所引發的將差不多的，所以在微弱耦合且 skew 太大時則差模耦合導線抑制接地雜訊的效能將大大降低。

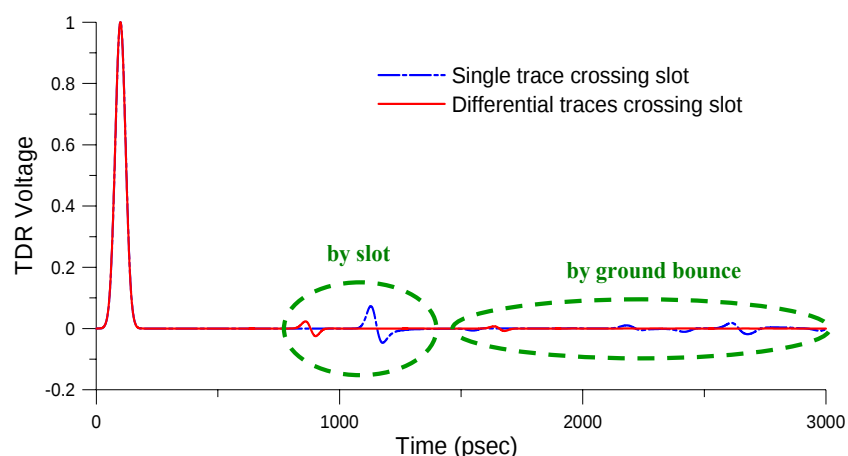


圖 8.23 單根導體與差模耦合微帶線跨越槽線之信號上的反射波形比較圖

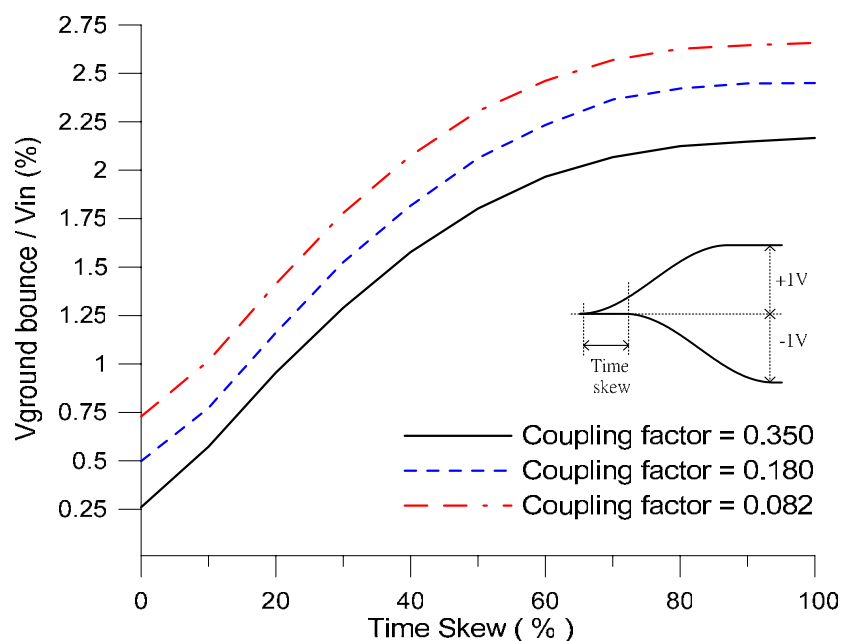


圖 8.24 差模耦合微帶線跨越槽線所引發接地雜訊與兩信號的時間偏差關係圖

8-4 帶線跨越槽線雜訊模型之修正與模擬

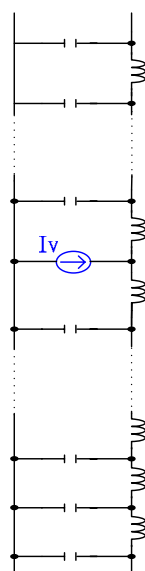
在微帶線結構中，電流的回流是完全走下方之金屬為迴流路徑(如圖 8.25 a 所示)，因此微帶線的模型中，跨越處導線上的電流將完全感應到槽線上為一電流源去驅使槽線電壓；而在帶線時，由於迴流路徑可以走上或下的金屬(如圖 8.25b 所示)，因此可以將導線上的電流大小再乘上一個電容分流的公式之後才可以為感應到槽線上的電流源。然分流後流過不連續金屬面的電流大小，將視帶線的幾何結構而定，意即 $C1$ 與 $C2$ 的大小則是由幾何結構決定的，因此一般帶線的導線將較接近接地層金屬面，使得較少的迴流成份走不連續的電源層，亦可以達到抑制接地雜訊。另外差模耦合帶線的模型修正公式亦是如此。



(a) 微帶線跨越槽線處迴流路徑示意圖

(b) 帶線跨越槽線處迴流路徑示意圖

意圖



(C) 槽線模型

圖 8.25 微帶與帶線跨越槽線處迴流路徑示意圖與槽線模型

根據上述模型修正的方法，我們將針對圖 8.26 英業達公司 PCB 結構尺寸之單根導體與差模耦合帶線跨越槽線之結構進行其引發接地雜訊大小的模擬，並也針對不同的槽線寬度進行模擬分析。由圖 8.27(a)可以知道，使用差模帶線結構佈線較單根帶線結構抑制其因跨越槽線所引發接地雜訊大約達 10 倍之多；而由圖 8.27(b)可知，槽線寬度越寬則其所引發接地雜訊就越大，但呈現「線性飽和」之關係，而且由圖可知差模佈線結構對於不連續結構的效應有較大的免疫力能力。

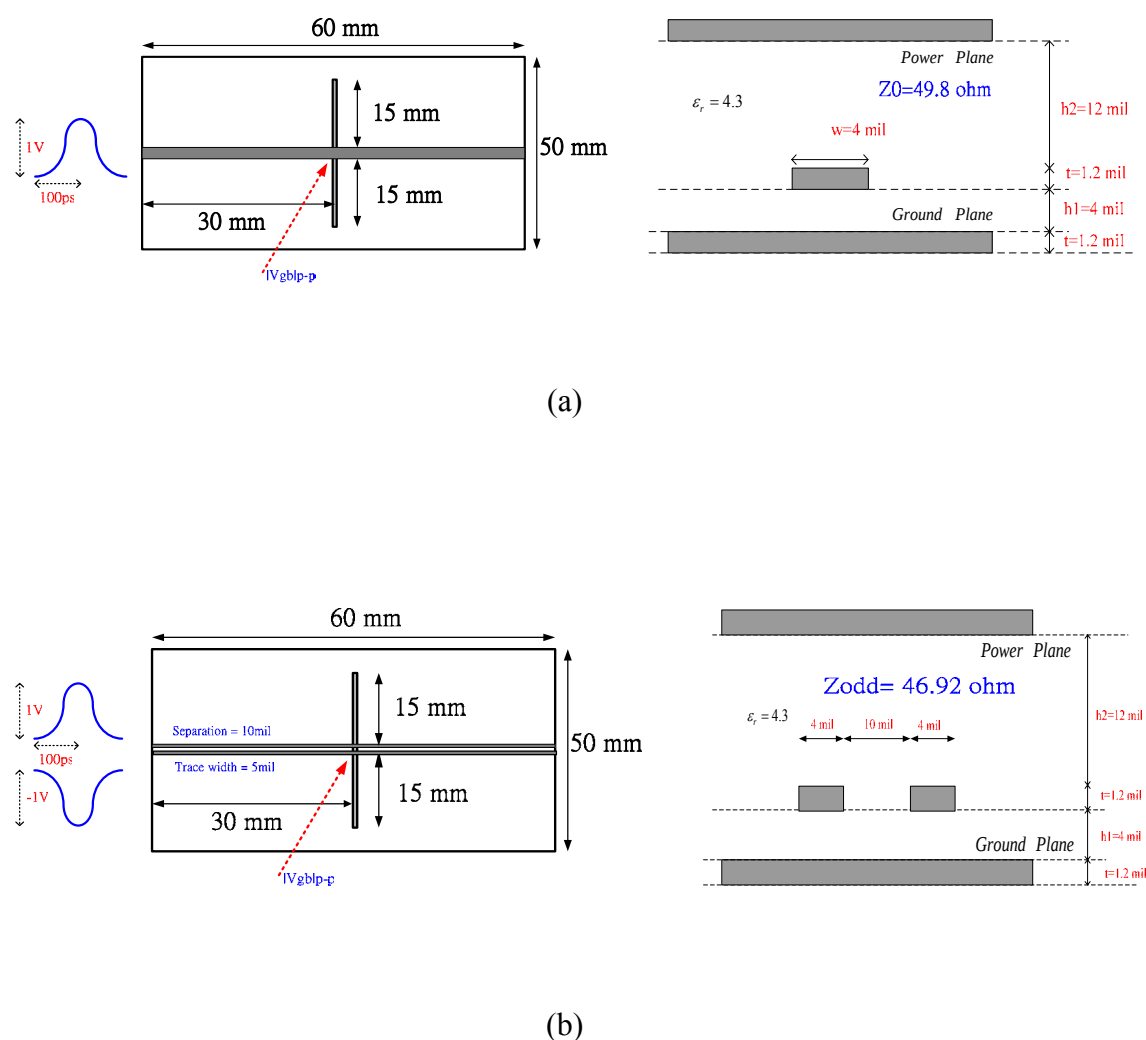
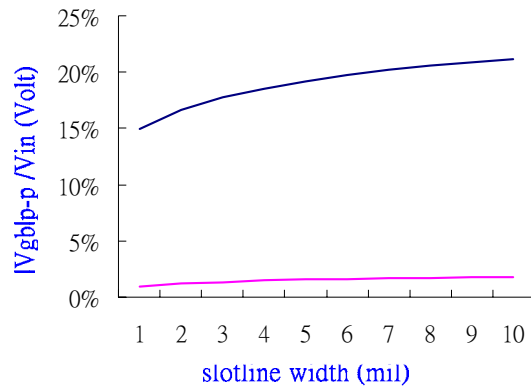


圖 8.26 單根導體帶線與差模耦合帶線跨越槽線模擬結構示意圖

slot width	single	differential	
w(mil)	Vgb(p-p)	Vgb(p-p)	times
5	14.92%	0.96%	12.895
10	16.66%	1.18%	11.732
15	17.73%	1.34%	11.026
20	18.54%	1.46%	10.582
25	19.18%	1.56%	10.277
30	19.72%	1.63%	10.087
35	20.17%	1.69%	9.965
40	20.56%	1.73%	9.889
45	20.90%	1.77%	9.849
50	21.19%	1.80%	9.828
Average			10.613

(a)



(b)

圖 8.27 帶線跨越槽線引發接地雜訊大小與槽線寬度之模擬結果關係圖表

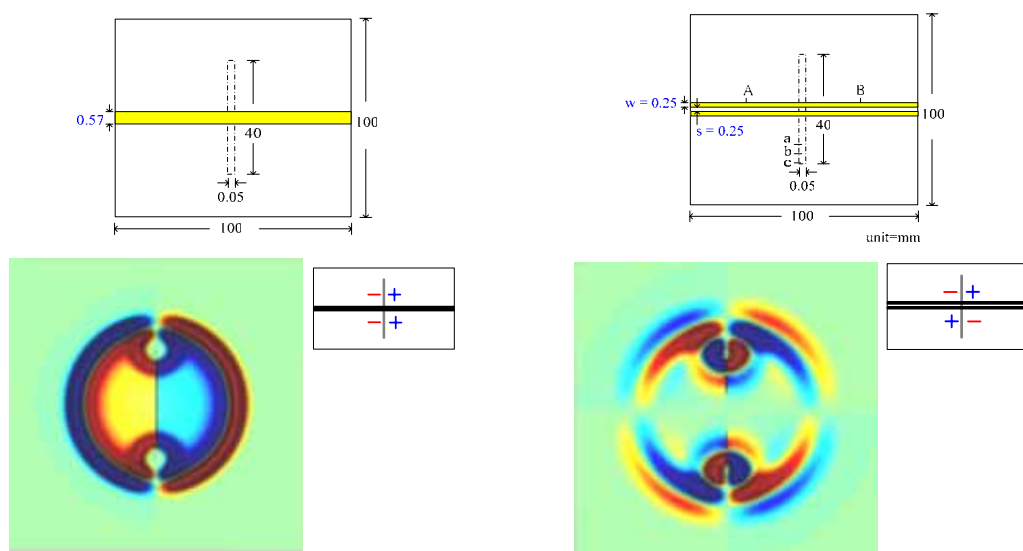
8-5 接地雜訊電壓視覺化

由 8-1 至 8-4 節，吾人已經可以探討分析在微帶線與帶線結構下，由信號線跨越槽線所引發在電源層與接地層之間所有位置的接地雜訊；接下來為了探討兩金屬層之間接地雜訊的變動情形，因此接下來將藉由 Ancad Inc. 公司所發展的 MATFOR 軟體來呈現接地雜訊隨著時間變化的 3D 動畫情形，並藉此 3D 動畫情形的呈現而對於兩金屬層之間接地雜訊的變動趨勢有更清楚的了解。

在 8-1 節中，吾人已將信號通過單根導體微帶線跨越槽線時，電荷分佈與流動情形

作一說明，而當差模信號流過耦合微帶線時，其情況是相同的。電流流動情形將於下一結探討。而有關單根導體與差模耦合導線跨越槽線時之接地雜訊的極性分佈可以由圖 8.28 看出：單根導體結構下，其接地雜訊極性在槽線的兩側為相反；而在差模耦合導線結構之下，因為差模耦合傳輸線的兩導線中間有一虛接地

(virtual ground)的零電位以及槽線兩側其引發的電壓極性是相反的原因，使得所引發接地雜訊的極性將以兩傳輸線的中心線與槽線來劃分，呈現出兩兩相鄰而極性相反的四個對稱分佈的區域。由動畫視覺化接地雜訊電壓也可以看出，接地雜訊最大值發生在信號導線與槽線的交越處附近。



(a)單根導體跨越槽線

(b)差模耦合跨越槽線

圖 8.28 單根導體與差模耦合導線跨越槽線時之接地雜訊極性分佈上視圖

圖 8.29 為英業達公司所提供的單根導線跨越槽線的結構圖，其中槽線的寬度為 5mil，由於帶線與微帶線的電壓波動情形是一致的，僅是大小不同，因此僅以圖 8.30 表示其波動狀況。由圖可知，當信號傳播至交越處時將引入一個電流在槽線上傳播，而透過槽線將引發接地雜訊在兩金屬層之間傳播，傳播方向將由交越處沿著槽線往外在兩金屬層之間傳播，而由圖可知接地雜訊在槽線的兩側是分別以正負電壓極性往兩側傳播，當往外傳播出去時其電壓振幅將遞減，而傳播至邊界時將反射，而在兩金屬層之間來回傳播；由圖 8.30 也可以知道，接地雜訊的最大值將發生在信號線與槽線的交越處附近。圖 8.29(b)的上視圖是傾斜的，其傾斜方向即與圖 8.30 的方位一致。

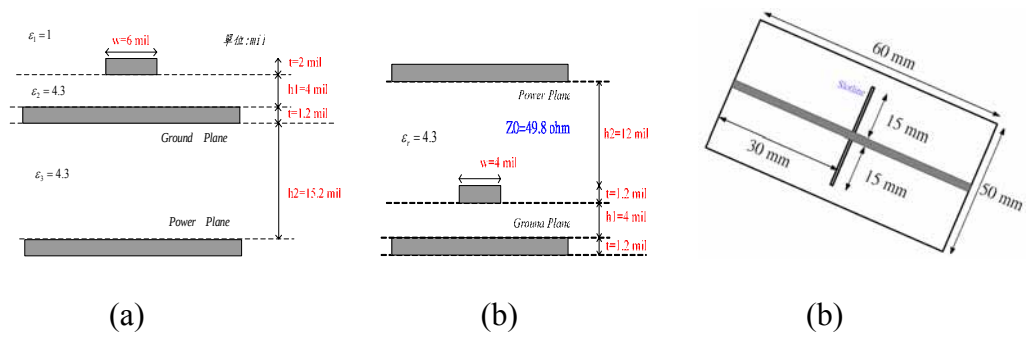
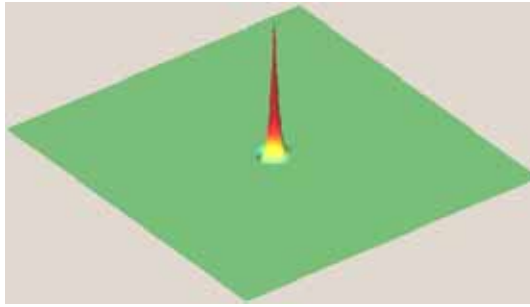
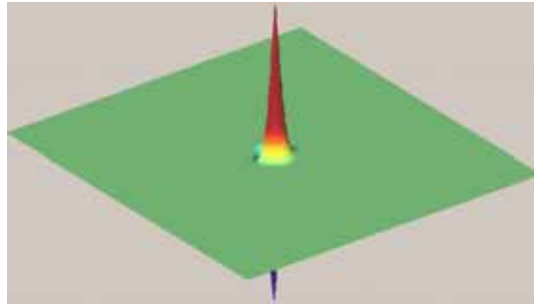


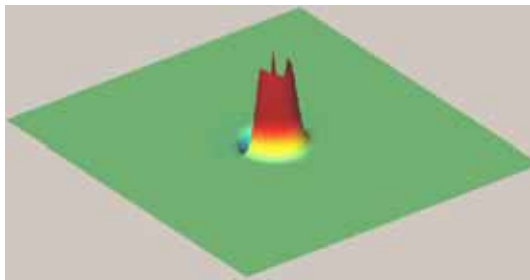
圖 8.29 單根導線跨越槽線結構 (a)(b)剖面圖 (b)上視圖



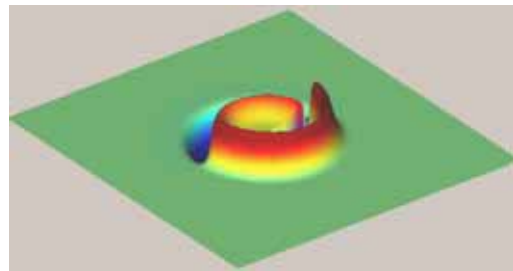
(a)



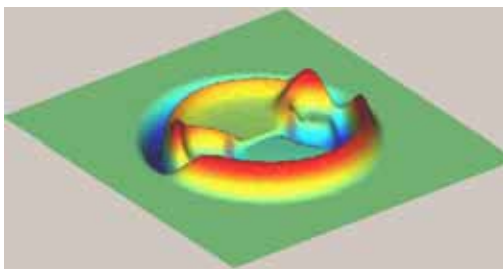
(b)



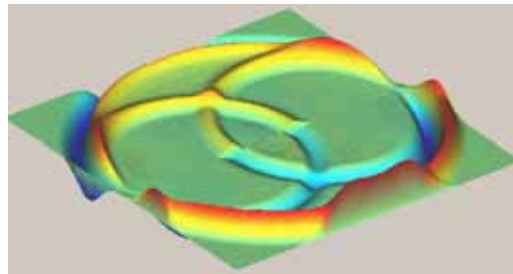
(c)



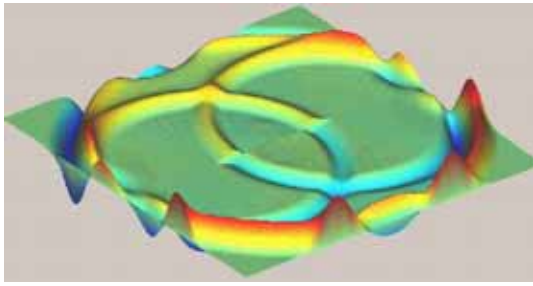
(d)



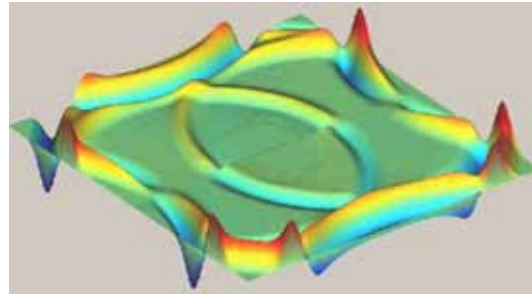
(e)



(f)



(g)

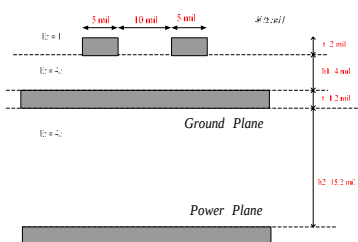


(h)

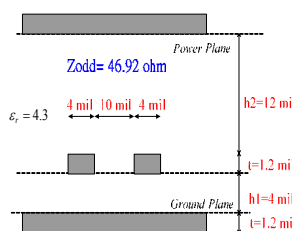
圖 8.30 單根導線跨越槽線之接地雜訊隨時間傳播變動的 3D 圖形

圖 8.31 為英業達公司所提供的差模耦合導線跨越槽線的結構圖，其中槽線的寬度為 5mil，而圖 8.31 則為其接地雜訊隨時間傳播變動的情形。由圖可知，當差模信號傳播至交越處時將引入一正與一負的兩個電流在槽線上合成後傳播，而透過槽線將引發接地雜訊在兩金屬層之間傳播，傳播方向將由交越處沿著槽線往外在兩金屬層之間傳播。

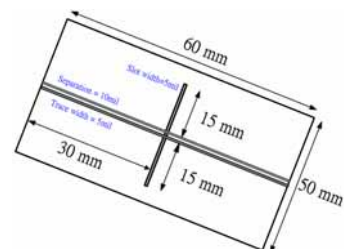
因為差模耦合傳輸線的兩導線中間有一虛接地的零電位以及槽線兩側其引發的電壓極性是相反的原因，使得所引發接地雜訊的極性將以兩傳輸線的中心線與槽線來劃分，呈現出兩兩相鄰而極性相反的四個對稱分佈的區域，而由圖 8.32 可看出；而其接地雜訊也是由槽線往外傳播出去，其電壓振幅亦將遞減，而傳播至邊界時將再反射，而在兩金屬層之間來回傳播。同理，由圖 8.32 亦可以知道，接地雜訊的最大值將發生在差模耦合微帶線與槽線的交越處附近。圖 8.31(b)的上視圖是傾斜的，其傾斜方向即與圖 8.32 的方位一致。



(a)



(b)

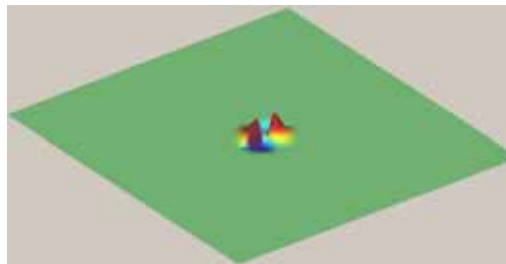


(b)

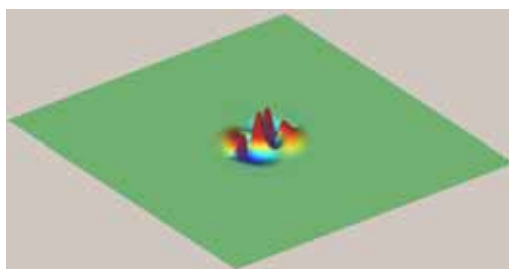
圖 8.31 差模耦合導線跨越槽線結構 (a)(b)剖面圖 (b)上視圖



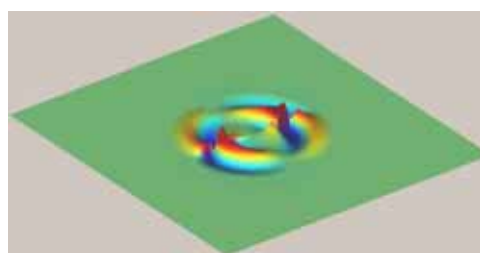
(a)



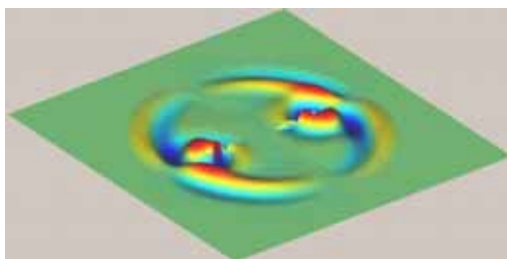
(b)



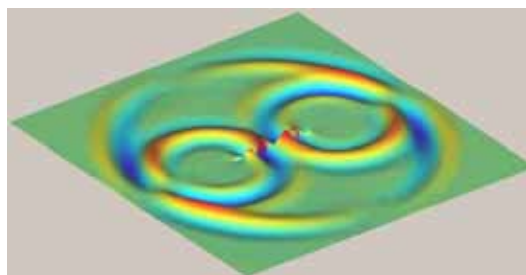
(c)



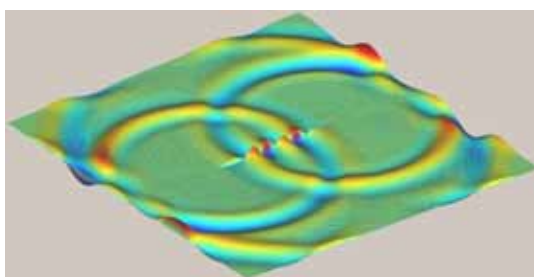
(d)



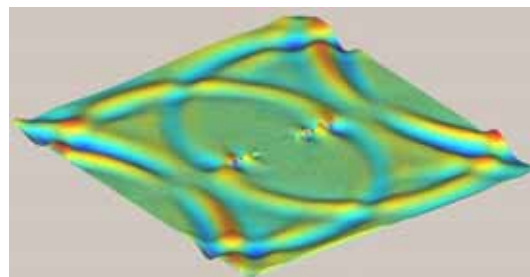
(e)



(f)



(g)



(h)

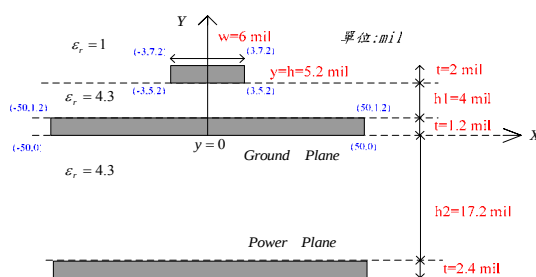
圖 8.32 差模耦合微帶線跨越槽線之接地雜訊隨時間傳播變動的 3D 圖形

8-6 金屬平面電流視覺化

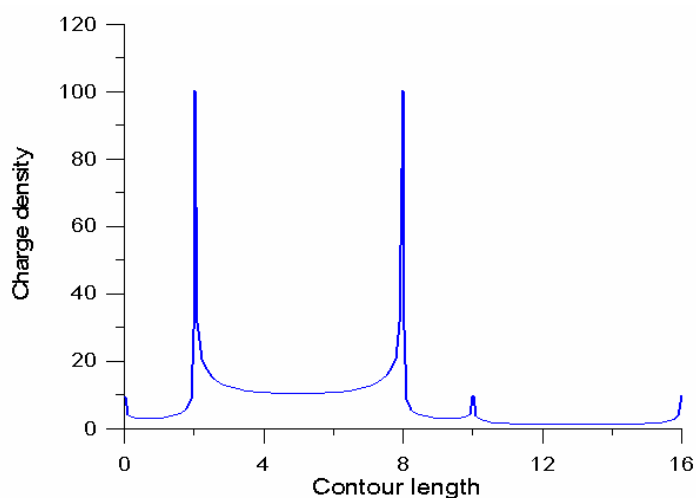
8-6-1 金屬平面電流分析

在單根微帶線跨越槽線的結構中，當有一電壓信號在信號線傳播時，位於信號線下方的金屬導體將感應負電荷，此部分所呈現的電流分佈即為 tx-line mode；而當接地雜訊產生時在金屬平面上所產生的電流分佈即為 radial mode，而當此兩種電流模態相加即為總電流。

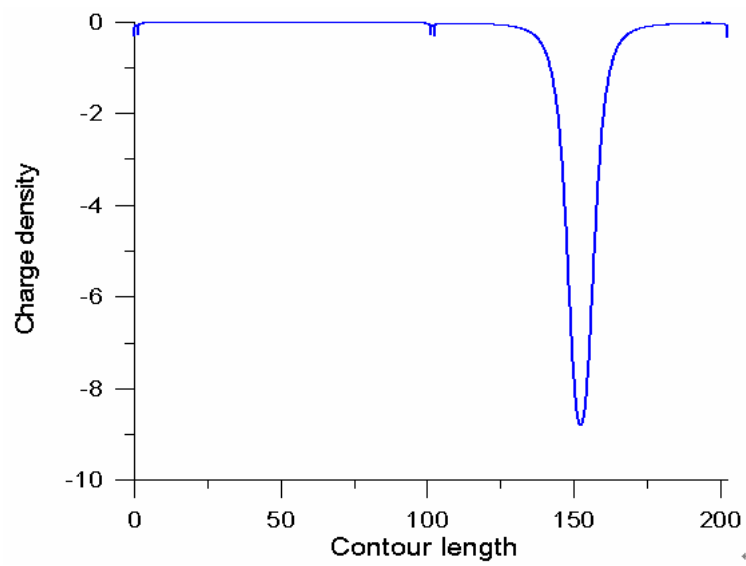
有關 tx-line mode 的電流分佈，將以吾人之 CAP 程式來計算出微帶信號導線與上層金屬板上面的電荷密度分佈，如圖 8.33、8.34、8.35、8.36 所示，其將英業達公司四種常用的佈線結構導線之電荷分佈求出，其中導體的邊緣座標是以左下方為起始點，順著逆時針方向繞一圈回到起始點。而由於為了將兩個電流相加，因此必須求出 tx-line 相對應於 FDTD mesh 的電流密度，如圖 8.37 所示，而可以由式(8-16)、(8-17)求得。



(a)結構剖面圖

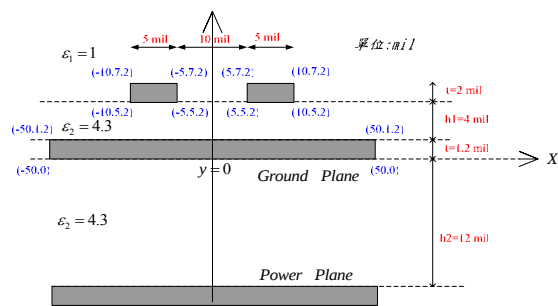


(b)信號導體之電荷分佈

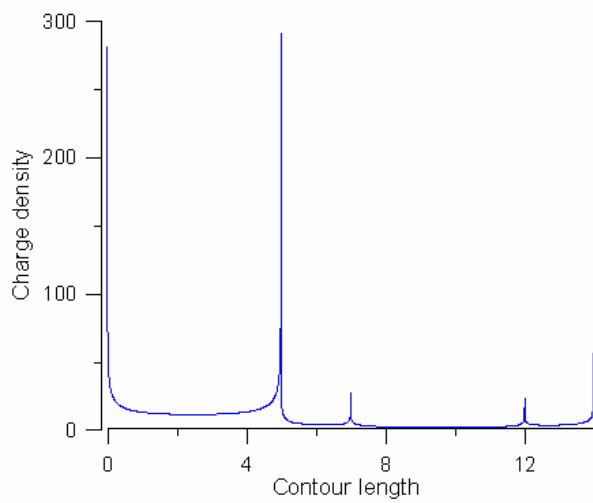


(c) 上層接地層之電荷分佈

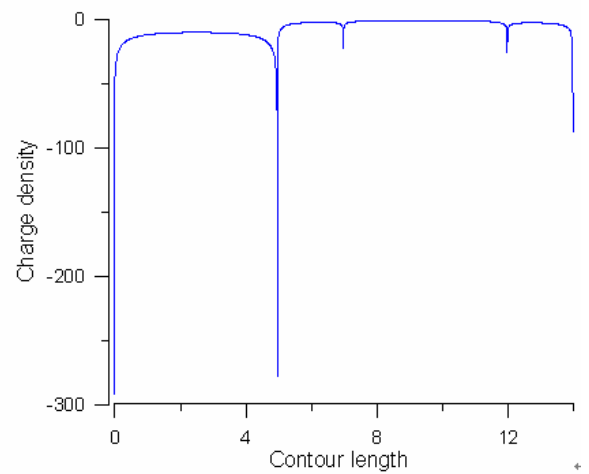
圖 8.33 單根導體微帶信號導體與上層金屬層的電荷密度分佈



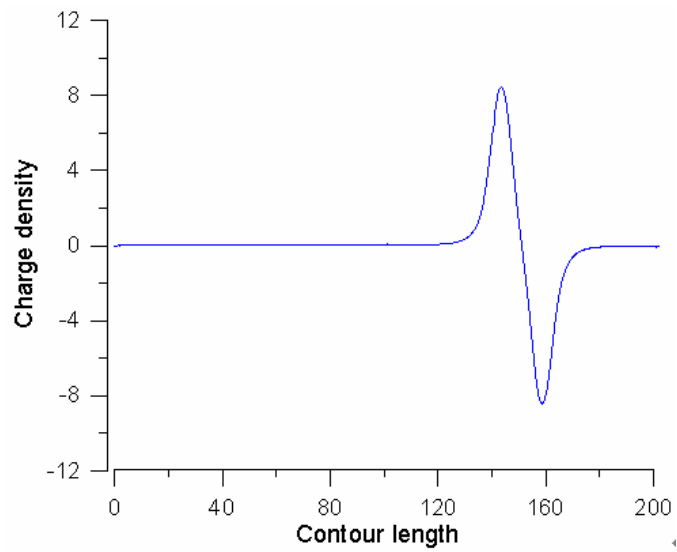
(a)結構剖面圖



(b)左方信號導體之電荷分佈

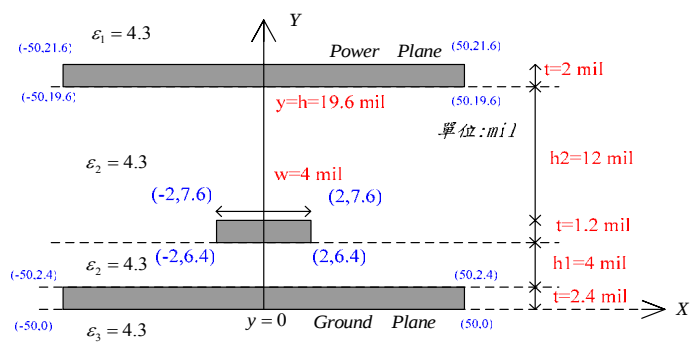


(c)右方信號導體之電荷分佈

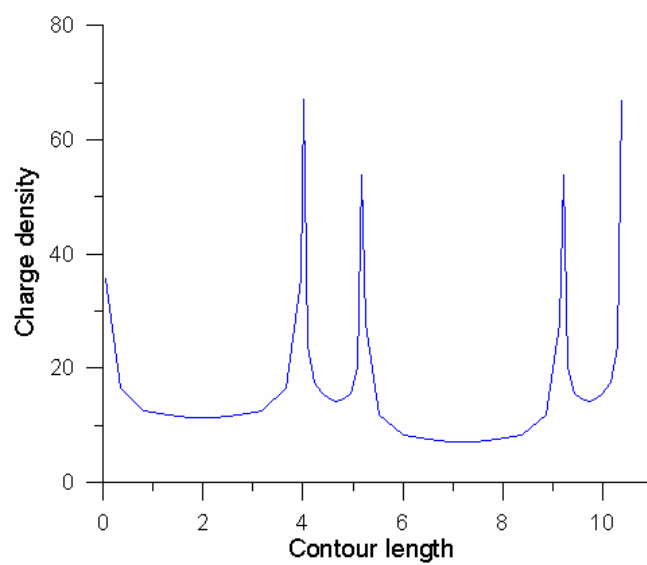


(d)上層接地層之電荷分佈

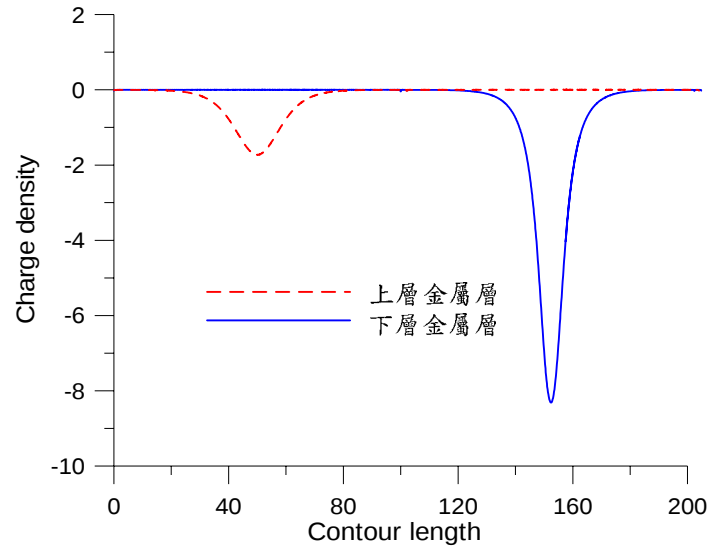
圖 8.34 差模耦合微帶信號導體與上層金屬層的電荷密度分佈



(a) 結構剖面圖

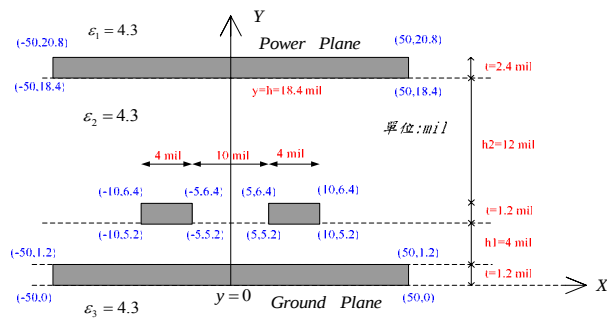


(b)信號導體之電荷分佈

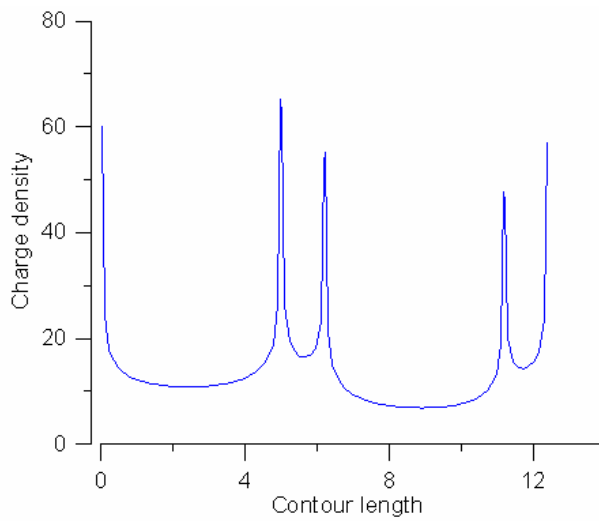


(c)金屬層之電荷分佈

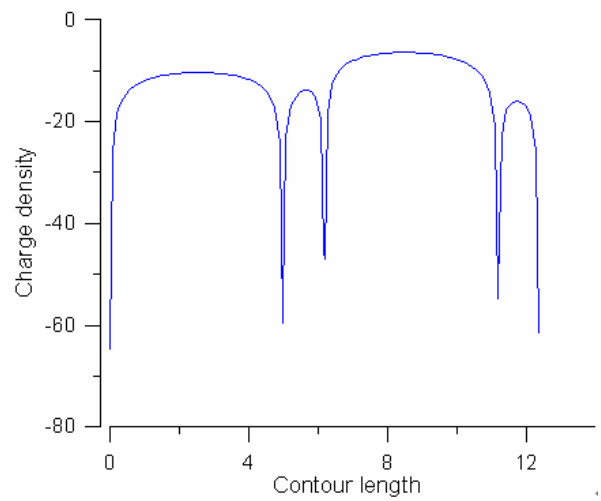
圖 8.35 單根導體帶線信號導體與金屬層的電荷密度分佈



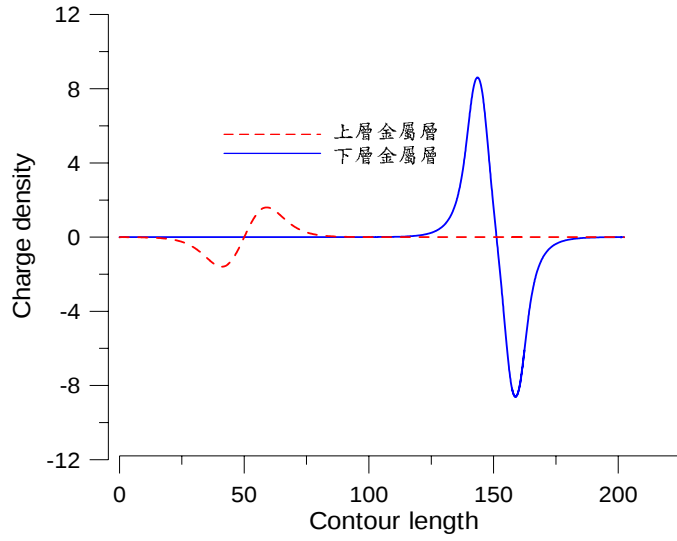
(a)結構剖面圖



(b)左方信號導體之電荷分佈



(c)右方信號導體之電荷分佈



(c)金屬層之電荷分佈

圖 8.36 差模耦合帶線信號導體與金屬層的電荷密度分佈

$$\bar{\rho}(y) \equiv \frac{\rho(y)}{\int_{-\infty}^{\infty} \rho(y) dy} \quad (8-16)$$

$$J_x = I(y, t) \times \bar{\rho}(y) \quad (8-17)$$

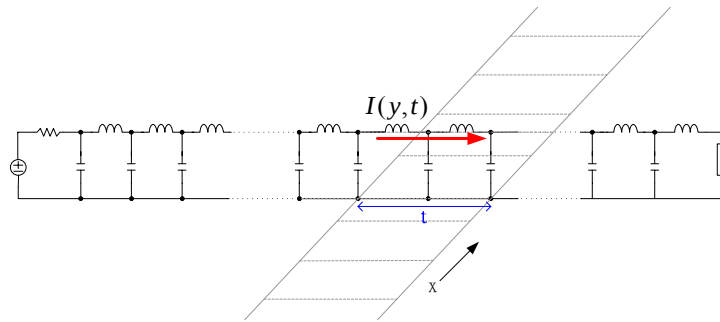


圖 8.37 tx-line 相對應於 FDTD mesh 的電流密度示意圖

而 radial mode 的電流則可以由兩金屬板之間的 FDTD mesh 上的磁場(如圖 8.38)，經式 8.21~8.22 計算求得，如式 8.24 與 8.25 所示。

$$\bar{J} = \nabla \times \bar{H} \quad (8-18)$$

$$J = \hat{a}_n \times (H_1 - H_2) \quad (8-19)$$

$$J_s = H_1 - H_2 \quad (8-20)$$

$$J_x(i, j) = -[H_y(i+1, j) - H_y(i, j)] \quad (8-21)$$

$$J_y(i, j) = [H_x(i, j+1) - H_x(i, j)] \quad (8-22)$$

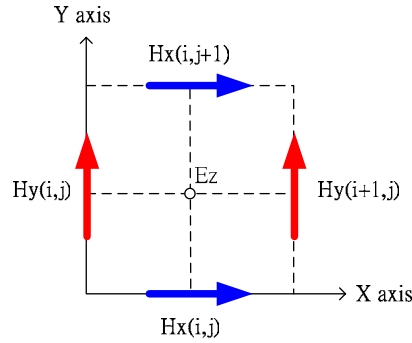


圖 8.38 FDTD mesh 上電場與磁場的分佈關係圖

8-6-2 金屬平面電流視覺化

圖 8.39、8.40 分別是單根微帶線與差模耦合微帶線 tx-line mode 電流隨時間傳播變動的 3D 圖形；由圖可以看出：1.單根微帶線之 y 方向電荷分佈量較差模耦合微帶線的多與廣。8.單根微帶線與差模耦合微帶線 tx-line mode 電流流至與槽線交越的位置時將有一個因為阻抗不匹配的反射電流，此單根微帶線的反射電流量將大於差模耦合微帶線的。3.在遲時所看到的電流則是因為接地雜訊耦合至槽線然後再耦合到導線所看到的電流，由圖也可知由於差模耦合微帶線跨越槽線所引發的接地雜訊將大大地降低，因此遲時所看到的電流也就小的許多。

圖 8.41、8.42 分別是單根微帶線與差模耦合微帶線 radial mode 電流隨時間傳播變動的 3D 圖形；此電流是當導線上的信號傳播至與槽線交越處時開始引發，其電流將是由槽線與信號線交越處往外傳播出去的。圖 8.42 可以看出由於是差模耦合傳輸線的關係，使得 radial mode 電流的分佈是以兩信號線的中心位置分兩邊呈現對稱分佈，而中心位置電流分佈則為零。圖 8.43、8.44 則是單根微

帶線與差模耦合微帶線的合成總電流。

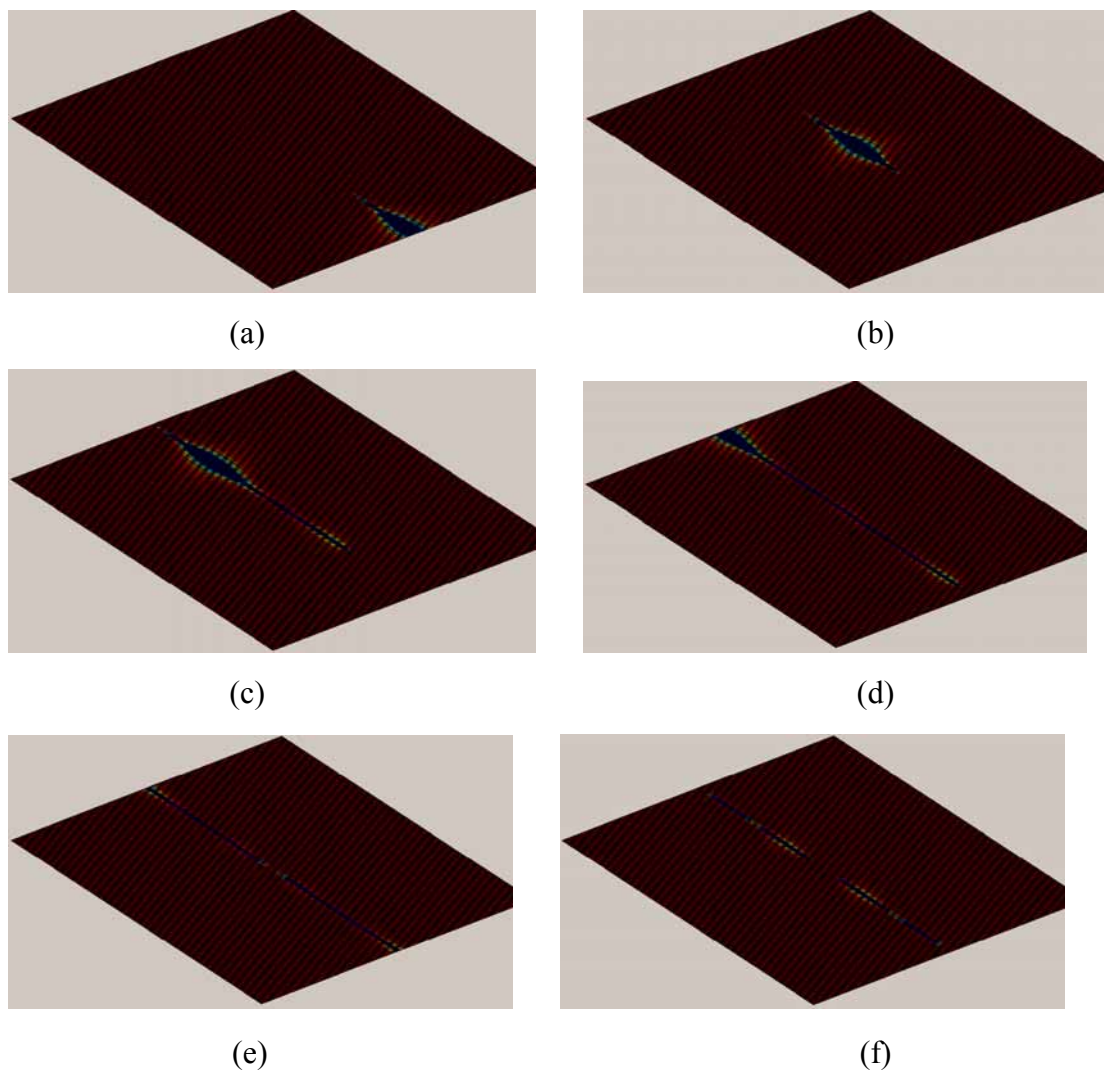
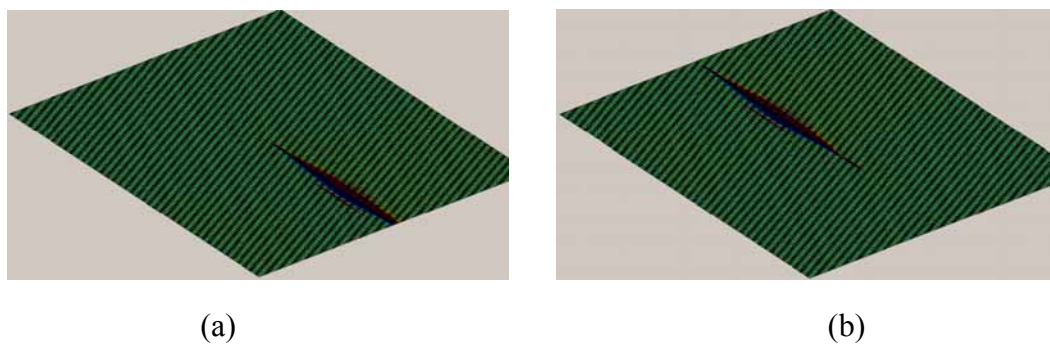
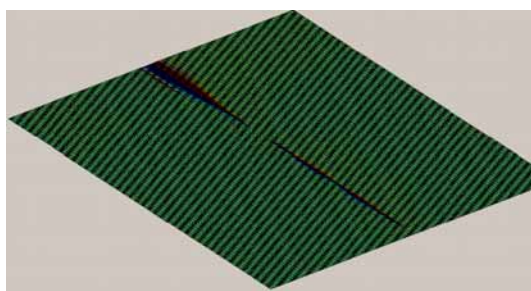
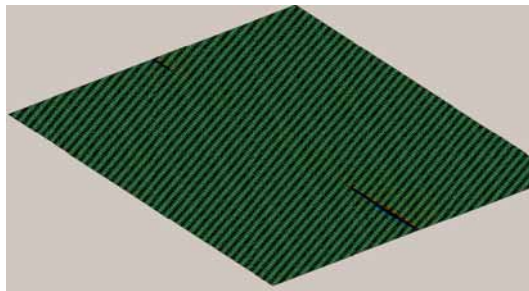


圖 8.39 單根微帶線跨越槽線之 tx-line mode 電流隨時間傳播變動的 3D 圖形

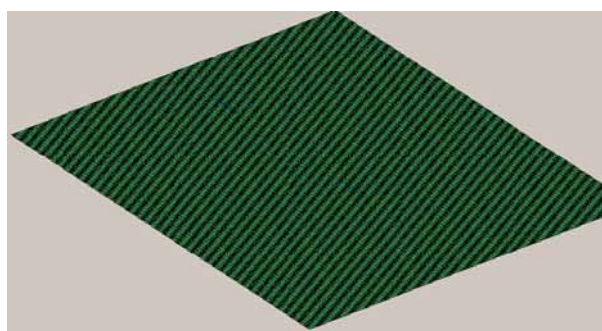




(c)

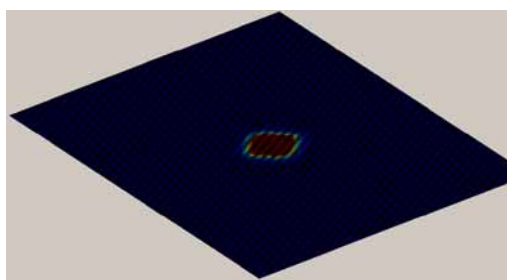


(d)

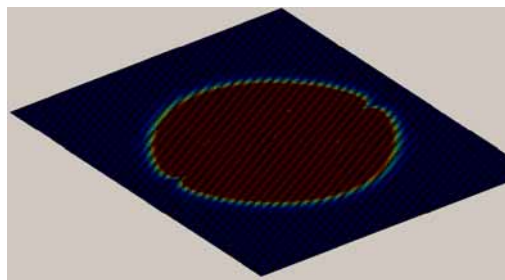


(e)

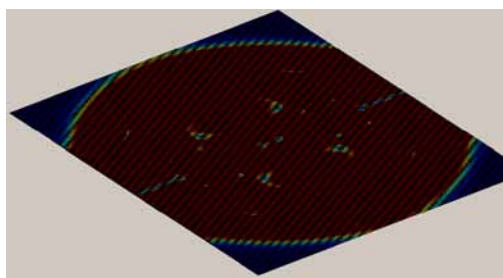
圖 8.40 差模耦合微帶線跨越槽線之 tx-line mode 電流隨時間傳播變動的 3D 圖形



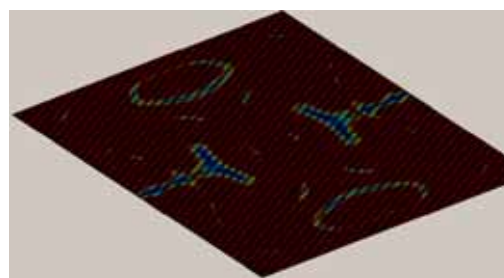
(a)



(b)

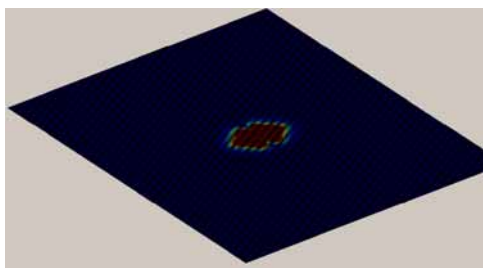


(c)

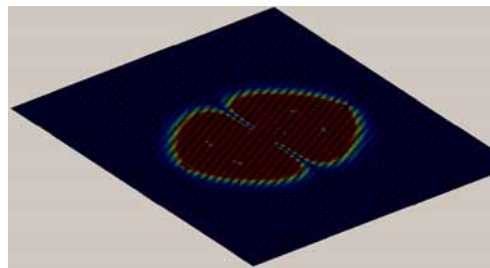


(d)

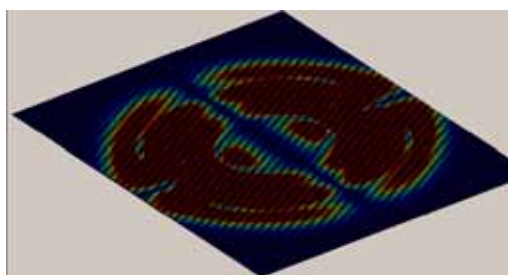
圖 8.41 單根微帶線跨越槽線之 radial mode 電流隨時間傳播變動的 3D 圖形



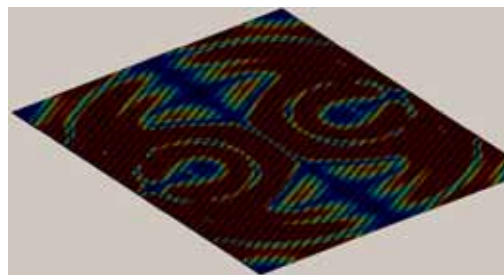
(a)



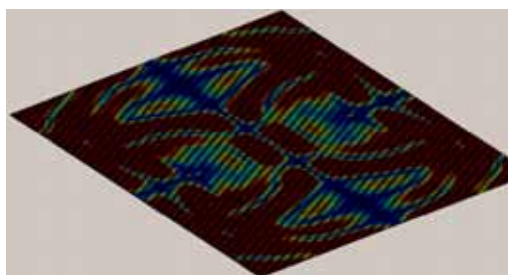
(b)



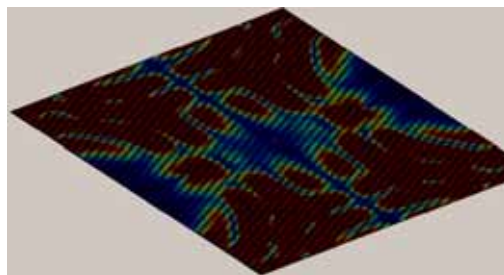
(c)



(d)

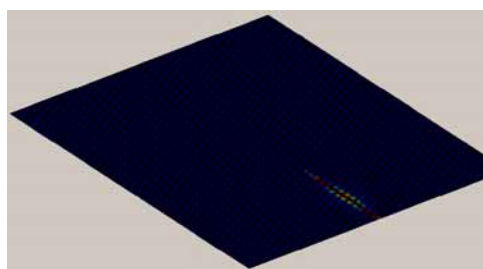


(e)

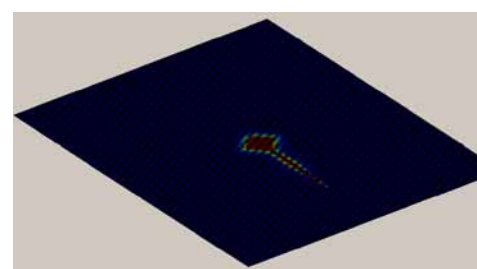


(f)

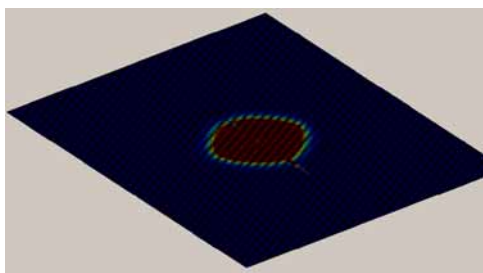
圖 8.42 差模耦合微帶線跨越槽線之 radial mode 電流隨時間傳播變動的 3D 圖形



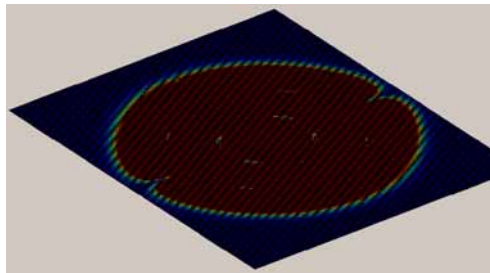
(a)



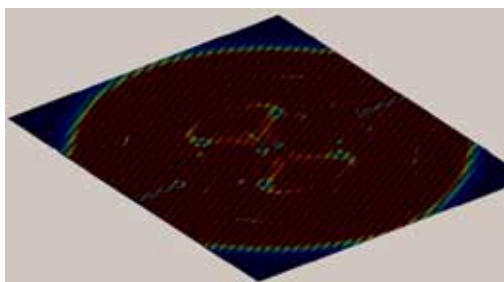
(b)



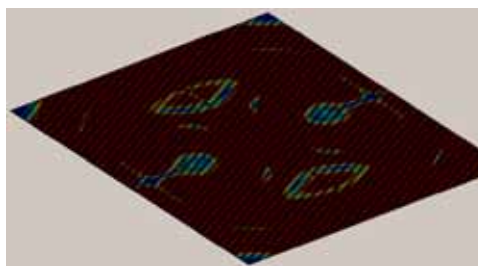
(c)



(d)

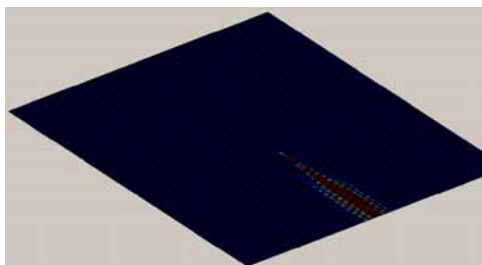


(e)

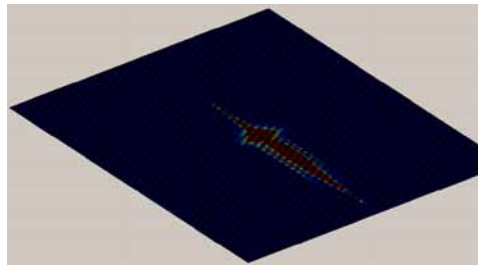


(f)

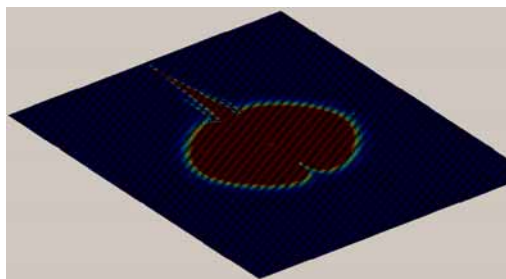
圖 8.43 單根微帶線跨越槽線之總電流隨時間傳播變動的 3D 圖形



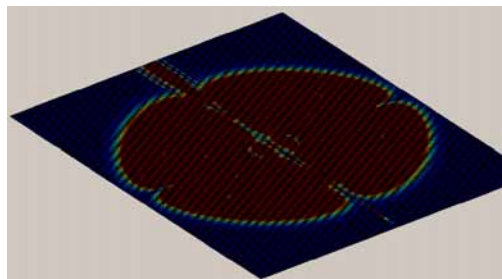
(a)



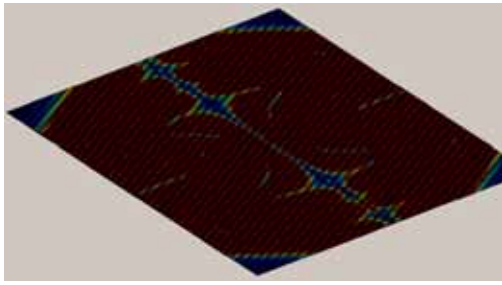
(b)



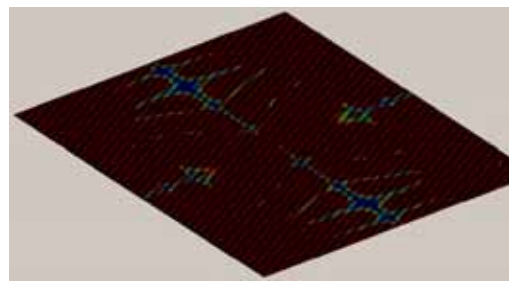
(c)



(d)



(e)



(f)

圖 8.44 差模耦合微帶線跨越槽線之總電流隨時間傳播變動的 3D 圖形

由於前面電流的呈現僅可以看出電流大小與流動趨勢，但是並無法看出每一處電流的流動方向，因此接下來吾人將以 OPENGL 的方式來呈現 radial mode 的電流向量，如圖 8.45、8.46 所示(完整流動情形，請參考附件之動畫檔案)。而電流的流動情形將可以以接地雜訊的極性來輔助解釋；由圖 8.47 可以知道無論是單根導體跨越槽線或是差模耦合導體跨越槽線，電流都是由正極性電壓流向負極性電壓，且電流流向槽線時將沿槽線邊緣流動，而遇到槽線末端時將轉彎流到另一邊，因此在槽線末端附近可以看到因為電流的轉彎使得該區電流密度增高，接下來遲時電流的流動仍隨著接地雜訊電壓的波動而流動分佈。

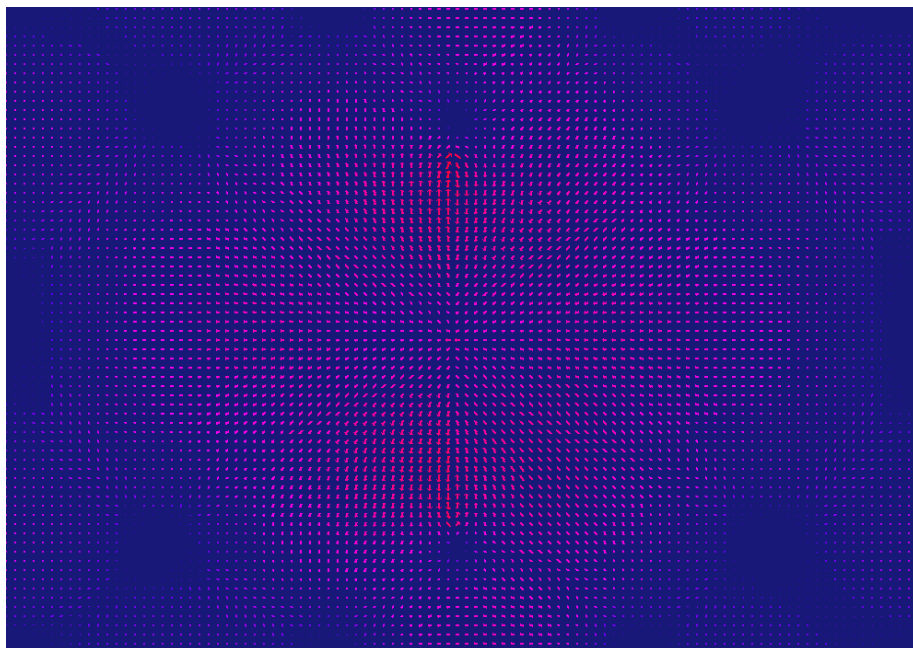


圖 8.45 單根導體跨越槽線之 radial mode 電流向量流動情形

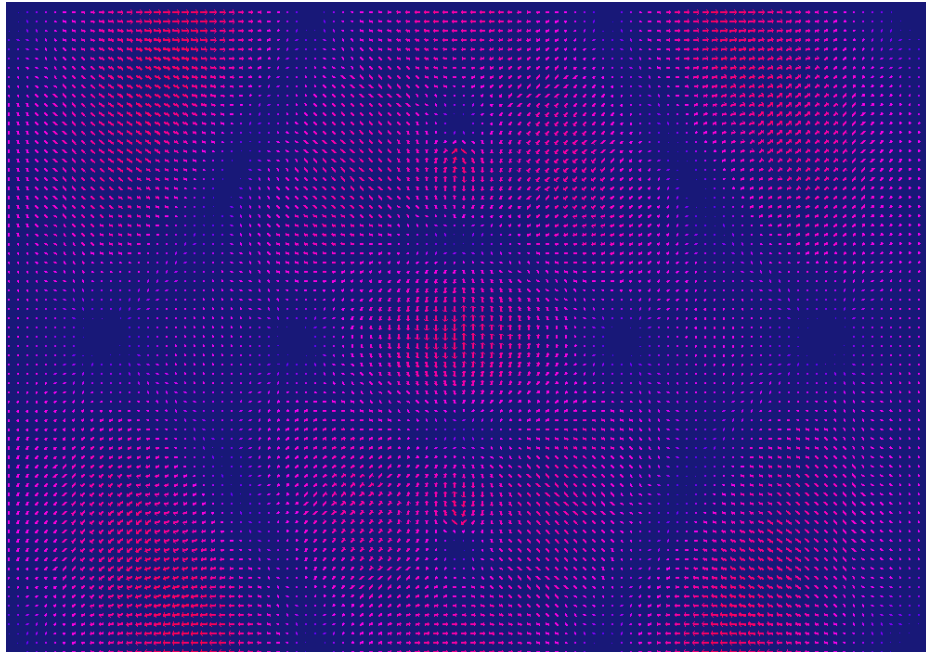
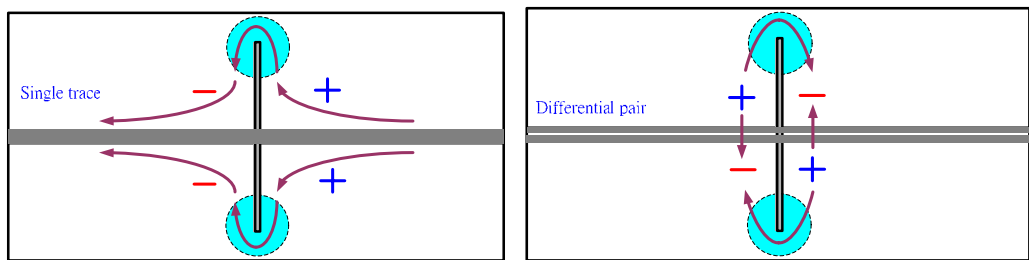


圖 8.46 差模耦合導線跨越槽線之 radial mode 電流向量流動情形



(a)單根導體跨越槽線

(b)差模耦合導體跨越槽線

圖 8.47 信號導線跨越槽線之 radial mode 電流流動方向示意圖

8-7 接地雜訊之模擬與實驗驗證

8-7-1 FR4 製作之測試板

為了驗證前面之理論分析，吾人設計了兩種由微帶線跨越槽線引發接地雜訊耦合的實驗結構測試板，依上層信號層結構可分：case1 為單根導體微帶線跨越槽線，case2 為差模耦合微帶線跨越槽線，其結構與相關尺寸示意圖，如圖 8.48 所示。由上層信號線 port1 驅動一步階信號，當此信號到達跨越槽線處(第二層之

左下方)而引發在第二與三層之金屬層間的接地雜訊波動電壓，此雜訊電壓傳播至第三層槽線處，再耦合此雜訊到最下層的微帶線(靜態線)而由 port2 輸出量測(TDT)。為了加強微帶線跨越槽線引發接地雜訊的效應，上層的信號線在驅動端的另一邊為開路，如此可以使趨入的信號來回兩次，也因此跨槽線的效應多了一次，以加強接地雜訊的效應。

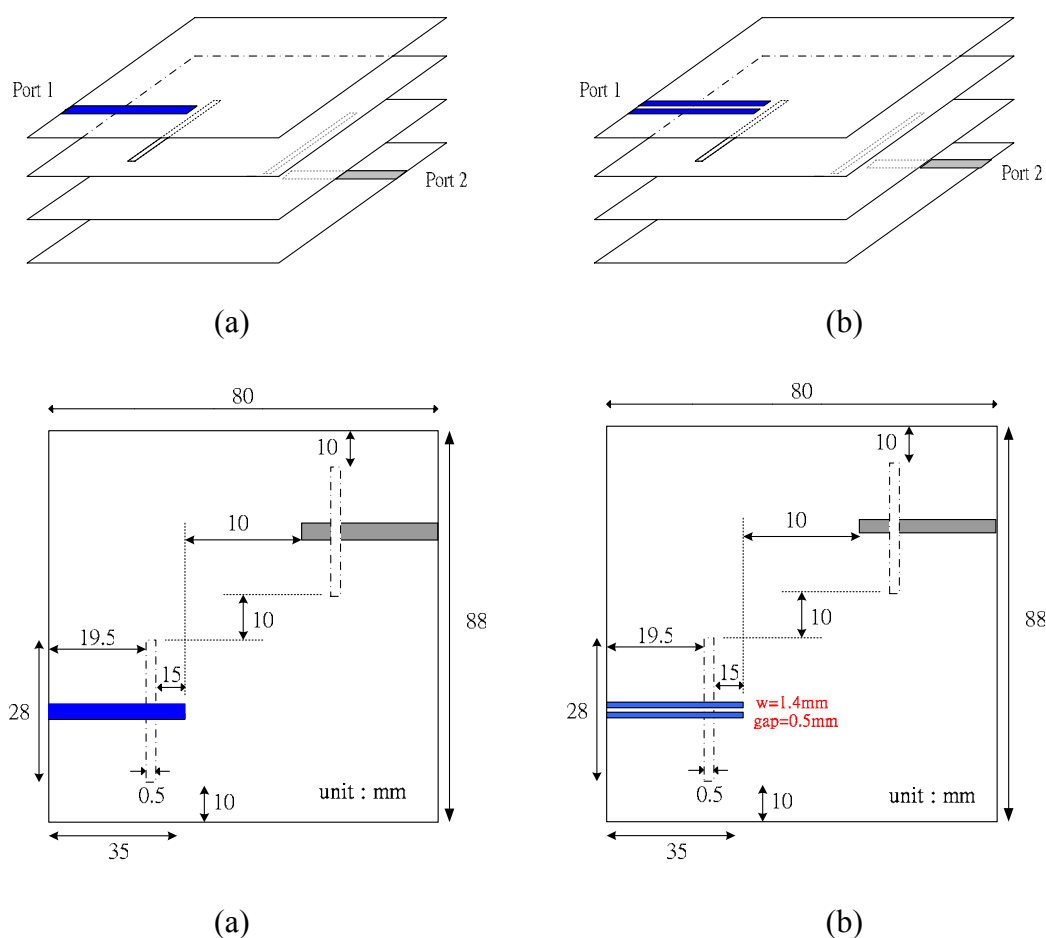


圖 8.48 單根導體與差模耦合微帶線之四層槽線耦合測試板結構示意圖

由太克公司之 CSA8000 TDR 量測儀輸入振幅為 0.25V 之步階信號，圖 8.49 與 8.50 分別為 case1 與 case2 的 TDR 與 TDT 的實驗量測與模擬的結果。由於模擬沒有考慮損耗的部分，因此模擬值都比實驗量測值稍微大一些，但值與波形的趨勢都還吻合，因此也藉由實驗驗證前面理論分析與模擬的正確性。而由圖 8.51

亦可以知道差模佈線結構的確大大的降低單根導線跨越槽線而引發的接地雜訊，抑制量大約達七倍之多。

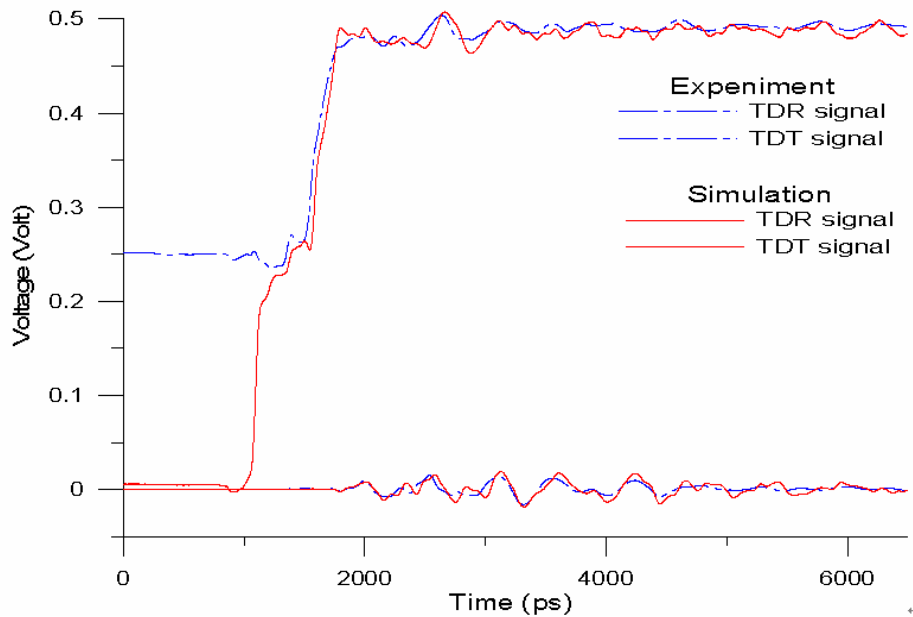


圖 8.49 單根導體微帶線跨越槽線實驗結構量測圖

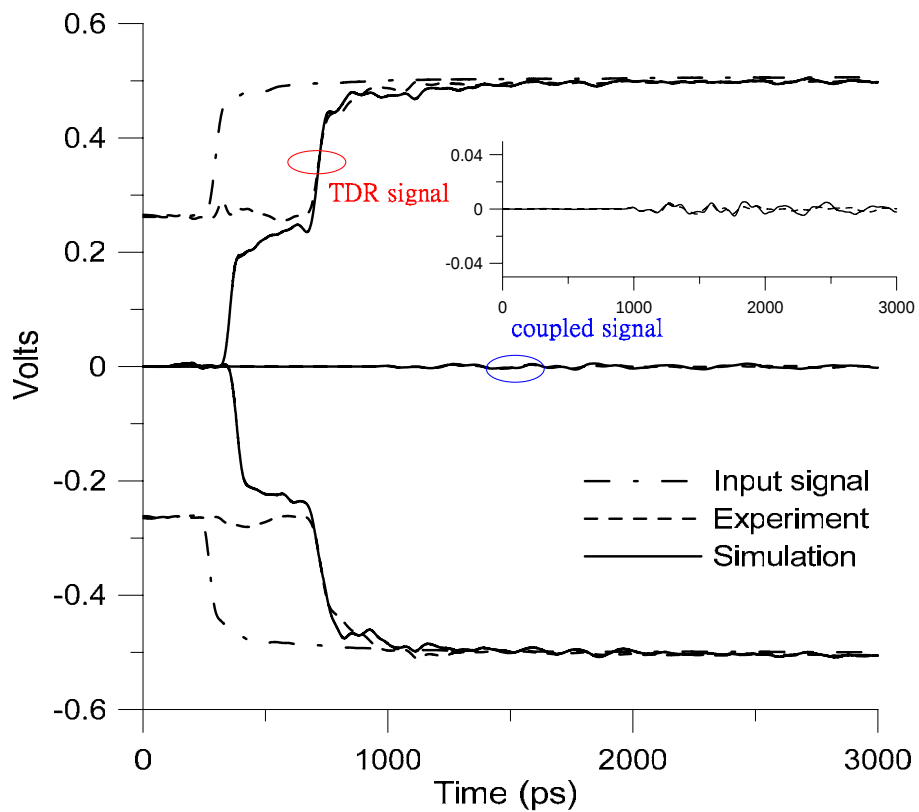


圖 8.50 差模耦合微帶線跨越槽線實驗結構量測與模擬比較圖

	Differential pairs $ V_{port2} /V_{in}$	Single trace $ V_{port2} /V_{in}$	Reduction multiple
Expeniment	1.652%	12.40%	7.51
Simulation	2.101%	15.03%	7.15

圖 8.51 微帶線跨越槽線之耦合雜訊實驗量測與模擬比較圖

第九章 去耦合電容位置最佳化

9-1 簡介

在數位電路中，印刷電路板的訊號(power)與接地(ground)間之雜訊統稱為切換雜訊(switch noise)或接地雜訊(ground bounce)，通常是出現於瞬間邏輯位準之切換。此雜訊之成因發生於邏輯位準之切換由高至低(high-to-low)或低至高(low-to-high)之時所引發不預期的相對電壓浮動，其效應可能造成數位電路邏輯位準之誤判。

由已知文獻之記載可知：接地雜訊之機制可由電感效應來加以說明。傳統抑制此雜訊的方法就是在訊號面(signal plane)與接地面(ground plane)之間加入大量的分散式去耦合電容(distributed decoupling capacitor)。然而，所需去耦合電容的規格、數量、與排列位置通常是藉由工程師的經驗或者現有的經驗法則所決定，而非利用達到預期的雜訊標準之模擬結果所取決。

模擬訊號面與接地面間之接地雜訊主要的方法分別為：1)有限差分法(finite difference time domain)；2)傳輸矩陣法(transmission matrix method)；以及 3)空腔模型(cavity model)。有限差分法主要的優點在於精準與適用於任意的物理結構，其缺點則是計算相當耗時，不適合用以與最佳化方法結合以求得所需去耦合電容的規格與排列位置之最佳解。傳輸矩陣法雖然就計算上而言相較於有限差分法有較佳的計算效益，但是，其求解的物理結構必須是相當規則的矩形，在結構的彈性上與空腔模型相當，而於計算效益上卻比空腔模型來得差。鑑於計算效益上的優點，此研究初步採用以模擬接地雜訊的方法是空腔模型。不過，此方法的主要原理是利用空腔共振時存在於求解區用之特徵模態(eigen-mode)展開以求得饋入點與觀測點兩點間與頻率相依之轉換阻抗(transfer-impedance)，因此，其限制亦在於規則形狀之物理結構。由於考慮到此限制，本研究中採用之印刷電路板的物理結構將以矩形來做為討論。

現今已發表在國際期刊關於接地雜訊之研究皆限制於模擬方法之發展以及接地雜訊之量測；對於結合最佳化理論以求得去耦合電容的規格與排列位置之最佳解在文獻中倒是沒有探討。適用於位置排列最佳化的最佳化方法常見者有兩種，分別是 1)模擬退火法(simulated annealing)；以及 2)基因演算法(genetic algorithm)。模擬退火法雖然在程式的撰寫上比較容易執行，但較不利於與其他最佳化方法結合以增進尋找最佳解之效益。另外，在真實世界中所遭遇的最佳化問題通常是屬於多重目標函數(multi-objective function)的形式，在尋找多重目標函數之最佳解的最佳化方法上，通常是將每個目標函數以不同的加權(weighting)合成單一目標函數以方便與傳統最佳化方法結合。可是，當多重目標函數無法藉由合成的單一目標函數以尋找最佳解之時，最佳化演算法本身就必須做些修正，以尋找在各個目標函數互易(trade-off) 下解與解彼此間依舊保持一般優良的一群最佳解。基於這樣的考量，多目標函數之基因演算法將列為本研究所採用的最佳化方法。

由於多根去耦合電容的空腔模型尚未見諸於文獻之中，因此，本研究將首先推導相關數學公式。

9-2 雙層平行金屬板之空腔模型

假設，在矩形結構之雙層平行金屬板當中取任意之兩饋入點，其座標位置為 (x_i, y_i) 與 (x_j, y_j) ；而饋入點之長寬分別為 (dx_i, dy_i) 與 (dx_j, dy_j) 之情況下，雙層平行金屬板之空腔模型(cavity model)示意圖如圖 9.1 所示。

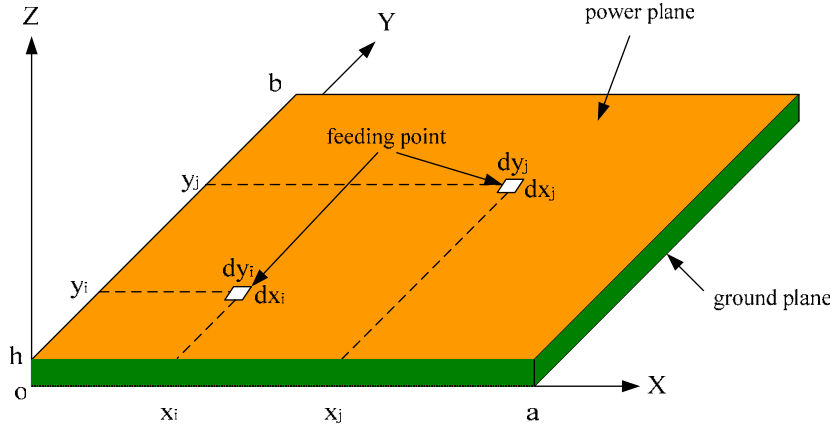


圖 9.1 矩形結構之雙層平行金屬板及其饋入位置示意圖

由空腔模型[67]可以求得此兩埠個別之輸入阻抗(input-impedance)與轉換阻抗(transfer-impedance)其數學推導結果如下：

$$\begin{aligned}
 Z_{ij} = j\omega\mu h \sum_{m=0}^{\infty} \sum_{n=0}^{\infty} \frac{\chi_{mn}^2}{ab(k_{xm}^2 + k_{yn}^2 - k^2)} \cos(k_{yn}y_i) \cos(k_{xm}x_i) \\
 \times \text{sinc}\left(\frac{k_{yn}dy_i}{2}\right) \text{sinc}\left(\frac{k_{xm}dx_i}{2}\right) \cos(k_{yn}y_j) \cos(k_{xm}x_j) \\
 \times \text{sinc}\left(\frac{k_{yn}dy_j}{2}\right) \text{sinc}\left(\frac{k_{xm}dx_j}{2}\right)
 \end{aligned} \quad (9-1)$$

where $k_{xm} = m\pi/a$, $k_{yn} = n\pi/b$, $k = \omega\sqrt{\epsilon_0\epsilon\mu}$

$$\begin{cases} \chi_{mn}^2 = 1 \text{ for } m=n=0 \\ \chi_{mn}^2 = 2 \text{ for } m=0 \text{ or } n=0 \\ \chi_{mn}^2 = 4 \text{ for } m \neq 0, n \neq 0 \end{cases}$$

若要考慮介質損耗，則將 即可。

在此處可以注意到，由空腔模型推導出之公式中，計算一個輸入阻抗($i=j$)或一個轉換阻抗($i \neq j$)在某一頻率點中，就需要花費兩次加總才會到達收斂，對於時間的耗費是相當不理想的。故有人提出將式(9-1)化簡為一次加總[68]，即為式(9-2)。

$$\begin{aligned}
Z_{ij} = & -\frac{j\omega\mu d}{\eta ab} F \sum_{l=0}^L \sigma_l \cos(k_u u_i) \cos(k_u u_j) \cos(\gamma_l z_>) \cos(\gamma_l z_<) \\
& \times \frac{\sin c(\frac{k_u u_i}{2}) \sin c(\frac{k_u u_j}{2})}{\gamma_l \sin(\gamma_l F)} - j \frac{j\omega\mu d}{\eta ab} F \sum_{l=L+1}^{\infty} \cos(k_u u_i) \cos(k_u u_j) \\
& \times \sin c(\frac{k_u u_i}{2}) \sin c(\frac{k_u u_j}{2}) \frac{\exp(-j\gamma_l (v_> - v_<))}{\gamma_l}
\end{aligned} \tag{9-2}$$

where

$$\begin{aligned}
F &= \begin{cases} a, & l = m \\ b, & l = n \end{cases} & k_u &= \begin{cases} \frac{m\pi}{a}, & l = m \\ \frac{n\pi}{b}, & l = n \end{cases} \\
(u_i, u_j) &= \begin{cases} (x_i, x_j), & l = m \\ (y_i, y_j), & l = n \end{cases} & (v_> - v_<) &= \begin{cases} (y_> - y_<), & l = m \\ (x_> - x_<), & l = n \end{cases} \\
\gamma_l &= \sqrt{k^2 - k_u^2}
\end{aligned}$$

在經過化簡之後的空腔模型，因為運算項大大的減少，使得運算時間也相對的減少許多。接著，吾人將用上述之兩式進行程式之運算，並與 IE3D 模擬出的結果作比較。

接下來，吾人將利用 Matlab 撰寫程式並與模擬軟體之結果作一比較，判斷式 9.1 與 9.2 收斂狀況是否良好。此處吾人計算與模擬之環境如圖 9.2 所示：長與寬分別為 100mm*50mm；雙層金屬板間距為 30mil；介質損耗為 0.019；port 1 位於(10,10)、port 2 位於(20,10)；而饋入點面積皆為 30mil*30mil。

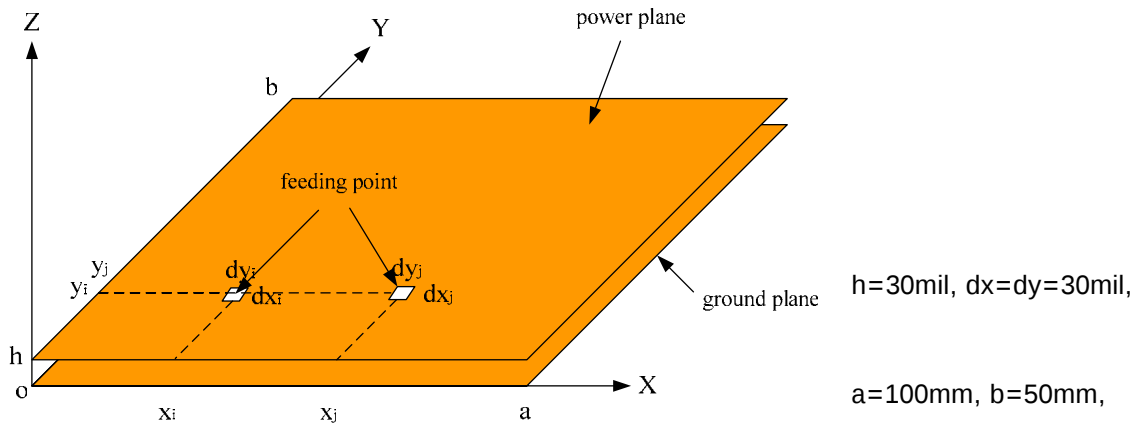


圖 9.2 計算與模擬尺寸示意圖

由圖 9.3(輸入阻抗)與圖 9.7(轉換阻抗)可以看出，式 9.1(圖中稱為 double)與式 9.2(圖中稱為 single)之兩條曲線幾乎是一致的，而與 IE3D 模擬出的結果也只差在峰值頻率點有些微偏移，但大致來說是穩合的；此處式 9.1 與 9.2 之收斂項數均為 100 項。

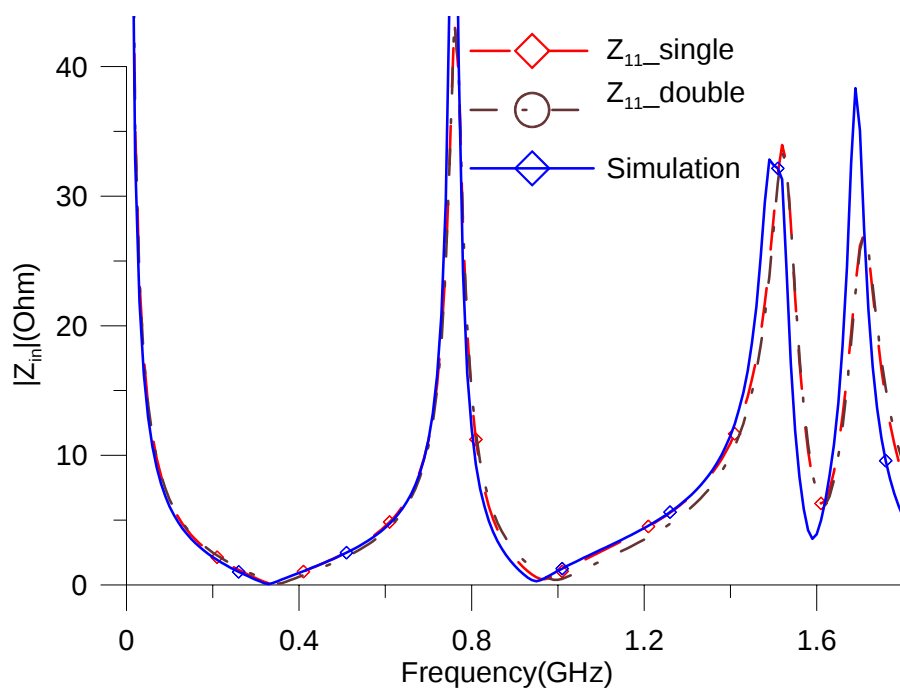


圖 9.3 式(9-1)、(9-2)與模擬之輸入阻抗比較圖

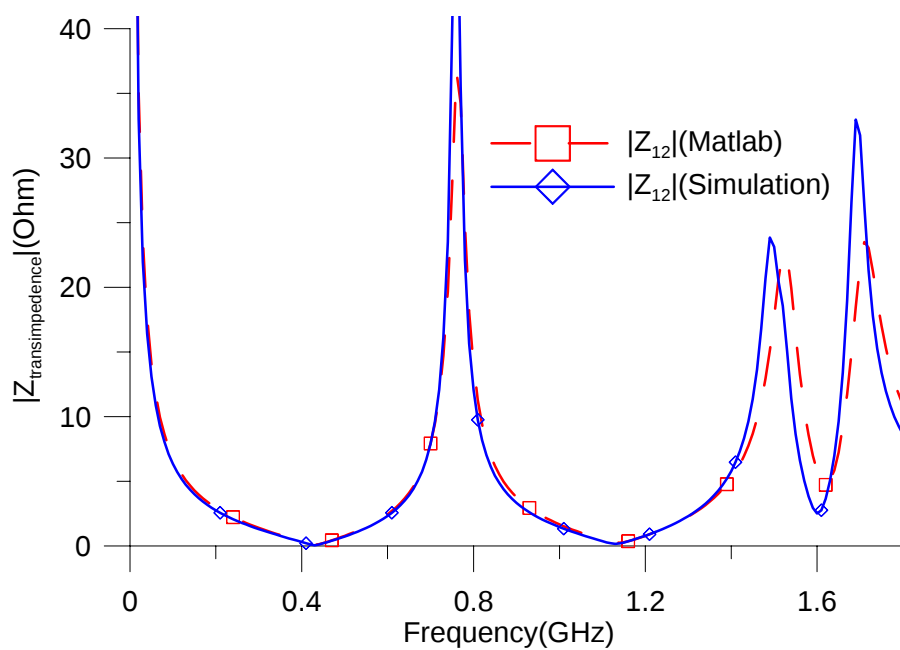


圖 9.7 式(9-2)與模擬之轉換阻抗比較圖

對於設計去耦合電容位置最佳化而言，收斂的速度快慢是相當關鍵的因素之一，而在表 9.1 中，針對了式(9-1)與式(9-2)的運算時間作比較，而收斂項數皆取 100 項。由表 9.1 可大略看出，在相同 port 的情況下進行運算，式(9-1)運算時間大約比式(9-2)多了兩個量級，這與吾人取的項數有關；而對於相同公式，運算時間大約與 port 數目平方成正比，而式(9-1)因運算時間過大，故在 port 為 10 與 20 時，未加以計算。

number of ports	time(sec)	
	single summation	double summation
2	3.9	290.8
5	19.7	1421.1
10	71.8	X
20	274.4	X

表 9.1 去耦合電容位置最佳化程式運算時間比較

9-3 去耦合電容之空腔模型

在完成雙層平行金屬板之空腔模型並找出其對應之 Z 矩陣後，接下來的目標，便是加入去耦合電容，並計算其 Z 矩陣。

首先，吾人將雙層平行金屬板以 N 埠網路描述後，再加上去耦合電容，其電路示意圖如圖 9.5 所示，其中 Z_C 表示去耦合電容構成的網路[69]。

而流入去耦合電容網路的電流和電壓關係可以寫成下列情況：

$$V = \begin{bmatrix} v_1 \\ v_2 \\ \dots \\ v_n \end{bmatrix} = \begin{bmatrix} Z_{C1} i_{C1} \\ Z_{C2} i_{C2} \\ \dots \\ Z_{Cn} i_{Cn} \end{bmatrix} = \begin{bmatrix} Z_{C1} & 0 & 0 & 0 \\ 0 & Z_{C2} & 0 & 0 \\ 0 & 0 & \dots & 0 \\ 0 & 0 & 0 & Z_{Cn} \end{bmatrix} \begin{bmatrix} i_{C1} \\ i_{C2} \\ \dots \\ i_{Cn} \end{bmatrix} = Z_C I_C \quad (9-3)$$

Z_C 為一個由所以去耦合電容構成的 Z 矩陣， Z_{C1} 為接在第一個埠接上的去耦合電容之阻抗值，此處阻抗值包含寄生電阻(ESR , equivalent series resistance)與寄生電感(ESL , equivalent series inductance)，三者是串接之情況。故由去耦合電容構成之 Z_C 可以輕易的寫出其形式， N 埠對角矩陣，即除了對角線上之元素有值外，其餘皆為零。

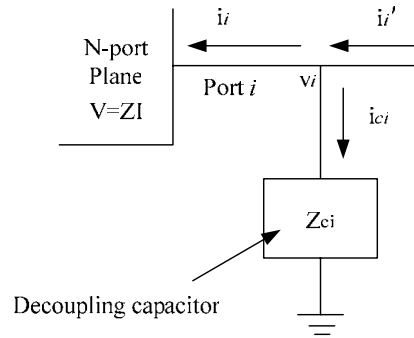


圖 9.5 加入去耦合電容之示意圖

完成了去耦合電容構成之矩陣後，再從圖 9.5 可以看出，去耦合電容構成之 Z 矩陣與前一節提出雙層金屬板之空腔模型推導出之 Z 矩陣是呈現並聯狀況，可以由下列式子簡易描述之：

$$V = Z(Z + Z_C)^{-1} Z_C I' = (Z_C^{-1} + Z^{-1})^{-1} I' = Z' I' \quad (9-4)$$

其中 Z 表示雙層金屬板之空腔模型推導出之 Z 矩陣，而 Z' 表示兩者並聯後產生之新的 Z 矩陣，也就是吾人欲求得之 Z 矩陣。

接著，吾人舉了一個實例來驗證此模型是否正確。在 9-2 節中吾人曾舉一雙層平行金屬板作為計算與模擬之例子(9-2)，而此節中，吾人將 1nF 之電容加入 port 2，此處電容並未考慮 ESR 與 ESL，並觀察計算結果是否與模擬結果吻合。

圖 9.6 為加入去耦合電容後，從 port 1 看入之輸入阻抗比較圖。圖 9.7 為加入去耦合電容後，port 1 與 port 2 之間的轉換阻抗比較圖。由圖 9.6 與圖 9.7 可以看出，計算與模擬結果相當吻合，並且，此結構雖未達最佳化，但已經可以看出，去耦合電容對於輸入阻抗與轉換阻抗有良好之抑制效果。

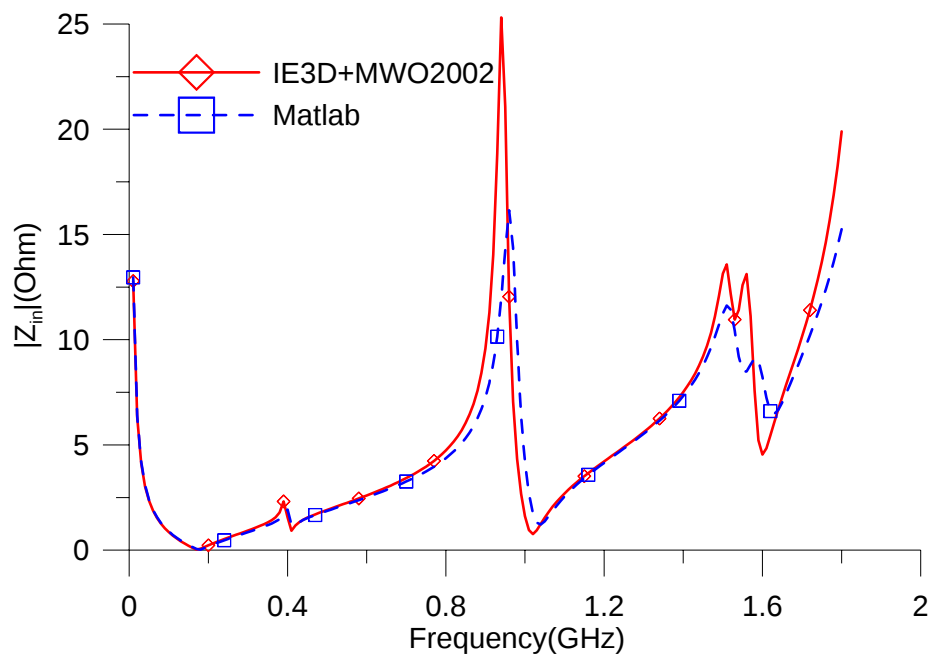


圖 9.6 加入去耦合電容之模擬之輸入阻抗比較圖

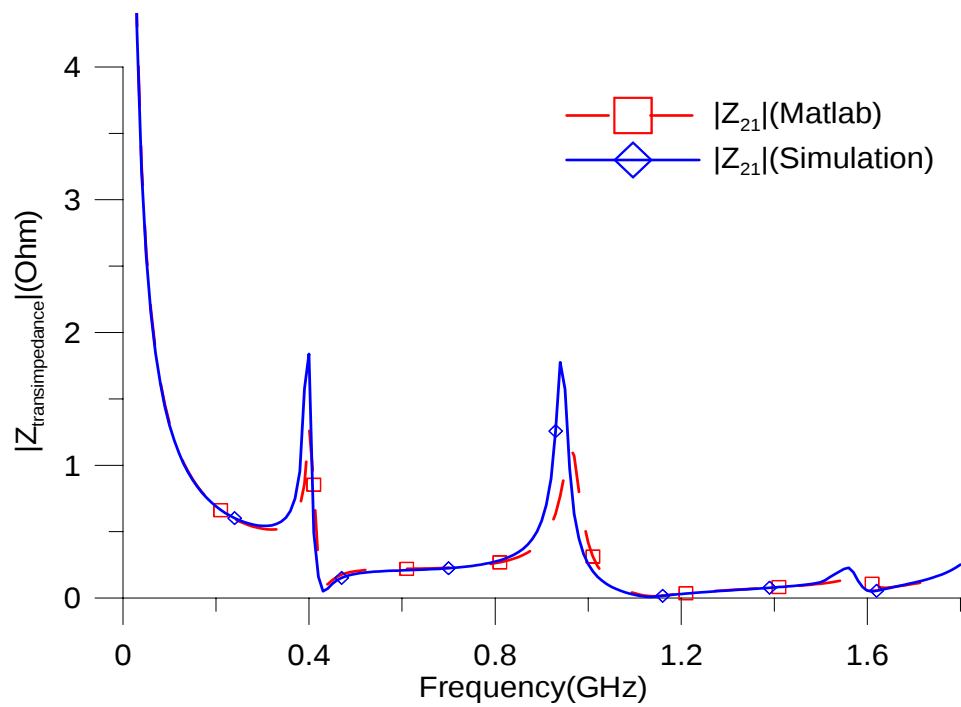


圖 9.7 加入去耦合電容之模擬之轉換阻抗比較圖

9-4 基因演算法之介紹

在目前現有的最佳化理論當中，建立在微分基礎上利用現有解附近資訊以找尋最佳解的梯度法(gradient method)最廣為應用；但是，梯度法的設限是必須對問題的解有相當好的初始猜測(initial guess)才有機會收斂到解空間(solution space)中的全域最佳解(global optimization solution)之附近。另外，此方法在最佳化求解過程當中，必需包括微分的計算，因此，當目標函數當中有不可微分的解存在時，此方法在這些解附近就無法藉由一階微分之訊息得知最佳解之尋找方向，而此方法的效能也就不佳。除此之外，梯度法對所處理的最佳化問題必須限制為『實變數問題』；另言之，梯度法對所處理的最佳化問題當中的解皆為實變數。然而，在實際物理問題之應用上，由於考慮到物理尺寸之問題，因此，將實際問題的解空間分解成離散區域而用二進位數字表示的方式，是較為貼切的方法。基於以上的考量，以不需任何初始猜測、一階微分資訊之計算、以及可以利用離散數字(或有限位元的二進位數字)來表示解空間的基因演算法來找尋去耦合電容最佳化位置與規格，將比傳統上以微分為基礎的梯度法適合。

基因演算法的基本觀念源自於十九世紀時達爾文所提之演化論，而此方法之數學模型最初是由美國密西根大學的 J. Holland 於 1975 年所提出。此方法與傳統最佳化理論最大不同處在於在最佳解尋找過程當中，必須產生一群候選的最佳解(candidate solutions)，藉由這些解彼此間相互比較，再利用達爾文所提『適者生存，不適者淘汰』的觀念，以模仿自然界進化的法則來對我們所關注的物理問題求得一組或多組近似全區最佳解。此演算法中包含了三個主要的機制，分別是：1)選擇(selection); 2)交配(crossover); 以及 3)突變(mutation); 其機制之說明將列之於下文當中。

在演算過程當中必須先對於解空間定義且編碼之，在編碼部分，本研究吾人將使用實數編碼(real number code)的形式來對去耦合電容的規格與排列位置編碼。在去耦合電容規格的編碼部分，所採取的是整數編碼法；此編碼方法是將去

耦合電容規格依序由小到大以整數編碼(integer code)表示之。此方式之優點與傳統的二進位編碼相較，不僅在求解時耗費於解碼程序所需計算量較少而具有較快的收斂特性，另外，亦不需受限於在傳統二進位編碼當中解空間必須是二的整數冪次之限制。在去耦合電容的位置部分，所採取的則是區間編碼法(interval code)。首先，此編碼的方法是將去耦合電容可放置的位置依其對應之座標以有限的浮點數(floating point number)編碼表示之。在實際運作時，採用實數編碼(real number code)的方式以四捨五入法分類其所屬的有限的浮點數之區間。每一個於此方法之優點與傳統的二進位編碼相較，亦在於求解時耗費於解碼程序所需計算量較少而具有較快的收斂特性與不需受限於在傳統二進位編碼當中解空間必須是二的整數冪次之限制。關於編碼方式的示意圖，詳見圖 9.8。

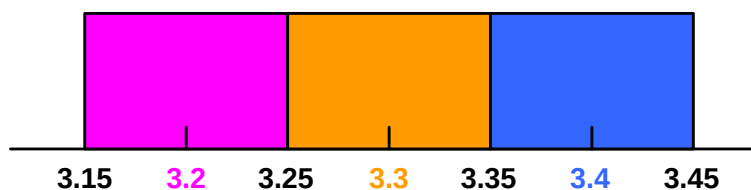


圖 9.8 區間編碼的示意圖

基因演算法啟動時，必須先以亂數方式去產生整數與實數以表示初始解。依照所需去耦合電容的數量與規格，在演算過程中去定義每一組解的編碼排列方式。為了方便說明，本文就以兩組去耦合電容的數量與規格來作說明；其中，每一組解的整體編碼示意圖如圖 9.9 之所示。在基因演算法當中，每一個編碼被稱為基因(gene)，而每一組解則稱之為染色體(chromosome)。

當產生總體(population)後，則開始對每一組解的好壞來做評分；而用以區別每組解優劣與否的函數則稱之為目標函數(objective function)，此函數是用以溝通基因演算法與物理問題間之橋樑。通常，目標函數的定義是對所關注頻率點某些參數來做加權後再加總。以去耦合電容最佳化為例，去耦合電容擺置的主要目的是要抑制觀測點與饋入點間的轉換阻抗。因此，此目標函數之定義為：『在某頻率範圍內轉換阻抗的平方和』。

再區別過每一組解的優劣之後，把所有的解做排序，再將最差的一半毀滅，然後再以較佳一半去產生新的解。在產生新的解過程當中，在原先較佳的解之中任意選擇兩組解來交配以產生新的兩組解。選擇哪些解可用交配產生新的解之過程，則稱之為選擇(selection)。在選擇的機制中，吾人所採用的方法是競爭比較法則：此方法是每次選出兩組解後，將較佳的那一組解留下，再選出兩組解，將較佳的那一組解留下，然後利用留下來的這兩組較佳的解進行交配以產生新的兩組解，重複此過程直到新的解全部被產生為止。原先那些解被用以產生新的解的稱之為父代(parents)，而新產生的那些解則稱為子代(children)。在此研究中兩組解交配的方法稱之為均勻交配(uniform crossover)，其機制是對兩個染色體任意選擇同一位置來做基因的交換，如圖 9.10 中所示。

Real number code chromosome

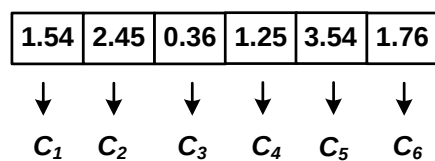
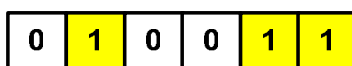
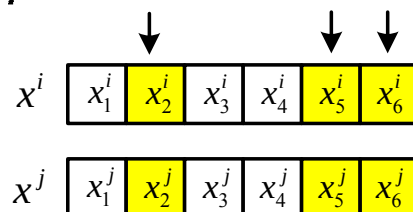


圖 9.9 編碼示意圖

a random mask:



parents under mask:



**exchange relative
genes**

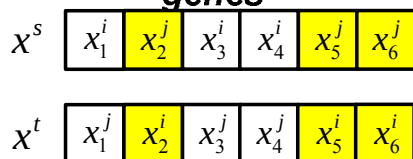


圖 9.10 交配機制的示意圖

等交配機制全部完成後，須重新評估所有解的優劣，然後再進行突變機制，此機制能讓基因演算法跳脫局部最佳解，進而有機會找到全域最佳解。通常，突變的機率不能定太高，因為基因演算法的主要機制是競爭比較，太高的突變率會使染色體所代表的解變得與突變前的解非常不同。在此研究中將突變率設為1%。另外，我們保留最好的染色體使之免於突變，此優點在於保證突變後的最佳解必定不會比突變前差。關於突變機制，則如圖 9.11 所示。

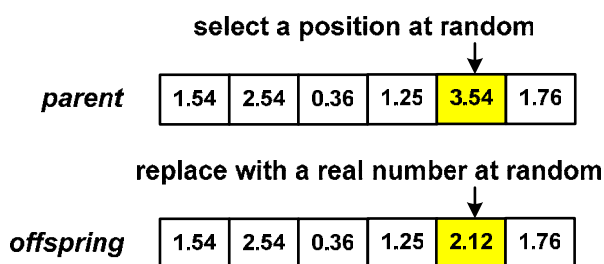


圖 9.11 突變機制示意圖

當突變機制完成後，再將每一組解依據好壞排列之，重複上面所提的機制：選擇、交配、以及突變；每完成上述的所有機制，稱做為一代(generation)。經過一代接著一代的改善，其目標函數值會愈來愈低，最後可得到最佳化的設計，其整個基因演算法流程如圖 9.12 所示。

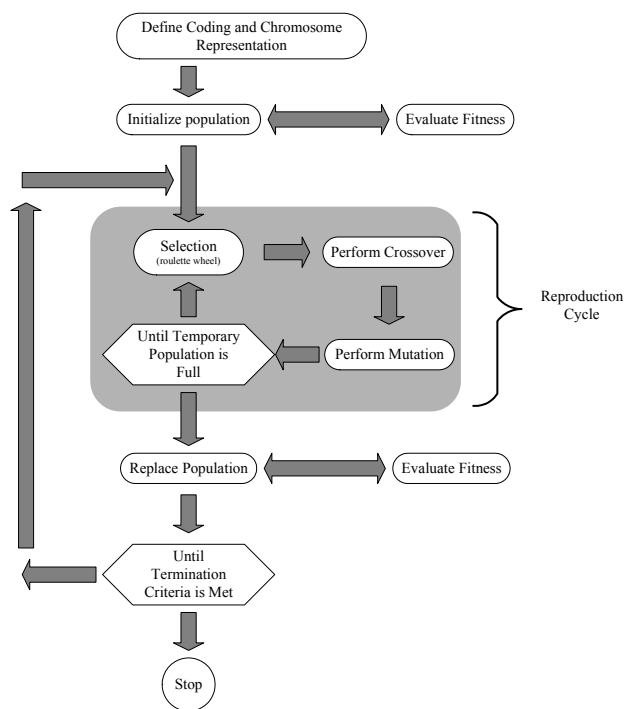
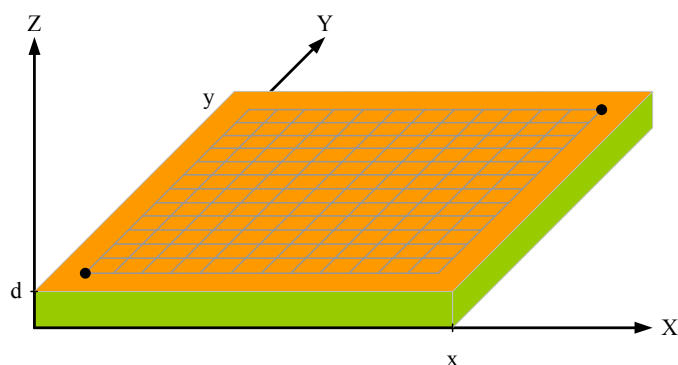


圖 9.12 基因演算法之流程圖

9-5 最佳化後之實例

在加入基因演算之後，吾人將舉出一些達成最佳化之實例，其尺寸示意圖如圖 9.13 所示。其中，有箭頭指到的兩個點代表吾人欲觀察的兩個埠位置，而其餘的點則為可能置放去耦合電容之位置。



$$d=30\text{mil}, dx=dy=30\text{mil},$$

$$a=80\text{mm}, b=80\text{mm},$$

$$\text{port\#1 : (10,10)}$$

$$\text{port\#2 : (70,70)}$$

$$\epsilon_r=4$$

圖 9.13 尺寸示意圖

在未加入任何去耦合電容之前，欲觀察的兩埠之間之阻抗矩陣(Z-matrix)如圖 9.14 所示。實線代表第一個埠的輸入阻抗；而虛線代表兩埠之間的轉換阻抗；此結構乃是对稱結構，故第二個埠的輸入阻抗與第一個埠是相同的，此曲線最大值出現於第一共振頻率點，約為 0.95GHz 處。

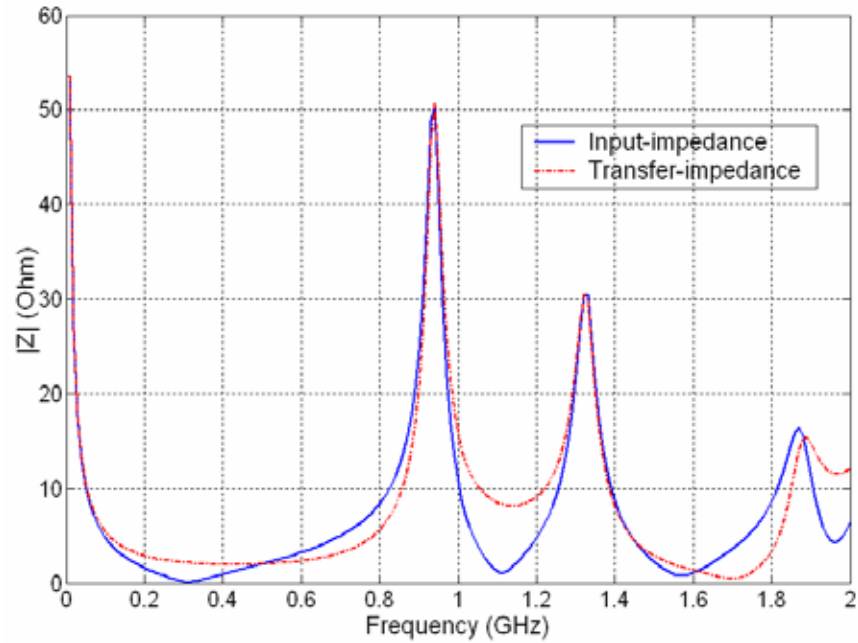


圖 9.14 未加去耦合電容之阻抗矩陣圖

此處使用之去耦合電容元件模型如圖 9-15 所示，其中包括了 ESL(等效串聯電感)、ESR(等效串聯電阻)、與一些其他之元件所構成，而吾人採用其中三種規格，即 0.22 μ F、0.47 μ F、1 μ F 三種規格，換句話說，加入基因演算法的電容有四種情形，一種為不加去耦合電容，另三種為之前提及的三種規格。

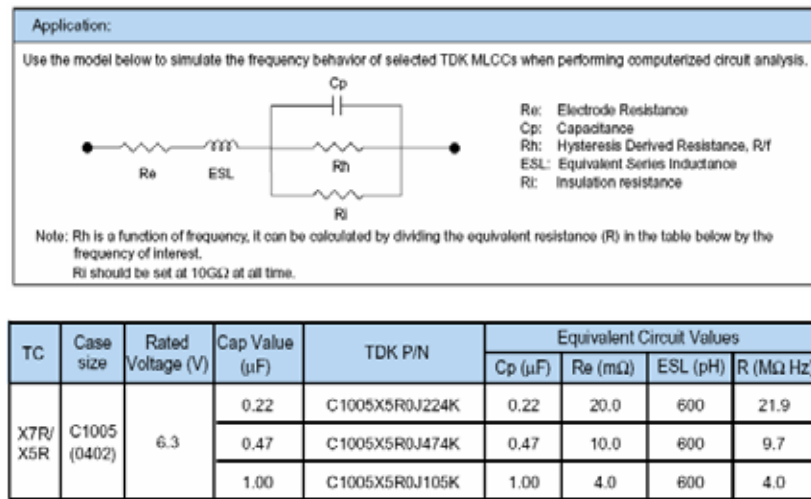


圖 9.15 去耦合電容模型與規格

而目標函數(Objective function)定義為：

$$f = \text{Minimum } |Z_{11}| \text{ (0~2GHz)}$$

在使用圖 9.13 之結構與圖 9.15 之電容規格並對第一個埠作整體性之最佳化後後，第一個埠之輸入阻抗圖如圖 9.16 之實線所示，因為目標函數是針對第一個埠的輸入阻抗作抑制，故第二個埠的輸入阻抗的結果沒有第一個埠的輸入阻抗來的理想。而圖 9.16 之虛線為最佳化之後轉換阻抗圖。

圖 9.17 為經過基因演算法最佳化後，電容出現之位置，其中，每條線間距皆為 5mm，換言之，此處考慮之去耦合電容可能出現位置為 12*12 個，在作最佳化過程中是相當耗時的，為了節省計算時間以及效率，吾人作了更進一步的處理。

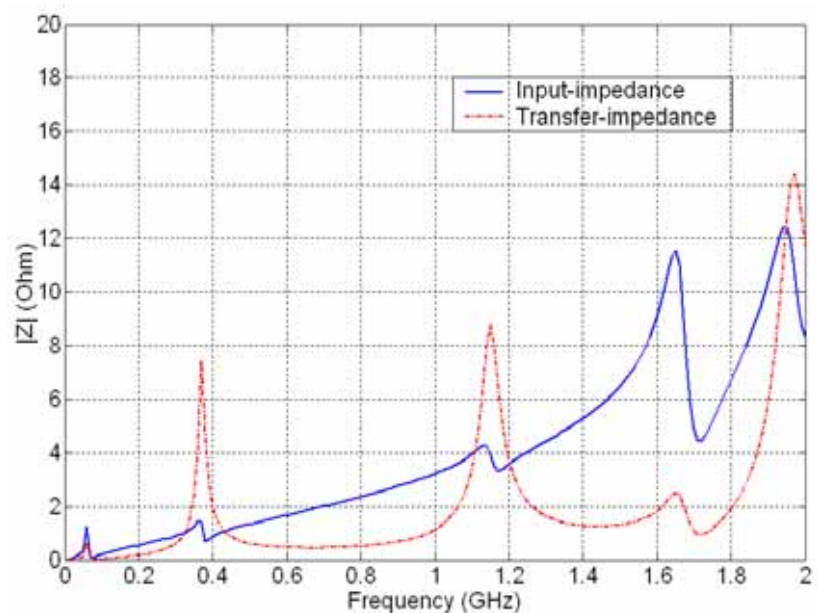


圖 9.16 最佳化後之輸入阻抗圖

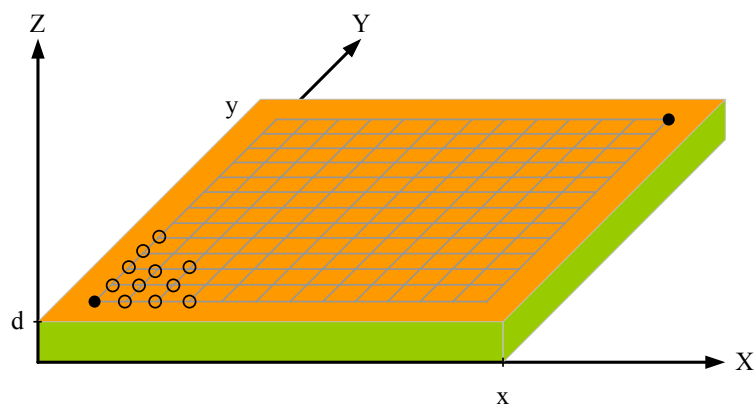


圖 9.17 最佳化後之電容分布圖

在模擬過許多例子後，發現電容分布會與吾人目標函數指定的埠之所在位置有關，意即，電容分布會集中於目標函數指定的埠附近，情況與圖 9.17 類似。雖然說基因演算法最佳化後偶爾會出現，電容在與目標函數指定的埠距離甚遠的情形，但那些少數之電容對於目標函數影響甚小，皆可以忽略之。

在發現電容分布之型態後，吾人將去耦合電容可能出現位置重新定義於目標函數指定的埠附近，這樣一來不但可以大大減少計算時間，而且可以將目標函數降的更低。

在此吾人取最靠近第一個埠的前六排可能位置並且改變間距 s 來作計算，如圖 9-18 所示，其中黑點為目標函數指定的埠，白點則為去耦合電容可能位置。而在間距逐漸變大的情況下，目標函數也逐漸增加，也應證了去耦合電容的有效位置會傾向於目標函數指定的埠。

只計算到 10mm 的原因為，當計算到 10mm 時，最外排(最佳化後，此時最外排為第二排)的去耦合電容開始消失，換言之，就是去耦合電容在此時對目標函數的影響降到一有效的臨界點，過了此臨界線之後，加入的去耦合電容，對目標函數不再有太大的改善，而此臨界線以內的區域，稱之為去耦合電容位置之有效區域。

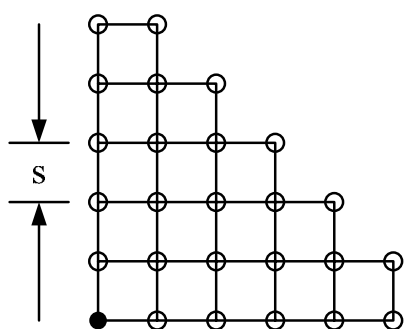


圖 9.18 去耦合電容之可能位置

去耦合電容之有效區域，可以將間距 $s=3\text{mm}$ 至 $s=10\text{mm}$ 時電容出現過的位置作一粗略的統計，情形如圖 9.19 所示，可以很明顯的看出較密集的部分，即為去耦合電容之有效區域，而在此規格下粗估有效區域大約為 20mm。

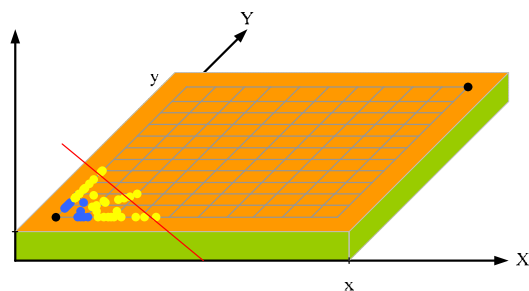


圖 9.19 去耦合電容之有效區域，單位長度(線與線間距)為 5mm

在找到有效區域後，吾人重新將此區域作一密集的切割當作去耦合電容可能的位置，如圖 9.20 所示，其扇形區域為定義之去耦合電容有效區域，約為 20mm，而扇形區域內的紅點，則為去耦合電容可能出現之位置，此處之間距已縮小至 2mm，而重新作最佳化後，電容位置分布如圖 9.21 所示，因為此結構為對稱結構，故第二個埠的電容分布只要針對中心點作對稱即可得到，而阻抗則如圖 9.22 所示，除了在輸入阻抗最大值比圖 9-16 改善許多外，1GHz 頻寬內的輸入阻抗也比圖 9.16 些微下降；在此比較令人意外之處，為轉換阻抗比起圖 9.16 優異甚多，大部分頻率維持在 0.2 歐姆內，而最大值也才不過 1 歐姆。

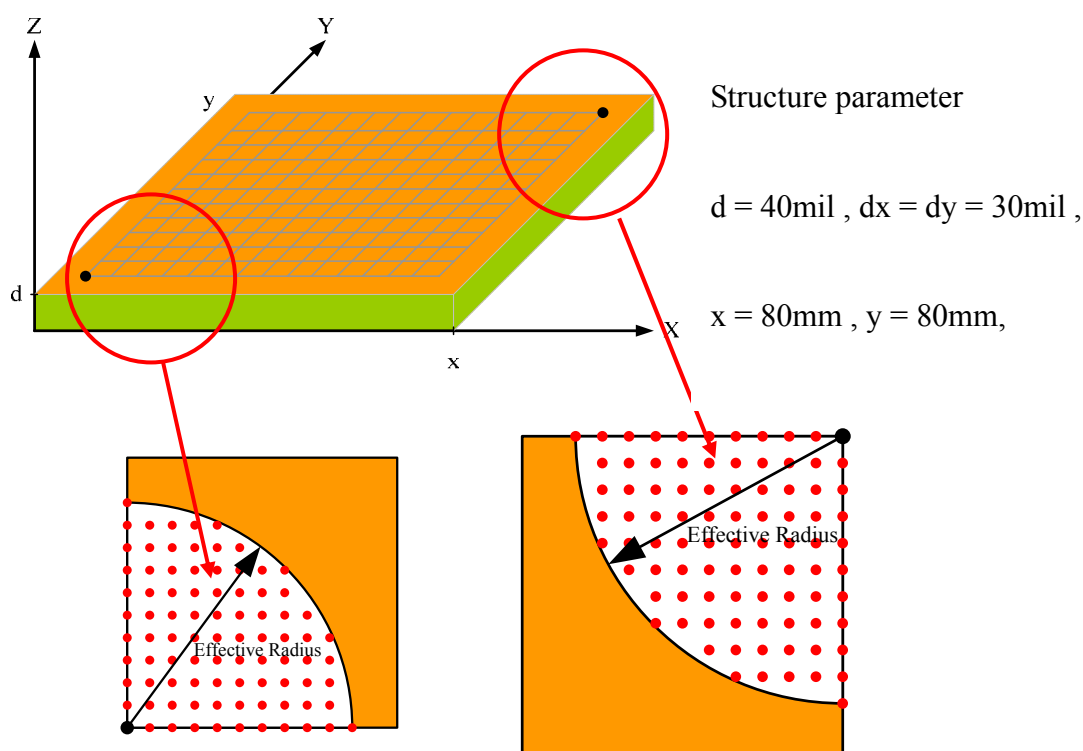


圖 9.20 去耦合電容之可能位置

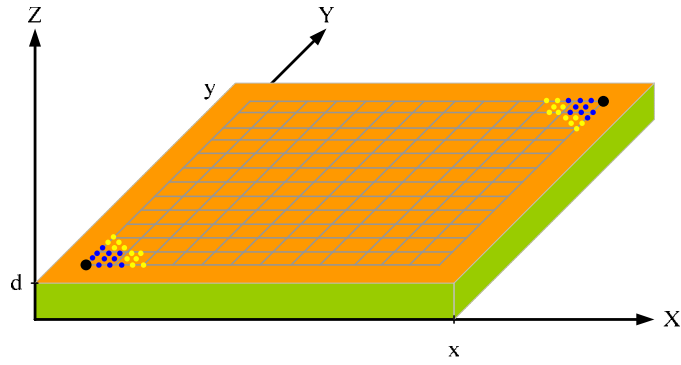


圖 9.21 針對有效區域作最佳化後之去耦合電容分布圖

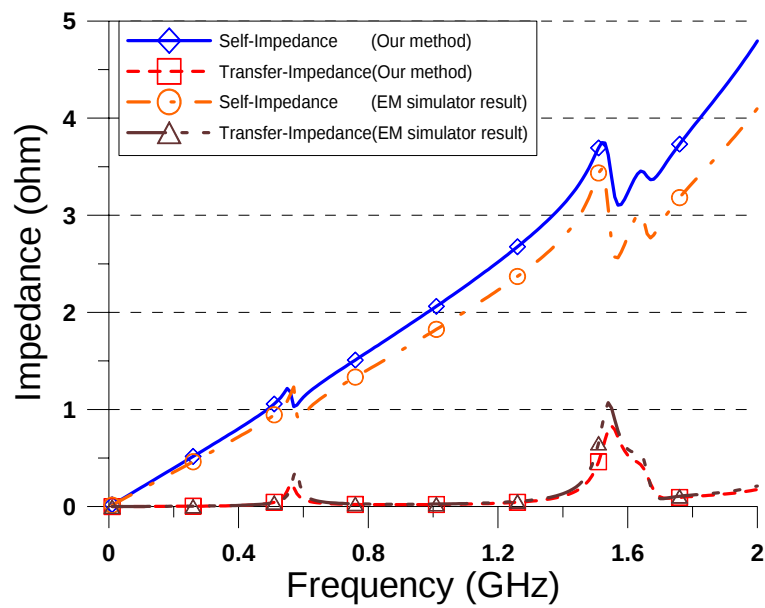


圖 9.22 針對有效區域作最佳化後之阻抗圖

而若將目標函數定義為針對轉換阻抗作抑制，意即將目標函數定義成：

$$f = \text{Minimum } |Z_{12}| \text{ (0~2GHz)}$$

並進行最佳化，其去耦合電容分布狀呈現如圖 9.23 所示之情形，可以明顯觀察到，電容分布並不像當目標函數定義為針對輸入阻抗作抑制時，來得規律，而是無規則性的散布在金屬板上的任意位置。而針對此目標函數最佳化後，其轉換阻抗如圖 9.24 所示，效果相當不錯；然而，其輸入阻抗如圖 9.25 所示，就顯得非常不理想。

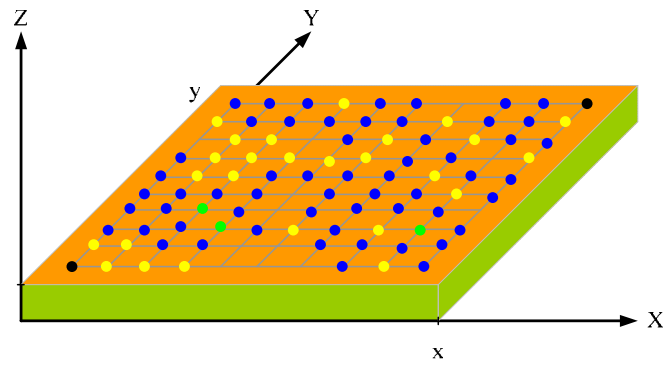


圖 9.23 針對轉換阻抗作抑制時，去耦合電容分布的情形

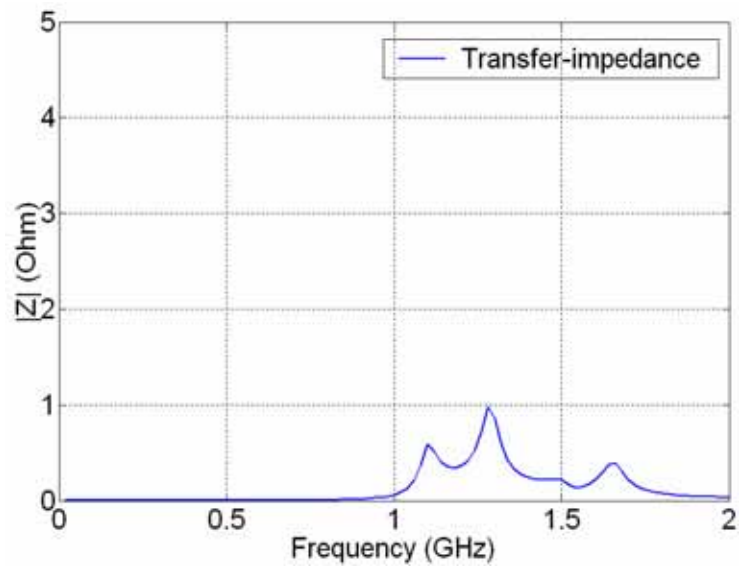


圖 9.24 針對轉換阻抗作抑制時，轉換阻抗圖

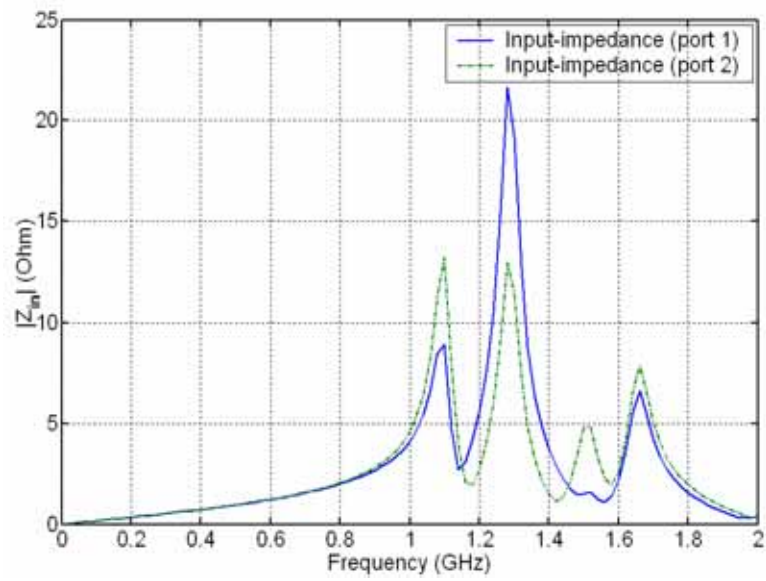


圖 9.25 針對轉換阻抗作抑制時，輸入阻抗圖

9-6 去耦合電容之選取

本章節在探討，該如何選取適當的電容，才能抑制在使用頻段裡，接地彈跳雜訊的問題。市售電容規格繁雜，每種電容均有其等效串聯(寄生)電感以及等效串聯(寄生)電阻，以先前章節使用過的電容來說($0.22\mu\text{F}$ 、 0.6nH 、 20mohm)，其阻抗對於頻率之變化如圖 9.26 所示，黑色粗線表示整體阻抗，從圖 9.26 最左邊開始，為平行金屬板本身的阻抗取線，而當頻率升高後，碰到 $0.22\mu\text{F}$ 的去耦合電容，故整體阻抗開始被抑制，而到達 10MHz 附近時，由於等效串聯電感之效應(0.6nH)開始明顯，故整體曲線又轉為電感性，而隨著頻率增高開始變大，此處在去耦合電容與等效串聯電感共振處會略成圓弧曲線，是由等效串聯電阻造成，另外，等效串聯電阻也會決定共振頻率時阻抗的大小[46]。

圖 9.26 為一棵去耦合電容對於整體阻抗的影響，可以很明顯的觀察出，大的電容適合用來抑制較低頻之接地彈跳雜訊，因為大電容的曲線會比較偏向左邊，而小的電容則適合用來抑制較高頻的接地彈跳雜訊，然而，所有的去耦合電容都需注意到一個問題，就是等效串聯電感的大小，對於整體阻抗之影響會是一個關鍵，換句話說，等效串聯電感越大，會使電感曲線向左偏，就會造成整體阻抗在較低頻時就開始呈線性上升，使得高頻時，整體響應不理想。

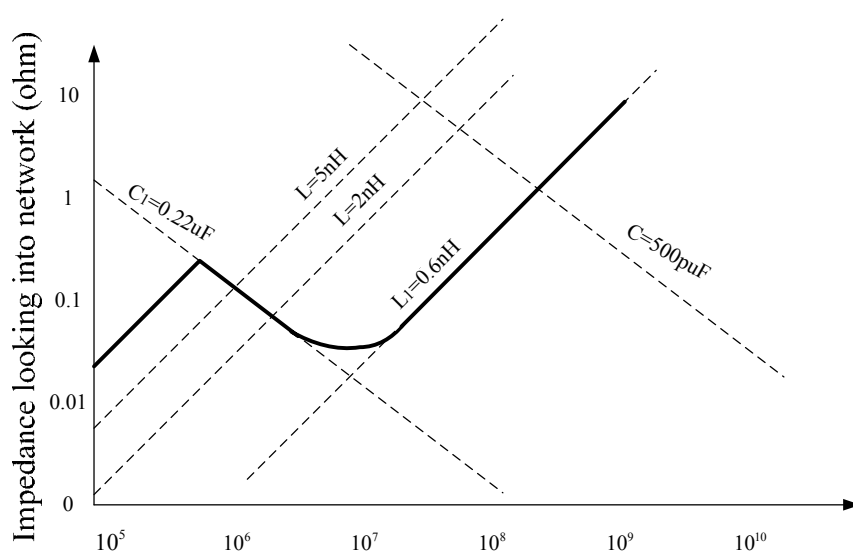


圖 9.26 去耦合電容對於輸入阻抗之影響

為了設計方便，圖 9.27 每一條曲線皆使用單獨一種去耦合電容作最佳化，此處使用之去耦合電容為前章節使用之電容。由圖 9.27 可以明顯發現，因為這三種去耦合電容的電容值皆在同一個數量級，屬於大電容，且等效串聯電感值皆相同，導致這三種去耦合電容作完最佳化候，整體輸入阻抗曲線在圖形上並沒有太大的差異。

接下來吾人採用更多不同之電容，其規格也相去甚遠，來做比較，其結果如圖 9.28 所示，由此圖可以觀察出，等效串聯電感對於整體輸入阻抗而言，是越小越好的，與圖 9.26 結果一致。另外，由圖 9.28 也可發現另一個問題，就是當去耦合電容越選越小時，低頻成份明顯的開始壓制不住的，造成低頻時，整體輸入阻抗就有高阻抗情況出現。

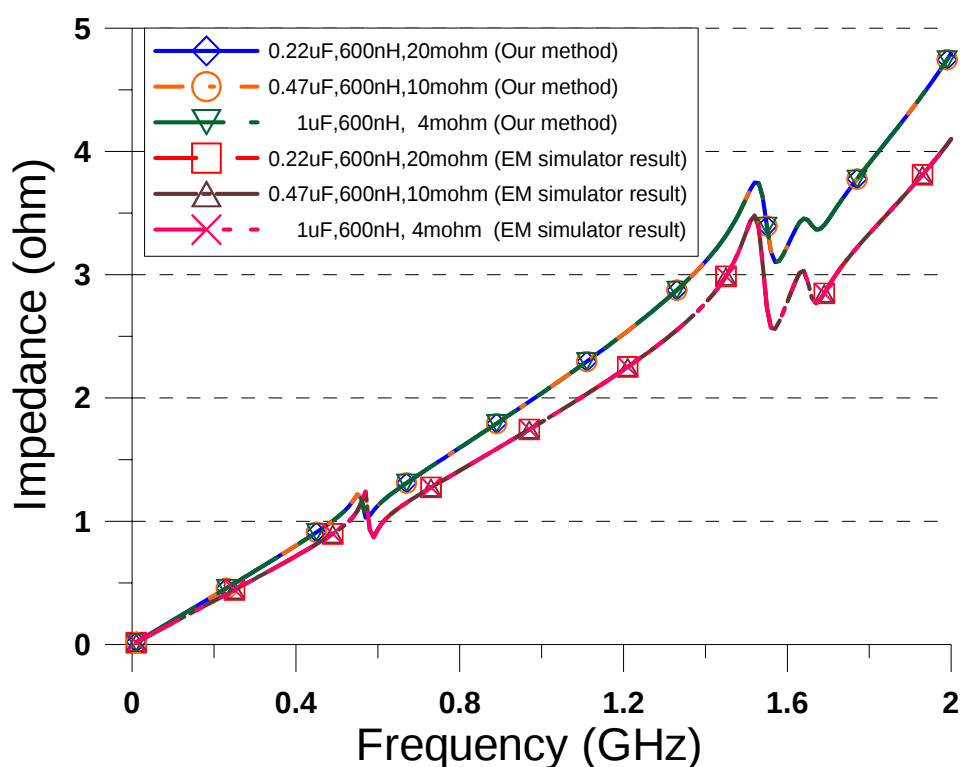


圖 9.27 針對單一電容作最佳化

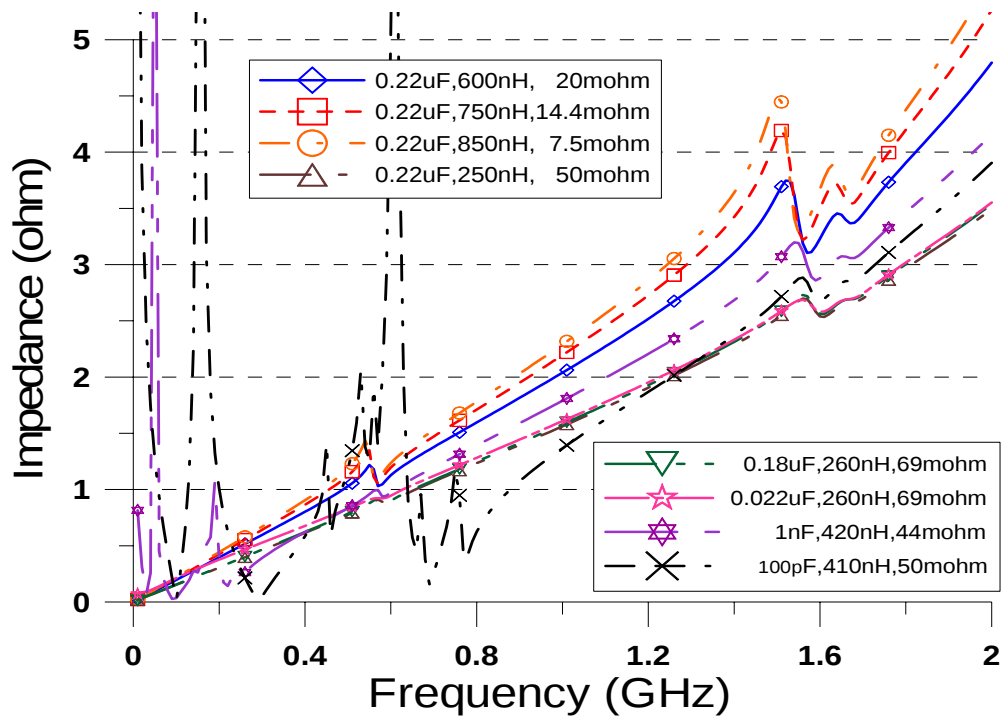


圖 9.28 針對單一電容作最佳化

第十章 結論

差模傳輸線是現在與未來高速數位信號傳送的標準結構，因此無人才針對該結構進行信號完整度的分析。

首先在第二章中，吾人分析了差模傳輸線的特性，並提供一個設計差模阻抗的圖表。第三章先探討差模對傳輸線的串音分析，接著以該分析理論進行差模延遲線的信號完整度分析，其中包含了差模蛇行延遲線與差模平坦螺旋延遲線；另外也設計了這兩種差模延遲線的設計圖表，以及差模延遲線的不同幾何結構參數與眼圖的關係。並藉由實驗驗證分析的結果。

第四章則是探討差模轉角結構的信號完整性，差模結構的去內鉗技術目前在一般的商業套裝軟體是做不到的，而吾人運用數學的方式發展了該項技術；並利用該技術擷取任意角度的差模轉角 Spice 模型，其中也包含最常見的 90 度、45 度、圓弧與 90 度削角；同時也分析信號經過之後所產生的差模與共模的雜訊量。最後也藉由原創的方式：增加“補丁”的佈線結構，用以降低共模雜訊。

第五章則是差模 Wire Bound 與 Package pin 模型化的分析，其中差模 Wire Bound 的部分，包含垂直與平行差模 Wire Bound 結構，其模型化的方式是透過 3D 模擬軟體與 Y 矩陣參數分析法求得；Package pin 模型化則是利用 Q3D 建立，而對於這兩種結構都設計了幾何參數與模型參數的設計關係圖，以提供快速查詢模型參數之用，節省每次都須藉由模擬軟體所花費的冗長時間。

第六章則是差模連通柱模型化分析，其模型化的方式是透過 3D 模擬軟體與 Y 矩陣參數分析法求得，也建立了幾何參數與模型參數的設計關係圖，以提供快速查詢模型參數之用。

在愈模擬差模信號穿越兩層金屬層時所引發接地雜訊特性時，目前一般的模擬軟體都是切割十分細的方格來進行模擬，但往往花費相當多的模擬時間；今吾人於第七章探討如何利用時域有限差分法與時域有限元素法的結合，提高了其

模擬的效能，並也與其他軟體比較與驗證。

第八章則是探討差模信號線跨越槽線的分析，差模信號線跨越槽線所引發的接地訊與反射雜訊都比單跟信號線所引發的約降低一個 order，另外差模傳輸線的耦合係數也與所引發的接地雜訊大小成反比，而電流分布情形也將以視覺化方式被探討。

最後，第九章則是利用基因演算法求得給定一些特定的去耦合電容時，使得電源與接地層之間為最低輸入阻抗之下的去耦合電容值、數量與位置，並且有考慮 ESL 與 ESR 的非理想效應。

吾人該計畫，從差模傳輸線的特性與差模不連續結構的模型化到差模傳輸線與接地雜訊的關係，最後探討快速有效的抑制接地雜訊的方法。以期對於現在與未來高速數位信號傳送的標準結構—差模傳輸線，提供一完整的分析與研究。

參考文獻

- [1] J. Choi, S. Chun, N. Na, M. Swaminathan, and L. Smith, "A methodology for the placement and optimization of decoupling capacitors for Gigahertz systems," *13th Int' Conf. VLSI Design*, pp. 156-161, 2000.
- [2] C. W. Ho, D. A. Chance, C. H. Bajorek, and R. E. Acosta, "The thin-film module as a high- performance semiconductor package," *IBM J. Res. Develop.*, vol. 26, pp. 286-296, May 1982.
- [3] G. A. Katopis, "Delta-I noise specification for a high-performance computing machine," *Proc. IEEE*, vol. 73, pp. 1405-1415, Sept. 1985.
- [4] E. Ruehli, "Survey of computer-aided electrical analysis of integrated circuit interconnections," *IBM J. Res. Develop.*, vol. 23, pp. 626-639, Nov. 1979.
- [5] R. Senthinathan and J. L. Prince, "Simultaneous switching noise calculation for packaged CMOS devices," *IEEE J. Solid-State Circuit*, vol. 11, pp. 1724-1728, Nov. 1991.
- [6] D. Zutter, "The FDTD-method for EMC-problems with applications to electrostatic charge and delta-I noise calculations," *Proc. 1997 IEEE Int. Symp. EMC*, pp. 226-230.
- [7] S. Van den Berghe, F. Olyslager, D. De Zutter, J. De Moerloose, and W. Temmerman, "Study of ground bounce caused by power plane resonances," *IEEE Trans. Electromagn. Compat.*, vol. 40, pp. 111-119, May 1998.
- [8] Y. Chen, Z. Wu, A. Agrawal, Y. Liu, and J. Fang, "Modeling of delta-I noise in digital electronics packaging," *1994 IEEE Multi-Chip Module Conf.*, pp. 126-131, Santa Cruz, CA, March 1994.
- [9] Z. Wu, Y. Chen, and J. Fang, "Modeling and simulation of integrated decoupling

- capacitors in single and multichip module electronics packaging,” 44th *Electronic Comp. Technol. Conf.*, pp. 945-948, 1994.
- [10] B. Garben and M. F. McAllister, ”Novel methodology for mid-frequency delta-I noise analysis of complex computer system boards and verification by measurements,” *IEEE Conf. EPEP 2000*, pp 69-72.
- [11] J. Zhao and Q. Chen, “A new methodology for simultaneous switching noise simulation,” *IEEE Conf. EPEP 2000*, pp 155-158.
- [12] Q. Chen and J. Zhao, “Via and return path discontinuity impact on high-speed digital signal quality,” *IEEE Conf. EPEP 2000*, pp. 215-218.
- [13] 林聖謀，*接地雜訊的時域分析*，國立台灣大學碩士論文，民國 90 年 6 月。
- [14] K. K. Chang, C. N. Kuo, T. L. Wu, and R. B. Wu, “Equivalent circuit of a through hole via in multi-layer environment,” *IEEE Conf. EPEP 1992*, pp. 59-61.
- [15] 吳瑞北、郭建男、吳宗霖、陳威霖，*多層板中連通柱的等效電路分析*，工業技術研究院計畫報告，民國八十一年三月。
- [16] H. J. Liaw and H. Merkelo, “Signal integrity issues at split ground and power planes,” 1996 *Electronic Comp. Technol. Conf.*, pp. 752-755, 1996.
- [17] T. H. Hubing, T. Van Doren, F. Sha, J. Drewniak, and M. W. Chelm, “An experimental investigation of 4-layer printed circuit board decoupling,” *IEEE Int. Symp. EMC*, pp. 518-525, 1995.
- [18] J. Fan, Y. Ren, J. Chen, D. M. Hockanson, H. Shi, J. L. Drewniak, T. H. Hubing, R. E. Van Dor Dubroff, “RF isolation using power islands in DC power design,” *IEEE Int. Symp. EMC*, pp. 838-843, 1999.
- [19] N. Orhanovic, R. Raghuram, and N. Matsui, “Signal propagation and radiation of single and differential microstrip traces over split image planes,” *IEEE Int.*

- Symp. EMC., pp. 339-343, 2000.
- [20] H. Chen and J. Fang, "Effects of 20-H rule and shielding vias on electromagnetic radiation from printed circuit boards," *IEEE Conf. EPEP 2000*, pp. 193-196.
- [21] A. R. Djordjevic and T. K. Sarkar, "An investigation of delta-I noise on integrated circuits," *IEEE Trans. Electromagn. Compat.*, vol. 35, pp. 134-147, May 1993.
- [22] J. Fang, J. Zhao, and J. Zhang, "Shorting via arrays for the elimination of package resonance to reduce power supply noise in multi-layered area-array IC package," *1998 IEEE Symp. IC/Package Design Integration*, pp. 116-119, 1998.
- [23] M. Sung, W. Ryu, H. Kim, J. Kim, and J. Kim, "An efficient crosstalk parameter extraction method for high-speed interconnection lines," *IEEE Trans. Advanced Packaging*, vol. 23, pp. 148-155, May 2000.
- [24] M. Sung, W. Ryu, H. Kim, J. Kim, and J. Kim, "Reduction of crosstalk noise in modular jack for high-speed differential signal interconnection," *IEEE Trans. Advanced Packaging*, vol. 24, pp. 260-267, Aug. 2001.
- [25] H. Wu, W. T. Beyene, N. Cheng, C. C. Huang, and C. Yuan, "Design and verification of differential transmission lines," *IEEE 10th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 85-88, Cambridge, Massachusetts, USA, Oct. 2001.
- [26] Z. Mu and K. Willis, "SI and considerations for Gbps PCBs in communication systems," *IEEE 10th Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 287-290, Cambridge, Massachusetts, USA, Oct. 2001.
- [27] 吳瑞北·何起予·歐陽昌廉·邱柏源，*傳輸線的時域模擬*，國科會計畫研究報告，1991年9月。

- [28] T. Wang, R.F. Harrington, and J.R. Mautz, "Quasi-static analysis of a microstrip via through a hole in a ground plane," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1008-1013, 1988.
- [29] P. Kok and D. Zutter, "Capacitance of a circular symmetric model of a via hole including finite ground plane thickness," *IEEE Trans. Microwave Theory Tech.*, vol. 39, pp. 1229-1234, July 1991.
- [30] A.W. Mathis, A.F. Peterson and C.M. Butler, "Rigorous and simplified models for the capacitance of a circularly symmetric via", *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 1875-1878, 1997.
- [31] J.P. Quine, H.F. Webster, H.H. Glascock, and R.O. Carlson, "Characterization of via connections in silicon circuit boards," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 21-27, Jan. 1988.
- [32] K. K. Chang, C. N. Kuo, T. L. Wu, W. L. Chen, and R. B. Wu, "Equivalent circuit of a through via in multi-layer environment," *Topical Meeting on Electrical Performance of Electronic Packaging*, pp. 59-61, Tucson, Arizona, April 1992.
- [33] S. G. Hsu and R. B. Wu, "Full wave characterization of a through hole via using the matrix-pencil moment method," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1540-1547, Aug. 1994.
- [34] S. G. Hsu and R. B. Wu, "Full wave characterization of a through hole via in multi-layered packaging," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 1073-1081, May 1995.
- [35] Q. Gu, Y.E. Yang, and M.A. Tassoudji, "Modeling and analysis of vias in multilayered integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 4, pp. 206-214, 1993.

- [36] Q. Gu, A. Tassoudji, S.Y. Poh, R.T. Shin, and J.A. Kong, "Coupled noise analysis for adjacent vias in multilayered digital circuits," *IEEE Trans. Circuits Systems*, vol. 4, pp. 796-804, 1994.
- [37] L. Tsang, H. Chen, C. Huang, and V. Jandhyala, "Modeling of multiple scattering among vias in planar waveguide using foldy-lax equations," *Microwave Optical Technol. Lett.*, vol. 3, pp. 201-208, Nov. 2001.
- [38] 張以昀，從時域測量建立等效電路之研究，國立台灣大學碩士論文，民國 84 年 6 月。
- [39] 王美華，由時域反射量測擷取等效電路之研究，國立台灣大學碩士論文，民國 86 年 6 月。
- [40] 吳亭瑩，多導體連接器與天線之擷取等效電路模型，國立台灣大學碩士論文，民國 88 年 6 月。
- [41] I. J. Bahl, and D. K. Trivedi, "A designer's guide to microstrip line," *Microwave*, pp. 174-182, May 1977.
- [42] K. C. Gupta, R. Garg, and I. J. Bahl, *Microstrip Lines and Slotlines*, Artech House, Dedham, Mass., pp. 103, 1996.
- [43] 吳瑞北·何起予·歐陽昌廉·邱柏源，傳輸線的時域模擬,國科會計劃研究報告，1991 年 9 月
- [44] R. B. Wu and F. L. Chao, "Laddering wave in serpentine delay line," *IEEE Trans. Comp., Packag., Manufact. Technol., Part B*, vol. 18, no. 4, pp. 644-650, Nov. 1995.
- [45] R. B. Wu and F. L. Chao, "Flat spiral delay line design with minimum crosstalk penalty," *IEEE Trans. Comp., Packag., Manufact. Tech., Part B*, vol. 19, no. 2, pp.397-402, May 1996.
- [46] S. H. Hall, G. W. Hall, and J. A. McCall, "*High-Speed Digital System Design*, A

Handbook of Interconnect Theory and Design Practices,” John Wiley & Sons, Inc., NJ, 2000.

- [47] B. J. Rubin and B. Singh, “Study of meander line delay in circuit boards,” *IEEE Trans. Microwave Theory Tech.*, vol. 48, pp.1452-1460, Sept. 2000.
- [48] IConnect, TDA Systems, Inc. (www.tdasystems.com).
- [49] M. Xu , S. Radu, J. L. Knighten, J. L. Drewniak, T. H. Hubing, L. O. Hoeft, and J. T. DiBene II, “Signal induced EMI in fibre channel cable-connector assemblies,” *IEEE International Symposium on Electromagnetic Compatibility*, Vol. 1 , pp. 201 -205 vol.1 1999.
- [50] Alimenti, F., Mezzanotte, P., Roselli, L. and Sorrentino, R., “Modeling and characterization of the bonding-wire interconnection” *IEEE Trans. Microwave Theory and Tech.*, vol. 49 , Issue: 1 , Jan. 2001 Pages:142 - 150
- [51] Alimenti, F., Goebel, U. and Sorrentino, R., “Quasi static analysis of microstrip bondwire interconnects” *Microwave Symposium Digest*, 1995., *IEEE MTT-Symp. Dig.*, 16-20 May 1995 Pages:679 - 682 vol.2
- [52] K. K. Chang, C. N. Kuo, T. L. Wu, W. L. Chen, and R. B. Wu, “Equivalent circuit of a through via in multi-layer environment,” *IEEE Topical Meeting on EPEP*, pp. 59-61, Oct. 22-24, 1992.
- [53] T. Wang, R. F. Harrington, and J. R. Mautz, “Quasi-static analysis of a microstrip via through a hole in a ground plane,” *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1008-1013, June 1988.
- [54] T. Wang, R. F. Harrington, and J. R. Mautz, “The excess capacitance of a microstrip via in a dielectric substrate,” *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 48-56, Jan. 1990.
- [55] P. A. Kok and D. De Zutter, “Capacitance of a circular symmetric model of a via

- hole including finite ground plane thickness,” *IEEE Trans. Microwave Theory Tech.*, vol. 39, pp. 1229-1234, July 1991.
- [56] P. A. Kok and D. De Zutter, “Scalar magnetostatic potential approach to the prediction of the excess inductance of grounded via’s and via’s through a hole in a ground plane,” *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1229-1236, July 1994.
- [57] P. A. Kok and D. De Zutter, “Prediction of the excess capacitance of a via-hole through a multilayered board including the effect of connecting microstrips or striplines,” *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 2270-2276, Dec. 1994.
- [58] S. G. Hsu and R. B. Wu, “Full-wave characterization of a through hole via in multi-layered packaging,” *IEEE Trans. Microwave Theory Tech.*, vol. 43, May. 1995.
- [59] S. Maeda, T. Kashiwa, and I. Fukai, “Full wave analysis of propagation characteristics of a through hole using the finite-difference time-domain method,” *IEEE Trans. Microwave Theory Tech.*, vol. 39, pp. 2154-2159, Dec. 1991.
- [60] C. T. Wu, G. H. Shiue, S. M. Lin, and R. B. Wu, “Composite effects reflections and ground bounce for signal line through a split power plane,” *IEEE Trans. Adv. Packaging*, vol. 25, May. 2002.
- [61] 孫瑞伯，多層連通柱結構的等效模型擷取與時域分析，國立台灣大學碩士論文，民國 93 年 6 月。
- [62] S. M. Lin and R. B. Wu, “Composite effects of reflections and ground bounce for signal vias in multi-layer environment,” *Proc. IEEE Microwave Conf. APMC*, vol.3, pp. 1127-1130, Dec. 2001.

- [63] J. F. Lee, and A. Cangellaris, "Time-domain finite-element methods, " *IEEE Trans. Antennas Propagat.*, vol. 47, pp. 430-441, March 1997.
- [64] H. J. Liaw and H. Merkelo, "Signal integrity issues at split ground and power planes," *Proceedings of 46th IEEE Electronic Components and Technology Conference*, 1996, pp. 752 –755.
- [65] K. K. Chang, C. N. Kuo, T.L. Wu, and R. B. Wu, "Equivalent circuit of a through hole via in multi-layer environment," *IEEE Topical Meeting on Electrical Performance of Electronic Packaging*, Tucson, AZ, Oct. 22-24, 1992, pp. 59-61.
- [66] K. C. Gupta, R. Garg, and I. J. Bahl, *Microstrip Lines and Slotlines*, Artech House, Dedham, Mass., page 103, 1996.
- [67] Minjia Xu and T. H. Hubing, "Estimating the Power Bus Impedance of Printed Circuit Boards with Embedded Capacitance," *IEEE Trans. Advanced Packaging*, August, 2002.
- [68] Abdelaziz Benalla and K. C. Gupta, "Faster Computation of Z matrices for Rectangular Segments in Planar Microstrip Circuit," *IEEE Trans. Microwave Theory and Tech.*, June 1986.
- [69] Jinseong Choi, Sungjun Chun and Madhavan Swaminathan, "Modeling and Transient Simulation of Planes in Electronic Packages," *IEEE Trans. Advanced Packaging*, August 2000.