

行政院國家科學委員會專題研究計畫 成果報告

子計畫一：微機電式射頻積體電路

計畫類別：整合型計畫

計畫編號：NSC93-2212-E-002-079-

執行期間：93 年 08 月 01 日至 94 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：呂學士

計畫參與人員：汪濤

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 9 月 28 日

行政院國家科學委員會專題研究計畫成果報告

計畫編號：NSC 93-2212-E-002-079-

執行期限： 93 年 8 月 1 日至 94 年 7 月 31 日

主持人：呂學士 教授台灣大學台灣大學電子所

共同主持人：

計畫參與人員：汪濤 台灣大學電子所博士生

一、中文摘要

本計畫將微機電製程應用於標準之 CMOS 射頻電路，應用範圍包括微機電式電感，低雜訊放大器，壓控震盪器，混波器，以及分布式放大器，目的是將標準矽製程電感下的矽基板掏空，並提高電感之品質因數，以增進射頻電路的功能。

關鍵詞：微機電，射頻電路，電感

Abstract

The project is proposed to implement micromachining processes in the standard CMOS RF circuits. This idea is realized in the RF front-end including MEMS inductor, low noise amplifier, mixer, voltage control oscillator, and distributed amplifier. The aim is to remove the lossy silicon underneath the inductors, which can increase the quality factors of them and improve the performance of the RFICs.

Keywords: MEMS, RFIC, inductor

二、緣由與目的

隨著無線通信產業的蓬勃發展，將無線通信晶片整合在一起，將為未來的趨勢，在基頻方面，CMOS 已建立其屹立不搖之穩固地位，然而若是要將射頻與基頻整合，將會遇到矽基板的損耗問題，基頻電路為了避免 latch up 所使用的重參雜係基板，將使晶片上的電感品質因數降低，損耗增加，為此，許多降低損耗的方法都曾經被討論過，例如在電感線圈與基板間製入高厚度的絕緣材料，增加金屬的厚度，或將整個晶片磨薄，等等。我們提出了一個解決方法，可以與現

有的 CMOS 標準製程相容，並且可選擇性地只將少數的基板移除，以穩定晶片結構，避免晶片過薄而使良率下降。

為了證實上述的方法可行，我們將此方法應用在下線所得的 CMOS 電路，經過微機電的後製程實驗後，與原本的電路比較。

三、研究內容

本實驗的製程流程如圖 1 所示，首先將晶片翻面並將正面以光阻黏著於玻片上，接著對其背面作曝光顯影，定義蝕刻時的保護層，接著把晶片製入電感耦合電漿蝕刻機內，將晶片背面未被保護的區域，蝕刻乾淨，最後將晶片從玻片移除並清潔表面後，完成後製程。

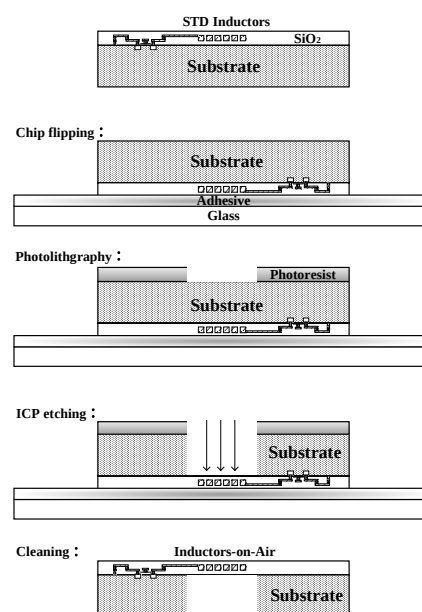


圖 1

我們將此技術應用於許多 CMOS 射頻電路，包括低雜訊放大器，寬頻放大器，壓控震盪器，混波器，各電路分述如下：

低雜訊放大器(LNA)

圖 2 為一 CMOS 0.25um 之低雜訊放大器的電路圖，共有四個電感，經過後製程將電感底下的基板蝕刻(如圖三)。

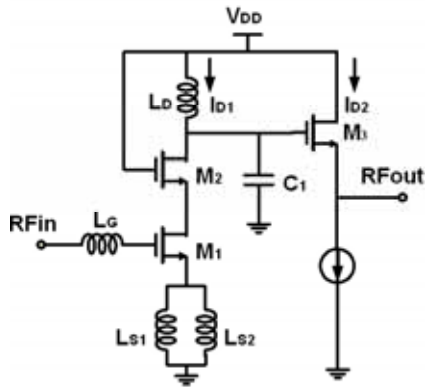


圖 2

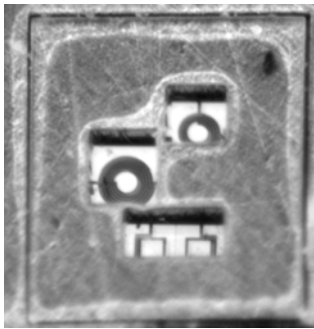


圖 3

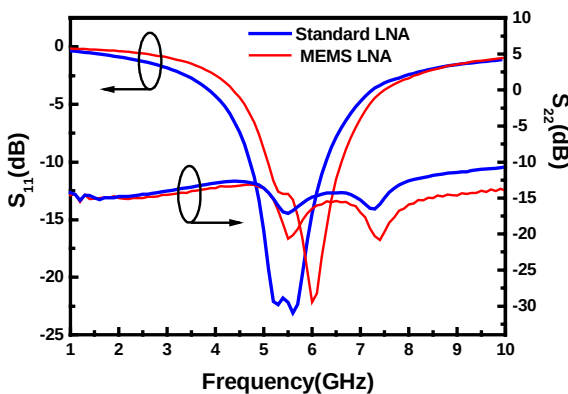


圖 4

比較後製程前後的量測結果，由圖 4 知，經過基板蝕刻後的電感，其寄生電容減少，使得原本的輸入匹配(S_{11})頻率，向高頻飄

移，輸出匹配範圍則維持原有的寬頻匹配。功率增益方面，如圖 5，電感品質因數改善可使得 S_{21} 從原本的 21dB 提升至 23dB。雜訊表現改善可見於圖 6，因電感損耗降低，訊號雜訊比因而提升，所以整個 LNA 的雜訊指數由原本的 2.3dB，減少至 1.8dB，0.5 dB 的改善，輸出的 SNR 比因此提高三倍，對於低雜訊的電路而言，此改善相當顯著。

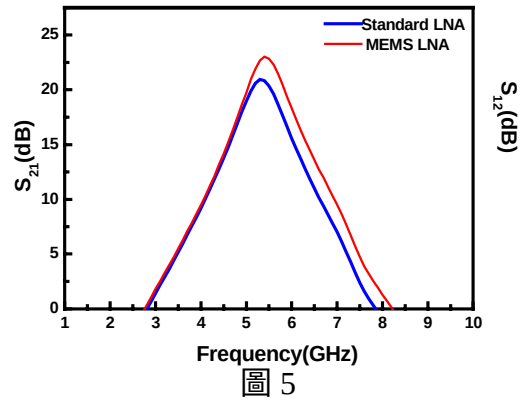


圖 5

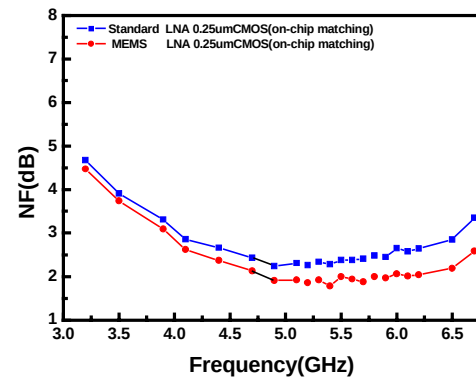


圖 6

寬頻放大器

圖 7 為一 CMOS 分布放大器(DA)電路圖，此電路作為寬頻放大器使用，圖 8 為後製程完之晶片背視圖。

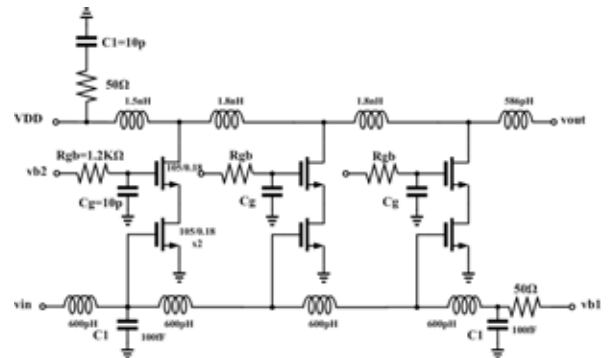


圖 7

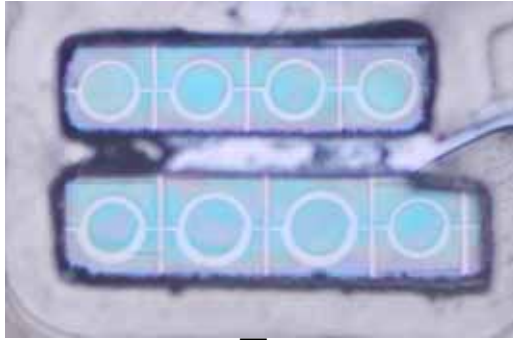


圖 8

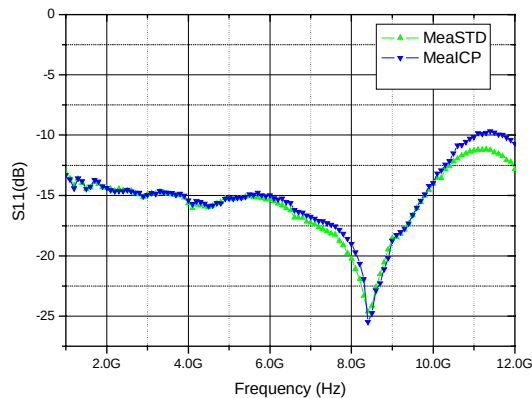


圖 9

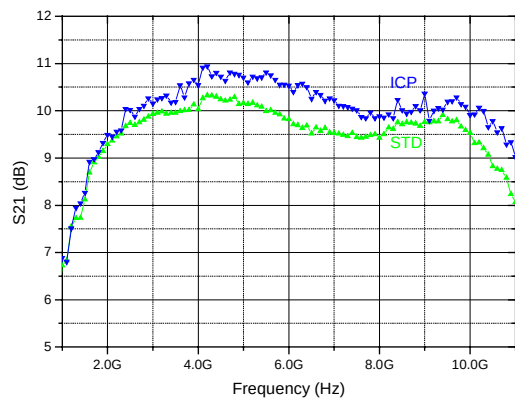


圖 10

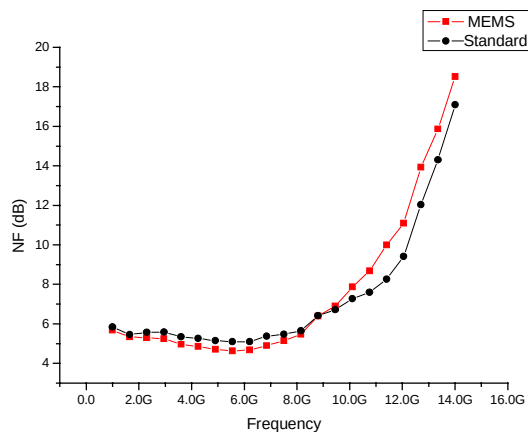


圖 11

圖 9 與圖 10 顯示，製程前後的 DA，其輸入匹配差異極小，於 11GHz 以下的 S11 皆小於 -11dB 的，功率增益 S21 整體提升，最明顯的是在 6.3GHz，有 0.94dB 的改善，此外，3dB 增益頻寬皆為 11.7GHz，變化不大。圖 9 為其雜訊指數比較，其雜訊指數在 8GHz 以下的皆下降，以 6.85GHz 時改善 0.48dB 為最佳，但是 8GHz 以上的結果卻變差，此原因仍待研究。

混波器

圖 12 為一鏡像抑制混頻器，在差動輸入端電晶體的汲極處，以一串聯 LC 方式連接，用以改善鏡像抑制比，電感品質因數將決定抑制的效果，我們將此電路作背蝕刻(圖 13)，

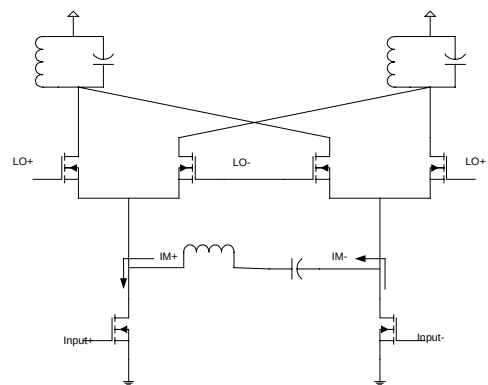


圖 12



圖 13

量測的結果如圖，鏡像抑制比為 7.5dB，然而後製程的結果並無改善，原因尚待研究。



圖 16

四、成果自評

本計畫 ICP LNA 與 ICP VCO 部份已寫成一篇 full paper 投稿於 IEEE Transactions on Microwave Theory and Techniques。現正審查中。

五、參考文獻

- [1] Hong-Wei Chiu and Shey-Shi Lu, "A 2.17dBNF, 5GHz Band Monolithic CMOS LNA with 10mW DC Power Consumption", IEEE Symposium On VLSI Circuits Digest of Technical Papers.
- [2] Behzad Razavi, RF Microelectronics, NJ: Prentice Hall
- [3] Hong-Wei Chiu and Shey-Shi Lu, "Quality Factor Improvement of on-Chip Inductors for HIPERLAN RFIC by micro-machining", Asia-Pacific Microwave Conference, Taipei, vol.2, pp 859~862, Dec, 2001
- [4] Gabriel M. Rebeiz, RF MEMS: Theory, Design, and Technology, Wiley