

# PCI-Express 系統驗證環境

## PCI-Express Verification Environment

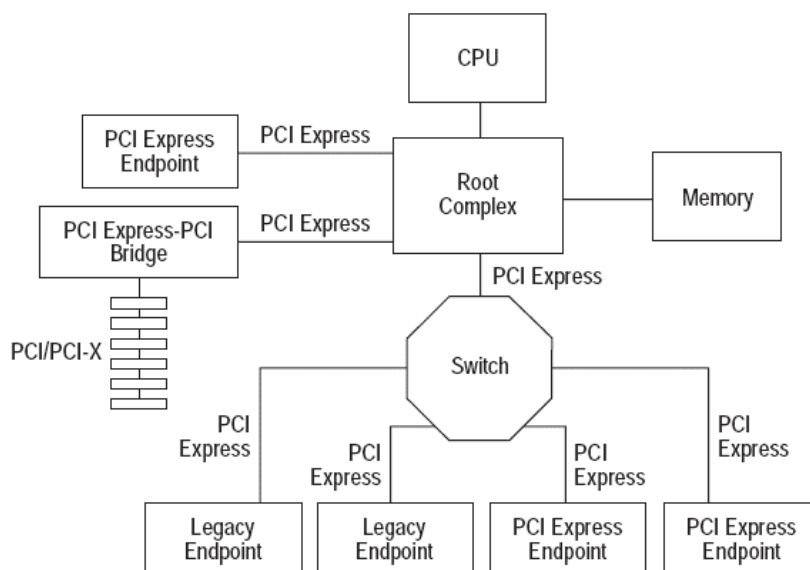
研究生 黃鼎鈞，尤建智，鐘智能

指導教授 郭斯彥博士

台大電機所分散式計算及網路實驗室 <http://lion.ee.ntu.edu.tw/>

PCI 廣泛的被應用在現今電腦架構中，連接系統週邊以及記憶體和處理器。隨著晶片運算速度不斷成長，系統各部分的內部處理時間減少，使得各部分之間的溝通，成為運算的瓶頸。為了提高晶片外傳輸速度，PCI-X 及 PCI-Express 傳輸協定，改進原來 PCI 的架構限制，將傳輸速度增快數倍至數十倍。其中，PCI-Express 更大幅改變原來 Bus 連接系統各部分之方式，以點對點的連接，來增加傳輸線的使用效率，並且提高了單一傳輸線可傳輸之頻率。

典型的 PCI-Express 架構如上圖，包含 Root Complex，Switch，Endpoint，和 Bridge 四種基本原件。由於 PCI-Express 是向前相容，因此其 Protocol 中，已考慮其與 PCI-X 及 PCI 之間的相容性。我們以 Verilog 來實現 PCI-Express 驗證環境。其中，包括了 Root Complex，Switch，Bridge，以及 Endpoint 等元件的功能實現和 Checklist。在驗證 DUT(Design Under Test) 時，將其與我們所提供的元件連接成一完整的系統，進行溝通。使用者不但可以我們已建立好的 Checklist，來驗證其設計的正确性，亦可自行撰寫 Test Pattern。



OM13751

在 Checklist 部分，我們實現了 PCI-Express Compliance Checklist。其中包含了 Transaction Protocol Checklist, Link Protocol Checklist, Link-Physical Layer Interface Checklist, Configuration Checklist 等，有效測試一個 PCI-Express Device 的基本功能。

測試時，我們模擬系統真實運作，從系統 BIOS 的 initialization 開始，到各個元件傳輸資訊，都是按照 PCI Express Base Specification Revision 1.0a 來實現。由於分層明確，Link Training, Enumeration, 到後來的 Packet 傳送，都是一層層的處理。對於 Transaction Layer, Datalink Layer, 以及 Physical Layer, 都可直接控制，使得我們在寫 test cases 時是以系統層次的角度出發，可以高階指令進行控制，直接產生 TLP 或 DLLP 送出，無須考慮下層繁複瑣碎的各種轉換動作。在系統運作中，是否違反任何 Checklist, 都做詳細檢查記錄，並做統計。對於較複雜功能的驗證，我們則以另外 test cases 來實現，做額外的驗證。我們保留了可以產生錯誤的彈性，用來測試 DUT 對錯誤處理的程序是否符合 Spec, 模擬真實傳輸下，通道中可能的雜訊，或者是系統中其他硬體實現的錯誤。本驗證環境不僅具備傳統針對單一元件功能性的驗證，更大大強化系統層軟體模擬與元件與元件之間相互互動，讓設計流程與真實情況更加貼切。

我們選用 Verilog 為實現我們 Verification Environment 的工具。對於系統的架構，提供最大的彈性。所提供的元件，都可以直接以不同的架構連接 DUT, 共同模擬做各種測試。另外，我們也把各個 Link 的資料收集記錄，並整理成 Transaction, 方便解讀分析。