

行政院國家科學委員會專題研究計畫 成果報告

低密度奇偶校驗編碼碼搜尋與編解碼器架構共同最佳化設計 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 95-2221-E-002-415-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學資訊工程學系暨研究所

計畫主持人：顧孟愷

計畫參與人員：博士班研究生-兼任助理：簡義興、林家瑜
碩士班研究生-兼任助理：阮國興

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 96 年 10 月 30 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

低密度奇偶校驗編碼碼搜尋與編解碼器架構共同最佳化設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 95-2221-E-002-415

執行期間：2006年08月01日至2007年07月31日

計畫主持人：顧孟愷

共同主持人：

計畫參與人員：簡義興、林家瑜、阮國興

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：

中華民國 2007 年 10 月 29 日

中文摘要

摘要—在本計畫中，我們提出一個使用重疊訊息傳遞排程的高速低密度奇偶校驗編碼解碼器設計。在編碼字長度長時，設計中採用正規階層式的類迴旋奇偶校驗編碼來提供良好的編碼增益。我們探索二層正規階層式類迴旋奇偶校驗編碼矩陣以提升解碼運算平行度。我們的排程算法重新排列跨迴圈的運算，以避免記憶體存取衝突。記憶體需求減少為無排程一般管線式的一半。一個 (12288, 6144) 的低密度奇偶校驗編碼解碼器被實作在現場可編程邏輯閘陣列上，其傳輸速度為 298 Mbps.

關鍵詞—低密度奇偶校驗編碼，部分平行解碼，二階段的訊息傳遞，硬體使用效率，類迴旋碼。

英文摘要

Abstract—In this project, design of a high throughput low-density parity-check (LDPC) decoder using overlapped message passing scheduling algorithm is presented. Regular hierarchical quasi-cyclic (H-QC) LDPC code is used in this design to provide good coding performance at long code length. The two-level regular H-QC LDPC code matrix structure is exploited to parallelize the row and column decoding operations. Our scheduling algorithm re-arranges these operations across iteration boundaries to avoid memory access conflicts. The memory requirement is reduced by half compared to pipelined decoders without scheduling. A (12288, 6144) LDPC decoder implemented in FPGA achieves 298 Mbps throughput performance.

Keywords—low-density parity-check codes, partially-parallel decoding, two-phase message passing, hardware utilization efficiency, quasi-cyclic codes

一、前言

由於低密度奇偶校驗編碼 (low-density parity-check codes) 提供極高的編碼增益 (coding gain)，故已經被納入成為新世代通訊標準的一部份。相較於渦輪碼 (Turbo codes)，在妥善的設計下，低密度奇偶校驗編碼解碼器具有較低的計算複雜度。在解碼器實作上，完全平行解碼的實現方式，必須面對極高的繞線複雜度與大量硬體計算資源需求等問題。雖然完全序列處理可以用最少的硬體完成解碼器的設計，但是這樣的解碼器的解碼速度也是最慢的。本研究所探討的部分平行解碼的硬體架構則可以提供不同應用領域一個複雜度與傳輸速率平衡點。

二、研究目的

當設計者在設計低密度奇偶校驗編碼時，同時都會考量編碼設計對於解碼器的影響。

許多的設計者採用類迴旋低密度奇偶校驗編碼 (quasi-cyclic low-density parity-check code)，利用此種編碼結構化 (structured) 的特性降低解碼器設計的複雜度。相對於隨機產生的編碼方式 (Random codes)，傳統的類迴旋奇偶校驗編碼在編碼長度大時，編碼增益 (coding gain) 低落。因此如何設計出適於解碼器硬體實作，同時保有良好的錯誤更正能力的結構化編碼，是本研究的重點之一。

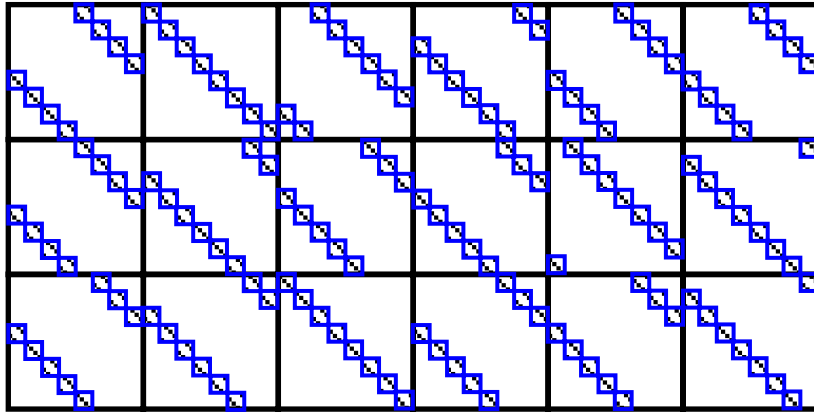
在解碼器實作方面，低密度奇偶校驗編碼的解碼是採用二階段的訊息傳遞 (two-phase messaging passing) 演算法。在解碼過程中，在第一階段的每一個訊息都會與通一系列的訊息經過一個列運算 (row operation)，並產生第二階段所需要的訊息。訊息經過第一階段的處理後，每一個在同一行的訊息將經過一個行運算 (column operation)。在每一個訊息完成二階段的運算後，稱為完成一次疊代解碼 (decoding iteration)。當沒有使用任何排程演算法時，二階段訊息傳遞解碼必須先完成所有的列運算後才可以執行行運算。在此種情況下造成負責計算列運算或是行運算的硬體相互等待，導致硬體使用效率 (hardware utilization efficiency) 低落。因此本研究另一項重點是如何設計特殊的編碼結構，配合解碼器的架構設計，使得硬體使用效率提高。

三、文獻探討

有數個解碼器架構實作含有排程的觀念。最佳化解碼運算的順序以消除或是減少資料相依的等待時間[3]。然而，排程演算法中的例外狀況降低了傳輸速度也增加了額外的邏輯閘來處理例外狀況。[4]中所提及的架構同時解碼多個編碼字語以增加產出量，而這樣的實現方式記憶體需求量將會增大。[5]修改的解碼演算法用來降低演算法複雜度並減輕編碼增益低落的狀況。[6]提出一個 102 Mbps (3336, 1668) 低密度奇偶校驗編碼設計有較快的收斂速度，但相較於[3]的設計其需要較多的功能單元和額外的記憶體。[7]中提出的 172Mbps (8176, 7156) 低密度奇偶校驗編碼解碼器使用大量的暫存器以達到較高的工作頻率。然而這些使用類迴旋奇偶校驗編碼的設計在編碼長度大時都遭受到編碼增益低落和 error floor 的問題。

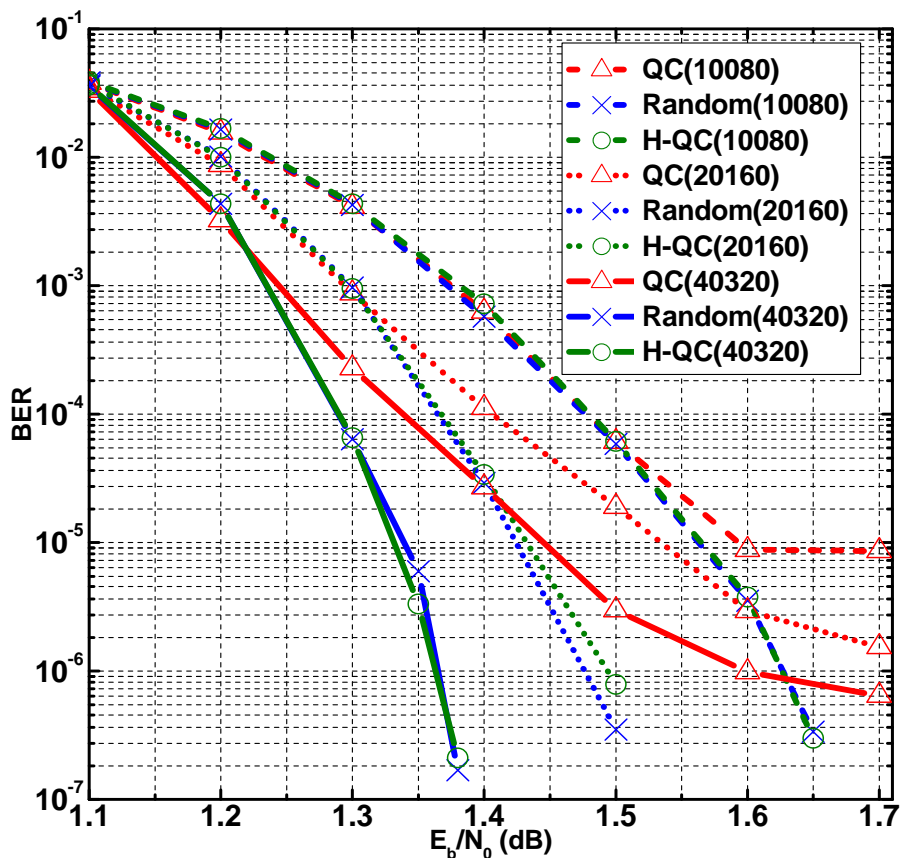
四、研究方法

由於類迴旋低密度奇偶校驗編碼的奇偶校驗矩陣 (parity-check matrix) 是由多個循環矩陣 (circulant matrix) 組成，因此此種非常適合用於硬體實現。階層式類迴旋奇偶校驗編碼的建構方式，則是先建立一個 $m \times n$ 的二元核心矩陣 (core matrix)。將此核心矩陣中的 1 與 0 分別以大小為 $q_1 \times q_1$ 循環矩陣與 $q_1 \times q_1$ 零矩陣 (zero matrix) 取代，在這樣的矩陣展開 (matrix expansion) 後，可產生一個如同傳統類迴旋奇偶校驗編碼的奇偶校驗矩陣。對此已展開的矩陣再以 $q_2 \times q_2$ 的循環矩陣與 $q_2 \times q_2$ 零矩陣取代 1 與 0。在經過兩次的矩陣擴展後，可以得到一個二階層的階層式類迴旋 (two-level hierarchical quasi-cyclic) 奇偶校驗編碼的奇偶校驗矩陣。

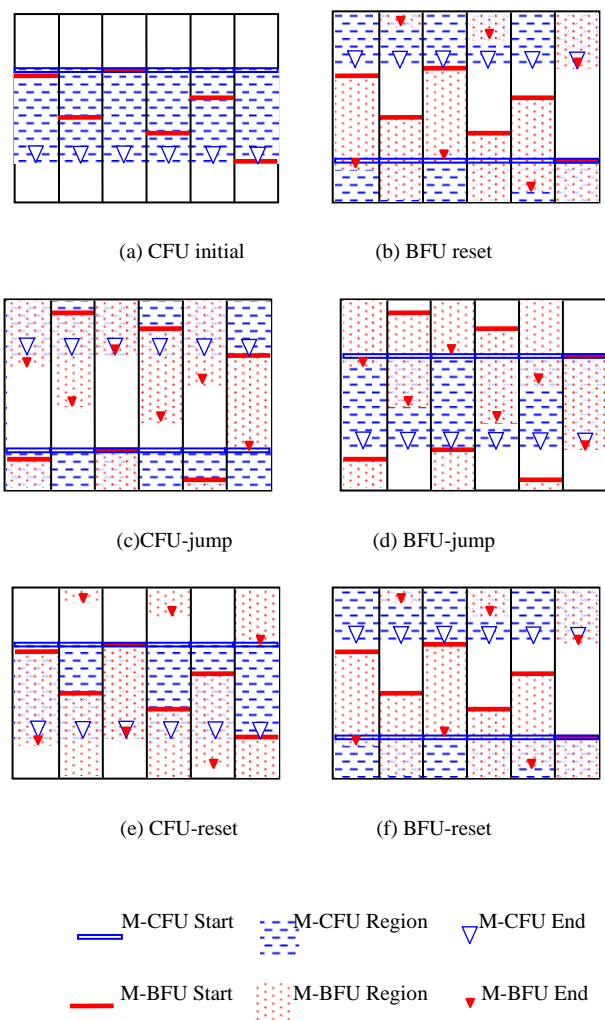


圖一：二階層階層式類迴旋奇偶校驗編碼校驗矩陣

二階層的階層式類迴旋奇偶校驗編碼除了與傳統類迴旋奇偶校驗編碼一樣易於硬體實現。在電腦模擬的結果顯示（圖二），可以發現二階層的類迴旋奇偶校驗編碼提供接近隨機編碼的編碼增益外，也沒有如同類迴旋奇偶校驗編碼在高信號雜訊比（signal to noise ratio）區的 error floor 現象。二階層的階層式類迴旋奇偶校驗編碼可以套用任何可使用在類迴旋奇偶校驗編碼上的排程演算法。Jump-Reset 排程演算法[1]（圖三）是一個可以使用在類迴旋奇偶校驗編碼的排程演算法，此排程演算法的效率優於 Y. Chen [2] 所提出的排程演算法。Jump-Reset 排程演算法亦符合 Y. Dai [3] 所提出的最佳演算法的約束（constraint），且利用在二階層的階層式類迴旋奇偶校驗編碼時可以將硬體使用效率從 50% 提升至 100%。



圖二：類迴旋編碼、隨機碼與二階層的類迴旋編碼模擬結果



圖三：Jump-Reset 排程演算法

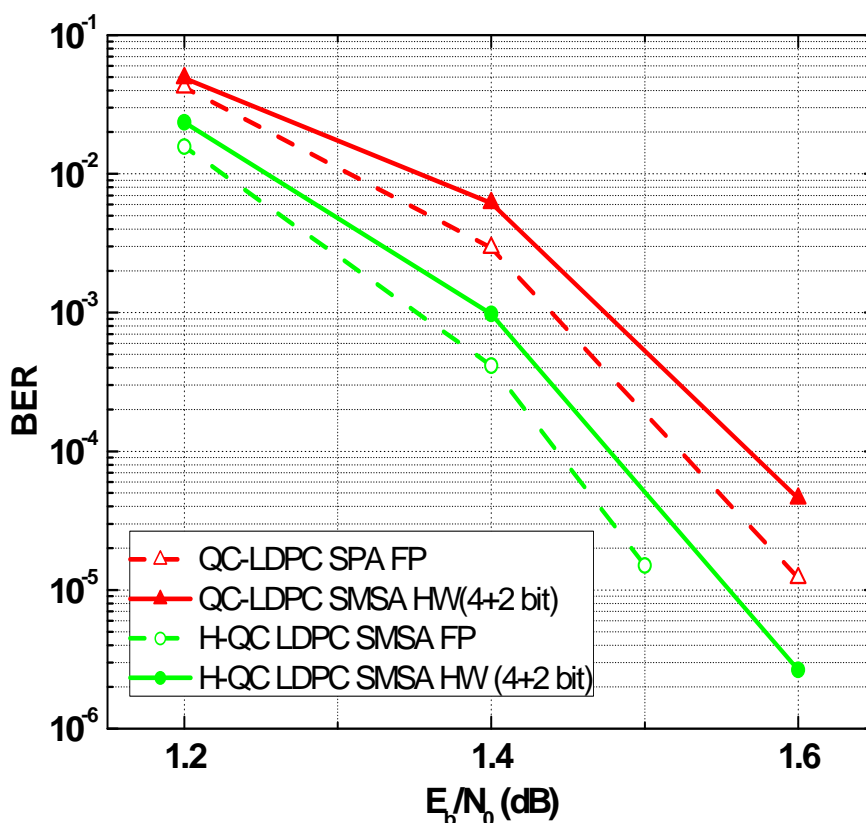
二階層的階層式類迴旋奇偶校驗編碼提供了兩個參數 q_1 , q_2 ，其中 q_1 提供編碼長度的調整（即編碼增益）。在相同的編碼率（code rate）下，編碼長度較長的編碼可以提供較好的編碼增益（相對的，硬體複雜度與硬體資源需求也會增加）。此外，由於解碼器硬體實現上，在一個時脈週期完成 q_2 個訊息計算。因此 q_2 則是提供解碼平行度的調整，使得解碼器架構可以適用不同性質的應用。

為了提供高硬體使用效率，除了排程演算法的使用外，記憶體也必須要能夠支援列運算硬體與行運算硬體同時存取（concurrent access）。表一整理了一個二階層的階層式類迴旋奇偶校驗編碼解碼器硬體實現的成果。此解碼器已經實現了 Jump-Reset 排程演算法的技術但是尚未使用了記憶體交錯（memory interleaving），目前傳輸速率已可以達到 298.10Mbps。為了實現高硬體使用效率，未來的硬體實現套用記憶體交錯可以在增加低於 10% 的邏輯單元提升 50% 的硬體使用效率外亦方便於工作時脈的提升，達到 780Mbps 以上的傳輸速率。

表一：硬體實現成果

	Decoder without Memory Interleaving
Code Length	12,288 bits
Code Rate	0.5
Device	EP2S130F1020C4
Frequency	96.26 MHz
Information Throughput	298.10 Mbps (15 iter.)
Logic Element	55,491 ALUT(52.33%)

圖四比較傳統類迴旋奇偶校驗編碼與二階層的階層式類迴旋奇偶校驗編碼之硬體實現的編碼和軟體實現的編碼增益損失。類迴旋奇偶校驗編碼解碼器在編碼增益的部分優於傳統的類迴旋編碼，且硬體實現於位元錯誤率 (bit error rate) 10^{-5} ，僅因為有限的精準度而損失 0.05dB 以下。



圖四：軟體實現與硬體實現的編碼增益比較

五、結果與討論

在本研究中，我們提出了新的編碼結構，不但擁有良好的錯誤更正能力，並且考慮解碼器實作的需求，加入了一些特殊限制在編碼結構中。因此，二階層的類迴旋奇偶校驗編碼

碼搭配 Jump-Rest 排程演算法與記憶體交錯，可以提升硬體使用效率從 50%至 100%。此排程使第一層矩陣處理單元的利用率達到 100%來提高效率。而第二層矩陣處理單元則以平行處理方式實作來提高產量。我們的實作結果顯示一個碼長 12288，編碼率 1/2 的解碼器之解碼速度可達 298Mbps。此外針對不同的速度或硬體成本需求，可以搭配合適硬體架構並藉由調整編碼結構中 q_1 、 q_2 參數廣泛的使用於各種的通訊應用領域。

本計畫相關研究結果，已發表於 2007 IEEE 國際電路與系統會議 (International Symposium on Circuits and Systems, ISCAS 2007) [10]。

參考文獻

- [1] R. Gallager, "Low-density parity-check codes," IEEE Transactions on Information Theory, vol. 8, pp. 21–28, Jan. 1962.
- [2] C. Howland, and A. Blanksby, "Parallel decoding architectures for low density parity check codes," IEEE International Symposium on Circuits and Systems (ISCAS 2001), vol. 4, pp. 742–745, May 2001.
- [3] Y. Chen and K. K. Parhi, "Overlapped message passing for quasi-cyclic low-density parity check codes," IEEE Trans. Circuits and Syst. I, vol. 51, pp. 1106–1113, Jun. 2004.
- [4] M. Cocco, J. Dielissen, M. Heijligers, A. Hekstra, and J. Huisken, "A scalable architecture for LDPC decoding," in Proc. Design, Automation and Test in Europe Conference and Exhibition (DATE 2004), vol.3, pp. 88-93, 16-20 Feb. 2004.
- [5] M. Karkooti and J.R. Cavallaro, "Semi-parallel reconfigurable architectures for real-time LDPC decoding," International Conference on Information Technology: Coding and Computing (ITCC 2004), vol. 1, pp. 579-585, April 2004.
- [6] K. Shimizu, T. Ishikawa, N. Togawa, T. Ikenaga and S. Goto, "A Parallel LSI Architecture for LDPC Decoder Improving Message-Passing Schedule," IEEE International Symposium on Circuits and Systems, May 2006.
- [7] Z. Cui and Z. Wang, "A 170 Mbps (8176, 7156) Quasi-Cyclic LDPC Decoder Implementation with FPGA," IEEE International Symposium on Circuits and Systems, May 2006.
- [8] X.-Y. Hu, E. Eleftheriou, and D-M. Arnold, "Regular and irregular progressive edge-growth Tanner graphs," IEEE Trans. Inform. Theory, vol. 51, no. 1, pp. 386–398, Jan. 2005.
- [9] Y. Dai and Z. Yan, "Optimal overlapped message passing decoding for quasi-cyclic low-density parity-check codes," IEEE Global Telecommunications Conf. (GLOBECOM), vol. 4, pp. 2395-2399, Dec. 2005.
- [10] Y.-H. Chien and M.-K. Ku, "A High Throughput H-QC LDPC Decoder," IEEE International Symposium on Circuits and Systems (ISCAS 2007), pp.1649-1652, May 2007.

出席國際學術會議心得報告

計畫編號	NSC 95-2221-E-002-415
計畫名稱	低密度奇偶校驗編碼碼搜尋與編解碼器架構共同最佳化設計
出國人員姓名 服務機關及職稱	顧孟愷
會議時間地點	2007.5.27-2007.5.30, 紐奧良, 路易斯安那州, 美國 (New Orleans, Louisiana, USA)
會議名稱	IEEE International Symposium on Circuits and Systems (ISCAS)
發表論文題目	High Throughput H-QC LDPC Decoder

一、參加會議經過

The 2007 IEEE ISCAS (IEEE International Symposium on Circuits and System) is held in New Orleans, Louisiana for 27 May - 30 May, 2007. The conference is held at the Hilton Hotel in New Orleans.

For the first day, I attend some lectures about coding for communications. The first paper presents “a novel high-speed low-complexity pipelined degree-computationless modified Euclidean algorithm architecture for RS decoder”. The proposed RS decoder operates at 660 MHz and has a throughput of 5.3 Gb/s. The proposed architecture requires approximately 15% fewer gate counts and simple control logic than architectures based on the popular modified Euclidean algorithm.

The second paper presents implementation of turbo decoder of product code on FPGA device. Based on an innovative architecture which enables the memory blocks between all half-iterations to be removed and clocked at only 37.5 MHz. The Turbo decoder processes input data at 600Mb/s.

Another paper presents “Low-Latency Memory-Efficient 150 Mbps Turbo FEC Encoder and Decoder”. The performance enhancement is achieved by combining radix-16 encoding with a time-shared conflict—avoidance memory access structure in the encoder, and by employing an optimized sub-bank parallel decoding architecture in the iterative decoder.

Next paper presents an efficient message passing architecture for high throughput LDPC decoder. The min-sum algorithm is reformatted to facilitate significant reduction of routing complexity and memory usage. Its simulation result shows that it has only 0.25dB performance loss from the floating-point SPA.

The second day, my student presents one paper in this conference. The paper from our lab is titled “High Throughput H-QC LDPC Decoder”. This paper presents an overlapped messaging

passing scheduling algorithm which can give 100% hardware utilization efficiency and double the throughput. A (12288, 6144) hierarchical quasi-cyclic (H-QC) LDPC decoder implemented in FPGA achieves 298 Mbps.

A paper titled “Multi-Rate Layered Decoder Architecture for Block LDPC Code of the IEEE 802.11n Wireless Standard”. The proposed architecture utilizes the value-reuse property of offset min-sum, block-serial scheduling of computations and turbo decoding message passing algorithm. Data-forwarding and out-of-order processing are used to deal with the irregularity of the codes. It can save 55% memory usage, reduce 50% routers and increase of throughput by 2X.

Next paper titled “FPGA implementation of LDPC decoders based on joint row-column decoding algorithm”. The proposed algorithm improves the performance in both the waterfall region and error floor region by combining row processing with column processing. Implementation results into FPGA device indicate that the proposed algorithm reduces the hardware costs by 30% and increases the decoding speed by a factor of four.

Another paper titled “Towards a GBit/s programmable decoder for LDPC convolutional codes”. It proposed a novel low-complexity programmable decoder architecture with throughput in the range of 1 GBit/s at moderate system clock frequencies.

Final paper about LDPC in this conference is “Performance of quantized min-sum decoding algorithms for irregular LDPC codes”. This paper proposes a method to improve the performance of the conventional normalized of offset min-sum decoding algorithm when it is approximated with finite precision for hardware implementations. The proposed method applies down-scaling factors to intrinsic information which has effects on increasing the reliability of extrinsic information at variable nodes and compensating the quantization errors caused by finite precision.

二、與會心得

Overall, there are lots of communication lectures which give me interesting experiences. I attended several keynote speeches and paper presentations each day during the conference. In addition, I guided and helped my student to present one paper from our lab. This conference is a good experience for me. I think it's a productive and successful gathering.