

行政院國家科學委員會專 題研究計畫成果報告

具有智慧型天線的寬頻-W-CDMA 基地站
收發機系統架構之模擬，建置與測試(子計畫一)

計畫編號：NSC 89-2219-E-002 -034

執行期限：87 年 08 月 01 日至 90 年 10 月 31 日

主持人：曹恆偉 教授

國立台灣大學電信工程研究所

摘 要

本計劃主要的目的是利用射頻積體電路(Microwave Monolithic IC, MMIC)元件，設計並製作使用寬頻分碼多工擷取 (W-CDMA)技術的基地台(Base Station)的收發射機模組，其工作頻帶為 2GHz 附近，它採取的是 W-CDMA 新式擷取技術，由四相位移鍵(QPSK)方式來調變訊號。

在本報告中，涵蓋了系統的設計原理、系統模擬結果、實際電路製作以及實驗結果。在系統模擬方面，一為驗證及評估系統規格的可行性，一為兼顧目前可用的零件規格並將其特性加入系統模擬，以期掌握在實體製作時的特性，增加在實作時的成功機率；同時在實作方面應用這些元件的電子和物理特性，完成和規格及預先模擬結果相符合之系統，達成本計畫無線系統中射頻模組的硬體設計和製作。

Abstract

In this report, a W-CDMA base station transceiver compatible with the IMT-2000 standard is realized. According to this standard, operating frequency band allocates around 2GHz and the channel bandwidth is 5MHz. Moreover, the baseband I/Q chip rate is 3.84Mcps and the baseband signal is modulated by QPSK schemes. The report will describe explicitly the design procedure, involving system architecture design \ system simulation \ selection guides of ICs \ application circuits design \ and system testing.

目 錄

第一章 簡介	1
第二章 發射機模組	3
(一) 發射機設計原理	3
(二) 系統模擬結果	5
(三) 發射機的電路實驗結果	9
(四) 關於發射機模組的討論	11
(五) 參考文獻	12
第三章 接收機模組設計及製作	14
(一) 接收機設計原理及系統性能模擬	14
(二) 接收機電路實驗結果	17
(三) 第二代接收機系統	20
(四) 關於接收機的討論	27
(五) 參考文獻	27
第四章 結論	28

第一章 簡介

本計劃主要的目的是利用商品化之微波單晶積體電路(Microwave Monolithic IC, MMIC)及其它元件，設計並製作使用寬頻分碼多工擷取(W-CDMA)技術的基地台(Base Station)的收發射機模組。

在本計劃中，我們在三年期間，分別完成了一個版本的 W-CDMA 基地站發射機模組，及兩個版本的接收機模組的系統設計，模擬，及硬體製作和測試驗證。在發射機模組中包括了基頻電路、射／中頻電路、頻率合成器模組、以及與 DSP 單元間介面的 A/D、D/A 週邊電路。在接收機的模組中，則包括了射／中頻電路架構、頻率合成器模組、A/D、D/A 週邊電路。

以下則對此計畫依照年度進度，所完成的成果做一簡述。

(1) 第一年度：

為本計畫開始年度。主要目的為收集和研讀 WCDMA 的系統規格，建立研究所需之發展環境及系統評估之工具，例如使用何種的系統模擬軟體，作為初期系統設計的依據，同時在本年度結束前完成發射機模組的研製。本年度的成果為完成一個符合 WCDMA 的發射機基地站的無線發射機模組。其中包含了基頻調變器，中頻昇頻器，中頻功率增益控制器，射頻功率放大器，功率耦合器，功率強度檢測器等。同時完成整個系統詳細的系統模擬，電路設計，製作，及系統的測試。最後成功的完成一個符合 WCDMA 規格書下所規範的發射機模組。

(2) 第二年度：

本年度的目標為完成 WCDMA 的接收機模組。此部分為整個 WCDMA

收發機的核心所在，也是困難度最高的一部份。在經過長時間的規劃及不斷重複修改及驗證的系統模擬輔助下，同時配合目前所能得到最好的商用無線 IC 的規格，規劃出一個合適的接收機架構。此接收機使用雙中頻的超外差方式，增加系統的選擇度，和靈敏度。同時使用 IQ 的解調方式，並將此基頻訊號做 AD 取樣後送至後續的 DSP 做處理。本接收機在歷經多次的反覆設計測試及製作中終於完成。同時符合 WCDMA 的規範。此接收機的完成代表實現本計畫的目標向前邁進了一大步。

(3) 第三年度：

由於在第二年計畫執行期間，3GPP 突然改變 WCDMA 當中的一些系統參數，以致於必須將之前所設計的接收機必須做一些調整，同時新型的 RFIC 不斷的出現，使得接收機的架構得以重新規劃。所以本年度的目標為重新設計接收機的部分架構和參數，以便符合新版的 WCDMA 規格，同時使用新型元件繼續改進接收機的性能及簡化架構。本年度所完成的接收機，使用單一中頻的超外差接收架構，將 IQ 解調器移至更高的中頻做解調，同時使用溫度補償的石英振盪器 (OCXO) 增加頻率穩定度。重新研製的接收機具有比較簡單的架構，性能上同樣能符合 WCDMA 的規格。

整個系統的最終目標，在於驗證整個 WCDMA 的系統，在目前所能得到最先進的元件支援下，所能達到的最佳特性。

本報告以下分為三部分，分別為發射機，接收機，及結論。每一部份皆有完整之設計流程，及測試報告。以下將整理總結我們所完成的各個部份，提出我們主要的貢獻，並且分享在研究過程中所獲得的經驗與心得。

第二章 發射機模組

本章將介紹發射機電路模組，包含了基頻、中頻、射頻以及功率控制的部份。

發射機系統架構及系統性能模擬

由於目前各國對於第三代行動通訊系統的規格並不相同，也尚未有一個統一的標準出來。所以我們是參考[1][2][3]來訂定本系統的規格：

- 發射頻率範圍：2GHz 左右
- 資料型式：12bits I/Q Digital Input
- 調變方式：QPSK
- Chip Rate：3.84MHz
- 頻道頻寬(Bandwidth)：約為 5MHz
- 發射端功率位準：25dBm(max)
- 功率控制範圍：70dB 左右

發射機系統架構如圖 2-1 所示。其方式是 DSP 將基頻 I/Q Data 送進來，先經過基頻信號處理，然後再調變及升頻。

訊號的處理流程及系統的操作原理分述如下：

(一) 發射機設計原理

基頻部份：

I-Q 兩路 12bits 的數位信號分別經過數位-類比轉換器(Digital-to-Analog

Converter, DAC, AD9762) [4], 將 DSP 部份處理完傳進來的信號做類比對數位轉換。因為數位對類比轉換器 (DAC) 處理後會產生高頻的假波

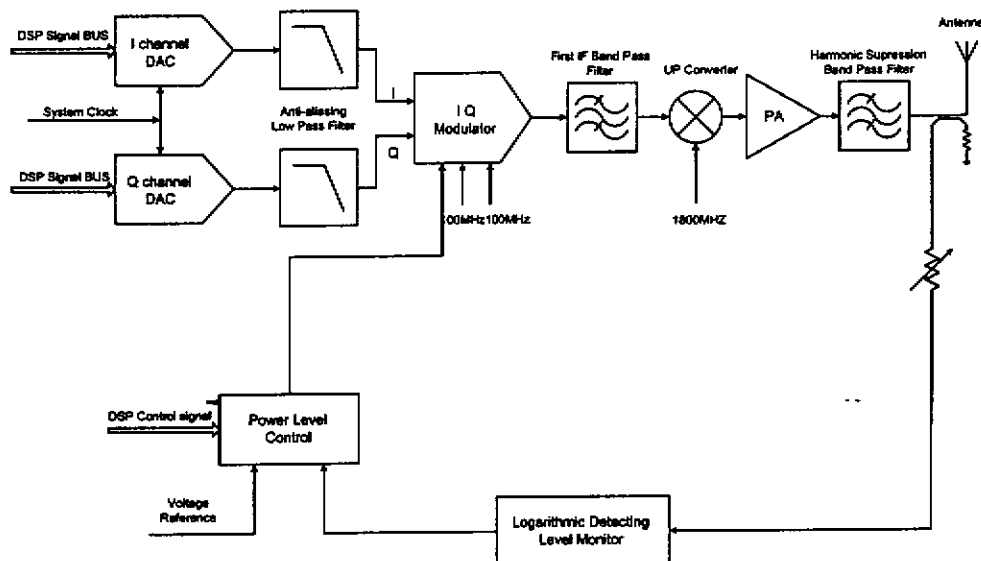


圖 2-1 Transmitter block diagram.

(Alias), 而且要對波形做適度的整形 (Pulse Shaping), 所以利用寬頻高速的 OPAMP(AD8052)[5]製作主動的低通濾波器(Active Low Pass Filter) [6]以達成上述的目的。其-3dB 頻率的為 $4.096\text{MHz}/2 \times 1.3 \approx 2.6\text{MHz}$ 。

中頻部份：

I-Q 兩路的基頻訊號進入中頻的 I-Q 調變器 (I-Q Modulator, RF2413) [7], 將基頻信號調變成 QPSK 的帶通調變訊號且升頻至 200MHz。同時發射機的發射功率控制也在此中頻完成。主要是因為目前並無可提供 70dB 以上增益控制的發射功率模組可用。緊接之後是一個 200MHz 的帶通濾波器(Band- Pass Filter, BPF), 它的頻寬約是 5MHz, 也就是我們系統所規定的頻寬, 它的功用是濾掉 I-Q 調變之後產生的高次諧波, 減少頻帶外不必要的訊號輻射。

射頻部份：

濾出的 200MHz 信號經由 RF9938[8]升頻器 (Up Converter) 將頻率升至 2GHz。當信號被混波到 2GHz 這樣高頻的時候，再通過一個 2GHz 的帶通濾波器，其目的為將 RF9938 內所產生的假像頻率 (Image Frequency) 給濾掉，再經由 RF2129[9]功率放大器 (Power Amplifier) 將信號放大後，並經由再一次的濾波，將信號限制在 2GHz 左右的頻帶。其後緊接著一個耦合器 (Coupler) [10]，將一部份的信號耦合至前面提到的 AD8313[11]對數偵測器所在的功率控制模組以便做控制，在進入偵測器之前，要經過電阻構成的衰減器 (attenuator) 才不至於因信號功率太大而無法讓偵測器正常地工作。而另一路則是接到天線直接發射出去。

(二) 系統模擬結果

以下就是我們利用 HPeesof Omnisys 及 ANSOFT 這兩套系統模擬軟體所模擬出的線性及非線性的模擬圖形。

一、Mixed Mode Analysis

Mixed Mode Analysis 就是具有 DSP 數位信號處理及基頻的分析，也有類比信號中頻、射頻分析。在這個部份，我們模擬了發射機的輸出頻譜圖以及 I-Q Diagram。我們模擬的方式是給定兩組 I/Q Psuedo-Random 的信號，然後經過 Gaussian Low Pass Filter，然後將信號接上 I-Q Modulator，經過 200MHz 的帶通濾波器，然後再經由 Mixer 用 2200MHz 的本地振盪信號升頻至 2GHz，經過功率放大器之後接上 Power Spectrum Probe 來看整個系統的頻譜。圖 2 為 I-Q Diagram，圖 3 是 Output Spectrum，而 Output Spectrum 的 Span 是 10MHz。

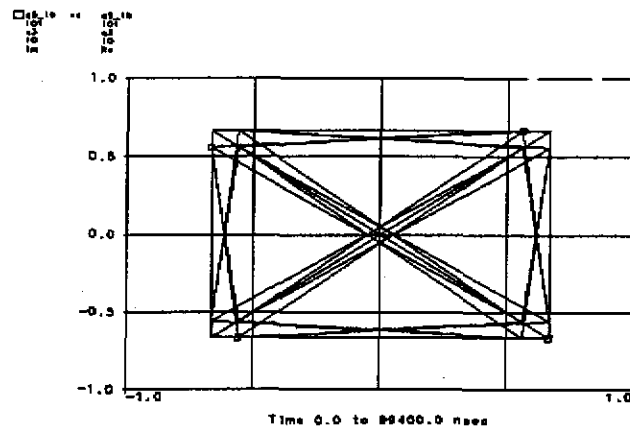


圖 2. I-Q Diagram

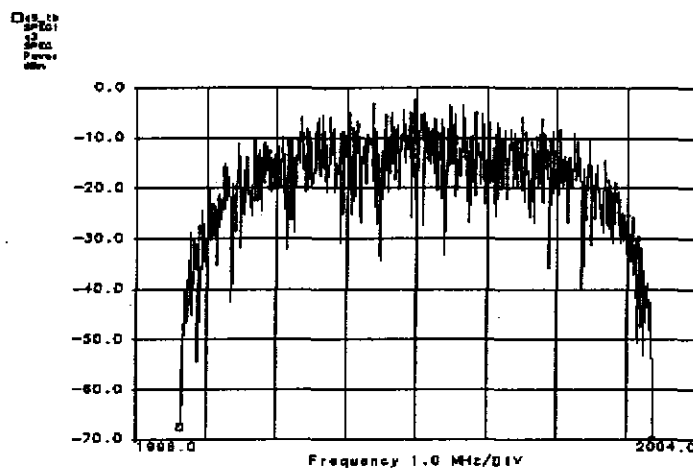


圖 3. Output Spectrum

二、2-Tone Analysis

在發射機裡面，相當重要的是元件本身所具有的非線性所造成系統性能(System Performance)的影響。而 2-Tone 就是以兩個頻率及振幅相近的 Input Tone 輸入整個系統中，看會產生多少非線性交互調變 (Inter-Modulation) 的項出來。

我們把一些非線性的 Model 及參數放進去做模擬，例如，將 200MHz 及 205MHz 這兩個 Tone 進入 Mixer 加上 2GHz 的濾波器，再加上 Buffer Amplifier 及功率放大器，看看出來的頻譜會變成什麼樣子。

200 及 205MHz 的兩個 Tone 已經被升頻及放大在 2000MHz 及 2005MHz，也就是圖 4 的最中間兩根，而在它們兩旁的最靠近的就是非線性所產生的 IM3，3rd Order Inter-Modulation 項，也就是在 1995MHz 及 2010MHz 的兩根。當 Source 部份的 200MHz 及 205MHz 的信號功率越來越大時，IM3 就越來越大，使得非線性的結果主宰，這不是我們所樂見的。至於像 Mixer 或是 Power Amplifier 的非線性是我們無法控制的，但是我們可以在選擇 IC 時，選擇較為線性或是非線性的影響稍為不那麼嚴重的元件。譬如我們在系統實作裡選定的 Power Amplifier，RF2129，當每個 Tone 的 Pout 有 17dBm 時，其 IM3 則差不多可以達到 -30dBc 的良好情況，

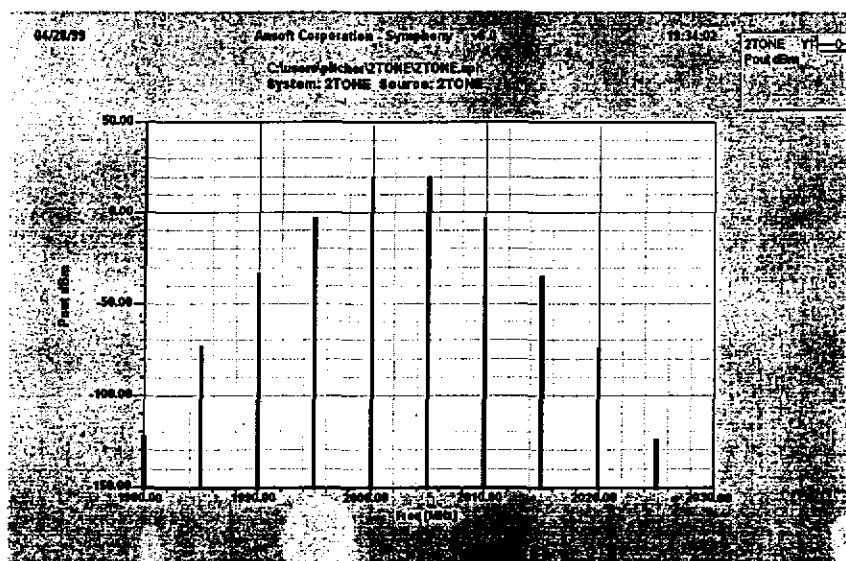


圖 4. 2-tone simulation result

三、Mixer Spurs Analysis

Mixer Spurs 是在系統中，Mixer 元件獨有的特性。Spur 的意思就是會產生一些頻率相近的混附信號。因為從如下列的式子可以發現，對某些(m,n)組合：

$$|mf_0 \pm nf_{IF}| \approx f_{RF}$$

而在我們的系統裡，其實是相當於有兩個具 Mixer 性質元件在裡頭的，一個是真正的升頻器，另一個則是 I-Q Modulator。所以會產生相當多的 Spurs，不過相較於主要 carrier 的信號來看，其所產生 Spurs 的功率其實都不大，以現在的 MMIC 技術來說，做出來的 IC 在這方面的特性都十分良好。而我們在這裡的模擬所使用的 Source 是一個頻率為 0 的信號，經過兩個 Mixer 再經過濾波器及功率放大器，出來的頻譜如圖 4 所示，2GHz 部份的信號。其它如 2.2GHz、1.8GHz 的 Power Level 差了 50dBm 以上，而因為不同頻率相加減經過 Mixer 而在 2GHz 之上的 Spurs 經過軟體裡分析，做出結果的 Table 之後，其 Power 比起 2GHz 的主信號成份來說都十分地小。

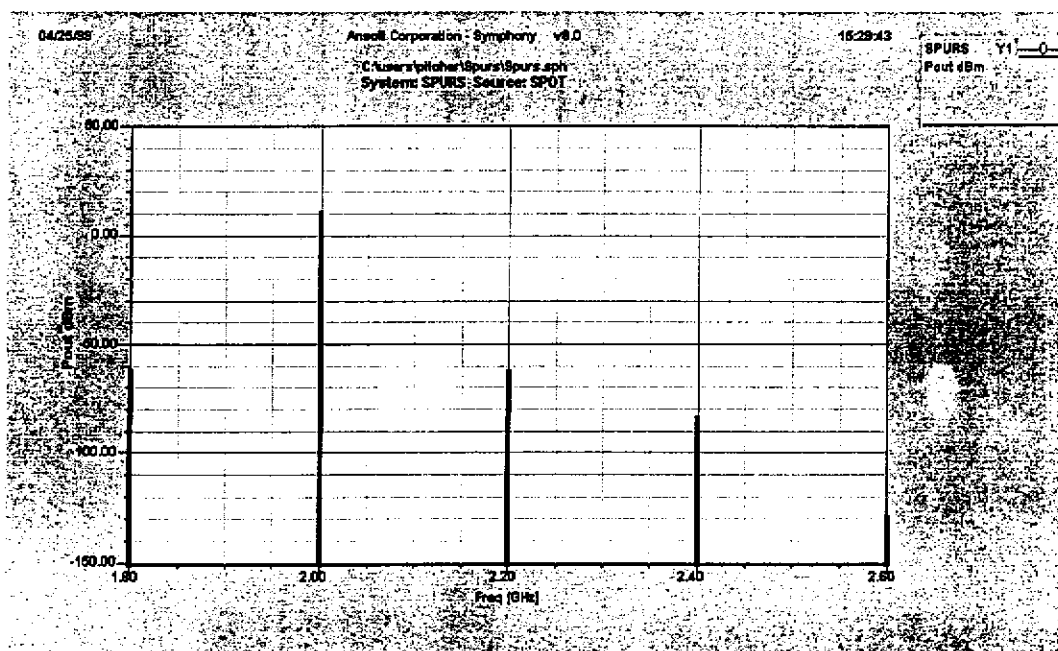


圖 5. Mixer spur analysis.

(三) 發射機的電路實驗結果

硬體的測試結果分為 I-Q 基頻輸出，中頻 QPSK 調變輸出，射頻功率輸出，以及功率控制部分。圖 6 為 I-Q 基頻電路輸出結果，可以看出數位基頻方波經過濾波後的波形，及 I-Q 的 constellation 圖。圖 7 則為基頻的 I-Q 訊號經過 I-Q 調變器輸出的 200MHz 中頻訊號。圖 7 則為訊號在昇頻之後，經過功率放大器放大之後的輸出頻譜。圖 8 是功率控制的實驗結果。圖 9 為 RSSI 的偵測值輸出，及 200MHz 中頻功率控制電壓的輸出值。從圖中可以得知系統的功率控制範圍有 70dB 的範圍。配合量測得到的值做成 ROM table 可供 DSP 做功率控制的依據。

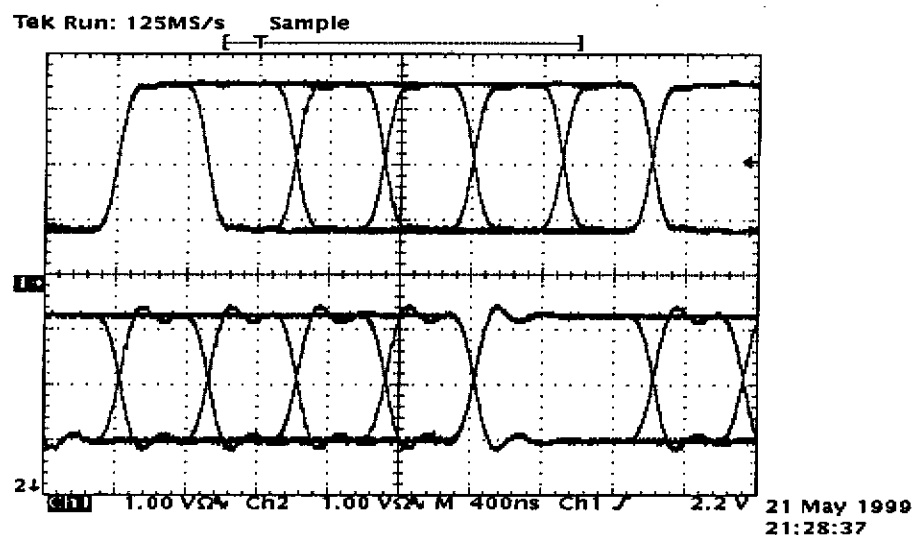


圖 6 Eye diagram of baseband IQ output.

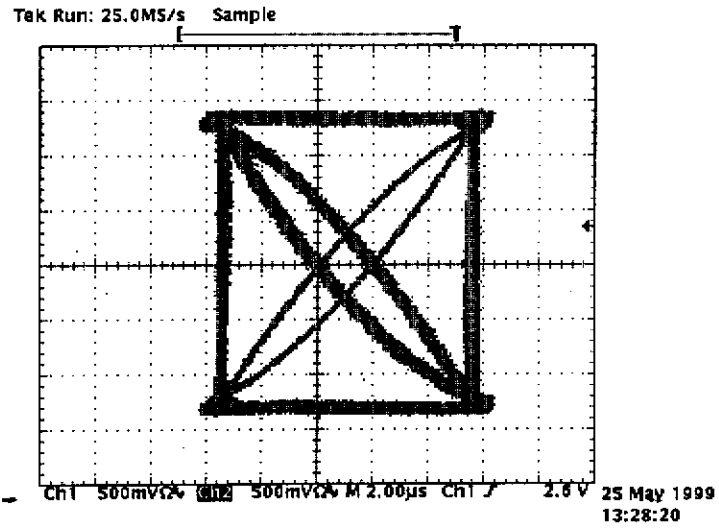


图 7. constellation of baseband IQ output.

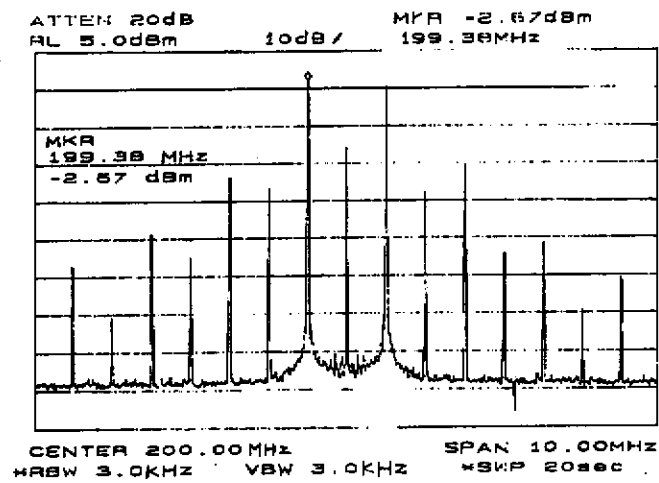


图 7. 200MHz output spectrum.

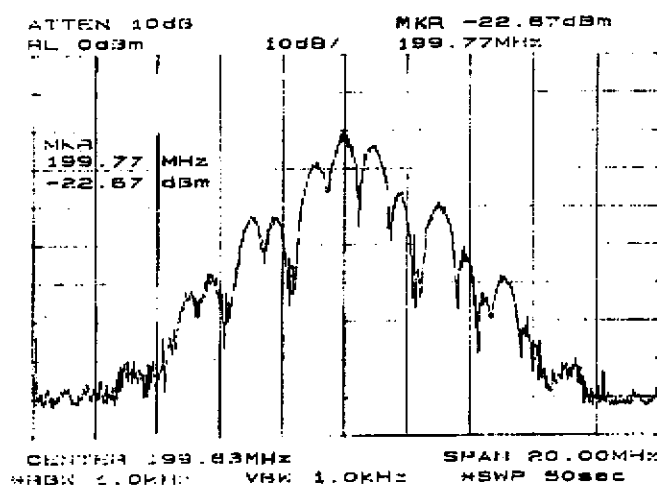


圖 8. Output spectrum of 2000MHz power amplifier.

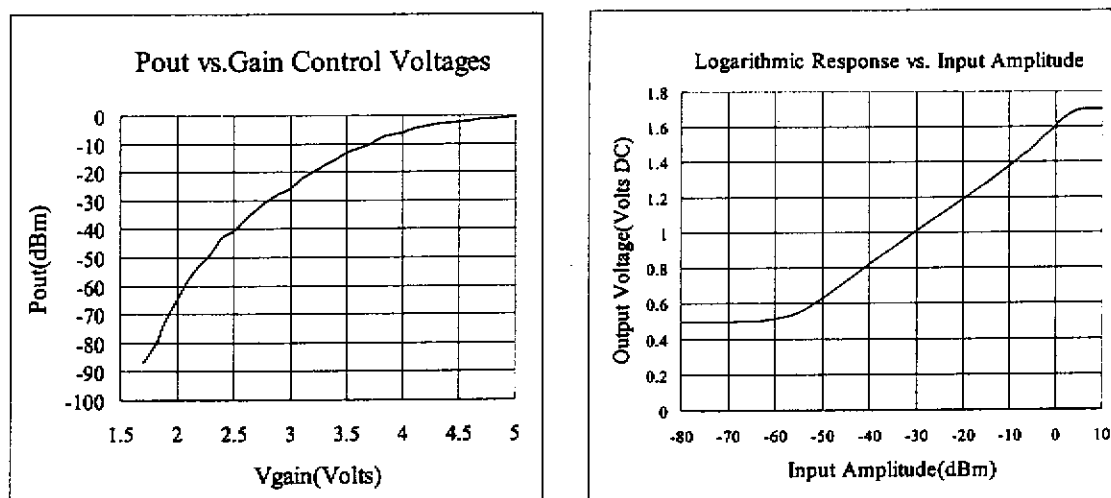


圖 9. System gain control and RSSI diagram.

(四) 關於發射機模組的討論：

由以上所述，系統的規劃、模擬、電路設計及測試皆已完成。藉由事前的系統模擬輔助，使得在往後的電路設計和實做上，增加成功的機率，並減少不必要的時間和零件的浪費。

在實驗結果的部份，我們從基頻模組做起，其中包括了數位對類比轉

換器以及 Gaussian 低通濾波器。由於此部分包含了數位信號、類比電路、放大倍率、偏壓設計，每一個環節都必須經過詳細的計算和電路設計，同時為了保持 I-Q 兩路的訊號大小位準和減少相位上的失真，在主動原件和被動原件的選擇和匹配上都需注意，電路板上的路線長度也需保持一定。

中頻模組方面，設計的重點在於 I-Q 調變器和功率調整部分。由於基頻模組的 I、Q 匹配性佳、失真少，配合中頻的 I-Q 調變 IC 本身良好的振幅與相位的平衡特性，使得調變結果能夠符合我們的要求。

另外在系統的功率控制部分結果也令人滿意。我們知道在基於 W-CDMA 或類似標準系統裡，整個系統的增益控制十分重要。而從實驗結果得知，整個系統的增益控制範圍差不多是 70dB，實際上已遠超過 IMT-2000 中至少 36dB 的要求。在輸出的功率方面，單一 single tone 的測試中，可以有 25dBm 的輸出。

(五) 參考文獻

- [1] Erik Dahlman, Mats Nilsson, and Johan Skold, "UMTS/IMT-2000 Based on Wideband CDMA," *IEEE Comm. Mag.*, pp. 70-79, Sep. 1998.
- [2] Tero Ojanpera, Ramjee Prasad, "An Overview of Air Interface Multiple Access for IMT-2000/UMTS," *IEEE Comm. Mag.*, pp. 82-95, Sep. 1998.
- [3] Gregg V. Miller, "Designing third-generation systems," in *Rf Design*, pp. 34-44, Jan. 1999.
- [4] "AD9762: 12-Bit, 100MSPS TxDAC," Analog Devices, Inc., 1996.
- [5] "AD8052: Low Cost, High Speed Rail-to-Rail Amplifiers," Analog Devices, Inc., 1997.
- [6] Williams, Arthur Bernard, "Electronic filter design Handbook," McGraw-Hill, New York, 1981.
- [7] "RF2413: Gain Controlled Dual-Conversion Quadrature modulator," RF Micro Devices, Inc., 1997.
- [8] "RF9938: PCS Upconverter/BPSK Modulator," Data Handbook, RF Micro Device, Inc., 1997.

- [9] "RF2129: 3V,2.5GHz Linear Power Amplifier," RF Micro Device, Inc., 1998.
- [10] David M. Pozar, "Microwave Engineering," pp.421-426, Addison Wesley, 2nd Ed. , 1993.
- [11] "AD8313: 0.1GHz-2.5GHz, 70dB Logarithmic Detector/Controller," RF Micro Device, Inc., 1998.

第三章 接收機模組設計及製作

本章將介紹接收機電路模組，包含了基頻、中頻、射頻以及功率控制的部份。

(一) 接收機系統規格及系統性能模擬[1]:

由於目前各國對於第三代行動通訊系統的規格並不相同，而且國際電信聯盟(ITU)對於第三代行動通訊系統的規格尚未確立，所以我們是參考[2]來訂定本接收機系統的規格：

- 上傳(Up-Link)接收頻率範圍：1920MHz ~ 1980MHz
- 調變方式：QPSK
- Chip Rate：3.84MHz
- 頻道頻寬(Bandwidth)：約為 5MHz

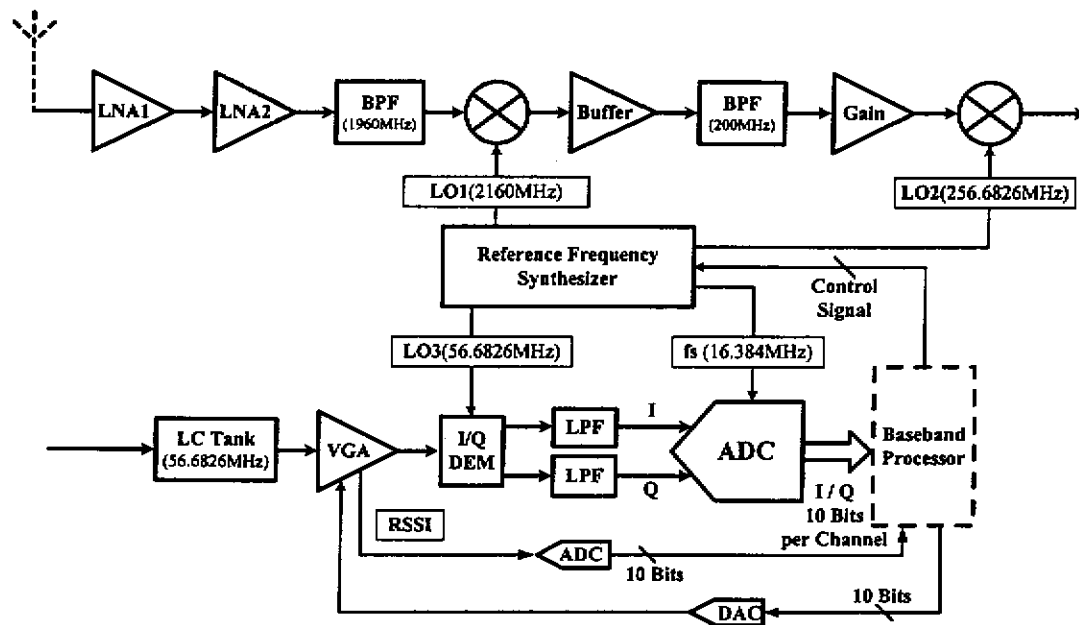


圖 1 System block diagram.

圖 1 為整個接收機模組的系統方塊圖。包含了射頻模組、中頻解調模組、參考頻率合成模組、類比數位轉換模組四個部份。

(1) 射頻模組：

射頻訊號由天線接收下來後進入此模組。首先經過低雜訊放大器(LNA, ERA-3SM)[3]，由於此 LNA 的 Noise Figure (NF)為 3.8dB 而且 Gain 有 20dB，再加上第二級 LNA(RF9936)[4]的 NF 只有 1.4dB 而且 Gain 有 13.5dB，使得整個接收機的 NF 降到只有 3.83dB[5]。接著通過一中心頻率為 1960MHz 的帶通濾波器 LFJ30- 03B1960BA60 做鏡像消除(Image Rejection)，再經過混波器(Mixer)降頻到第一中頻 200MHz。最後進入一中心頻率為 200MHz，頻寬為 5MHz 的帶通濾波器 TD6830B 做頻道選擇(channel selection)。

(2) 中頻解調模組：

中心頻率為 200MHz 的訊號經過混波器(RF2903)[6]降到第二中頻 56.6826 MHz，此時根據 RSSI 所輸出的訊號大小透過一 VGA 做增益控制，接著經過 I/Q 解調器，分出 I/Q 兩路。最後經過一個由寬頻高速的 OPAMP (AD8054) [7]所製作之主動低通濾波器 (Active Low Pass Filter) [8]後，得到 I/Q 兩路類比基頻訊號。

(3) 類比數位轉換模組：

此 I/Q 類比基頻訊號最後經由一 Dual- channel 的 10-bits ADC(AD9201)[9]轉換成數位訊號，送給後級 DSP 模組做資料回復(Data Recovery)。此外，AD7777(10-bits ADC)[10]將正比於訊號強度的類比 RSSI 電壓轉換成數位訊號送給 DSP 模組；而 AD7805(10-bits DAC)將 DSP 模組送來的數位訊號轉換成類比 VGA 控制電壓，用以控制 VGA 的增益。

(4) 參考頻率合成模組：

此模組產生降頻時所需的 LO 訊號及 ADC、DAC 和 DSP 模組所需的參考時脈(Reference Clock)。本接收機需要三個 LO 訊號，分別為 LO1(2160MHz)、LO2 (256.6826MHz)、LO3(56.6826MHz)；而參考時脈為 16.384MHz。LO1 是利用主要由 LMX2330A(包含 Phase Detector 及 Divider) 和 VCO(JTOS-2200P)所構成的 PLL 電路來合成。LO2 亦是利用主要由 LMX2330A 和 VCO(JTOS-400)所構成的 PLL 電路來合成。LO3 是經由一直接數位頻率合成器(DDFS, AD9851)所產生。而此模組所需的共同參考頻率乃由一振盪頻率為 16.384MHz 的 TCXO(溫度補償石英振盪器)所提供，並作為 ADC、DAC 和 DSP 模組所需的參考時脈。

(5) 系統模擬結果：

圖 2 至圖 4 為系統模擬結果。圖 2 為接收機的 NF，圖 3 為接收機的 IIP3，圖 4 為 VGA 輸出的載波雜訊比(CNR)。由圖 2、圖 3 結果可得 Dynamic Range 為 46.78dB。

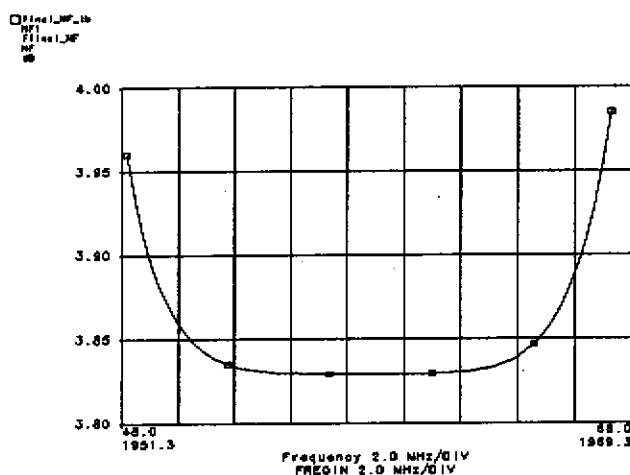


圖 2 . Noise Figure of the Receiver

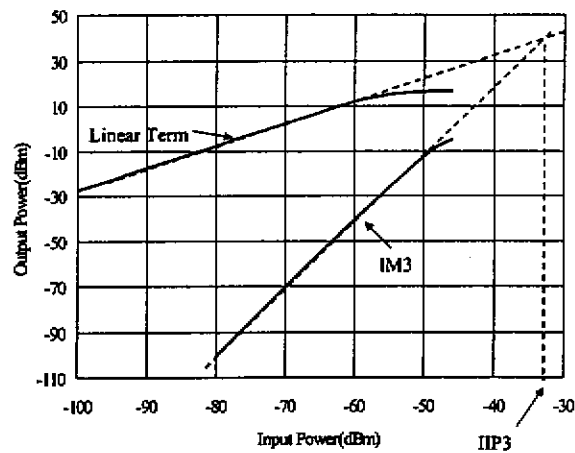


圖 3 . IIP3 of the Reciever

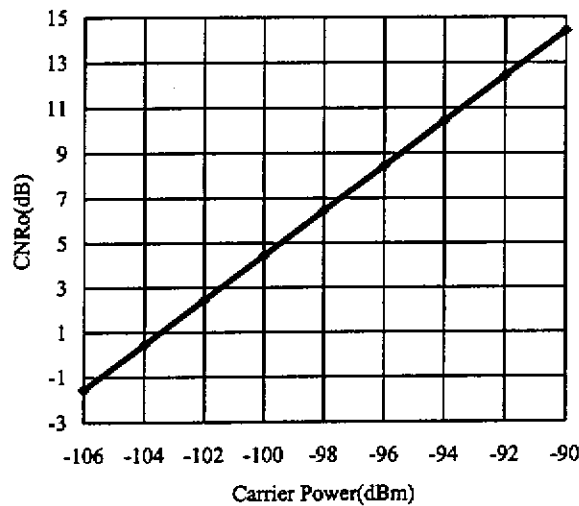


圖 4. Carrier to Noise Ratio(CNR)

(二) 接收機電路實驗結果：

硬體的測試結果分為 LO 訊號的頻譜表現、I/Q 類比基頻輸出之 Eye Diagram 及 I/Q Constellation、整體接收機的 RSSI 及增益控制。圖 5 為 LO1 訊號的頻譜表現。做接收機系統測試時，射頻訊號乃利用信號產生器產生，其載波頻率為 1960MHz 而 I/Q 兩路的 Chip Rate 皆為 4.096MHz(採用 QPSK 調變)。圖 6 為輸入射頻訊號強度為 -85dBm 時的 I/Q Constellation。

圖 7 為輸入射頻訊號強度為-85dBm 時的 Eye Diagram。圖 8 為在不同的 VGA 控制電壓(VG)下，輸入訊號強度所對應到的 RSSI 電壓值。由圖 8 中可看出輸入訊號在小於-45dBm 時的 RSSI 曲線才有一對一單調遞增的關係。因此接收機的工作範圍為 -90dBm ~ -45dBm。在不同輸入訊號強度時，DSP 模組需根據目前 RSSI 之值來調整 VGA 的增益，使得 I/Q 類比基頻輸出能維持一固定的大小，以期能有最佳的 ADC 表現。圖 9 即為輸入射頻訊號強度對 VGA 控制電壓的關係圖。

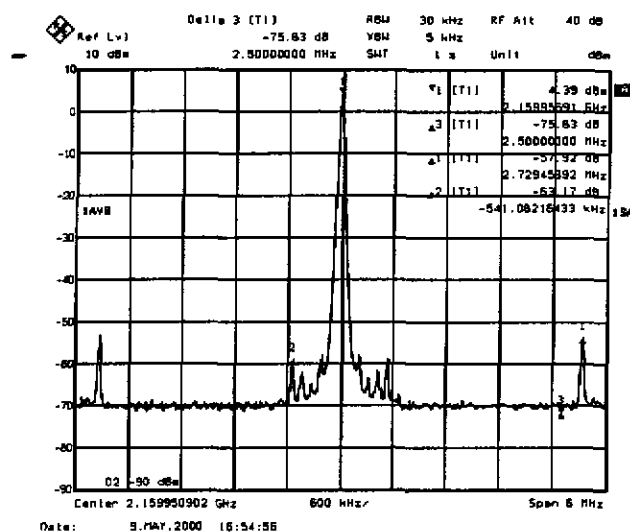


圖 5. Spectrum of LO1(2160MHz)

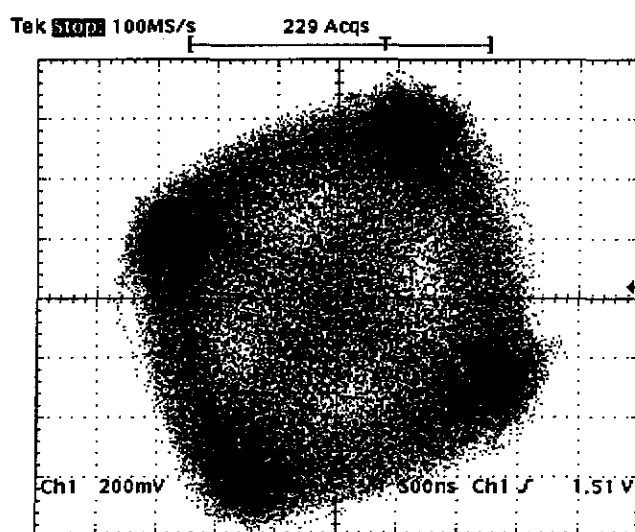


圖 6. I/Q constellation(Input = - 85dBm)

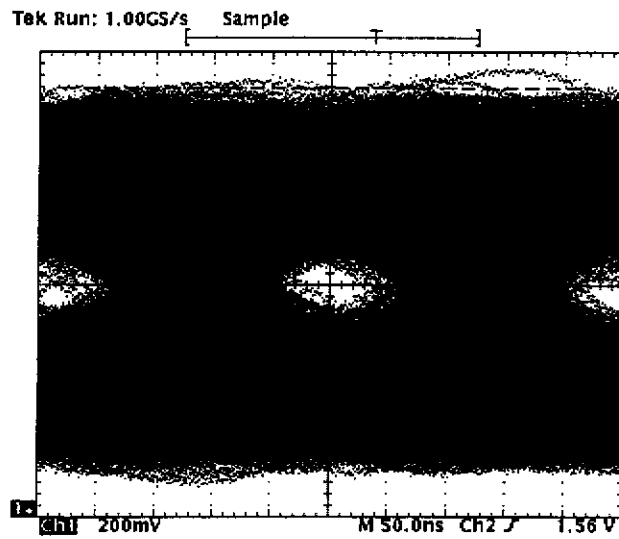


图 7. Eye Diagram(Input = - 85dBm)

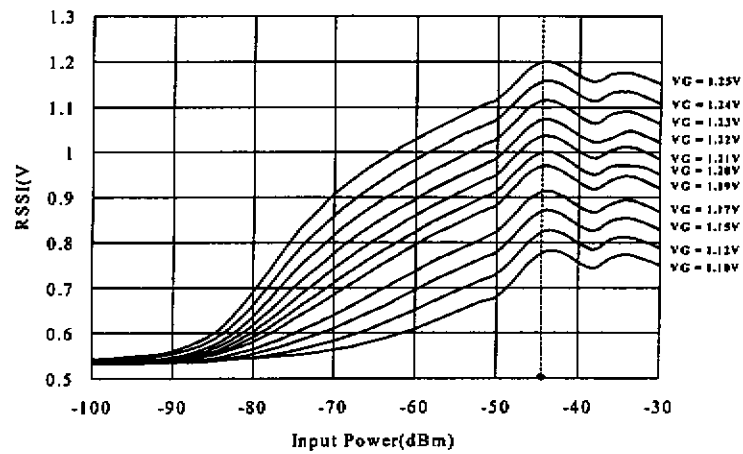


图 8.RSSI vs. Input power

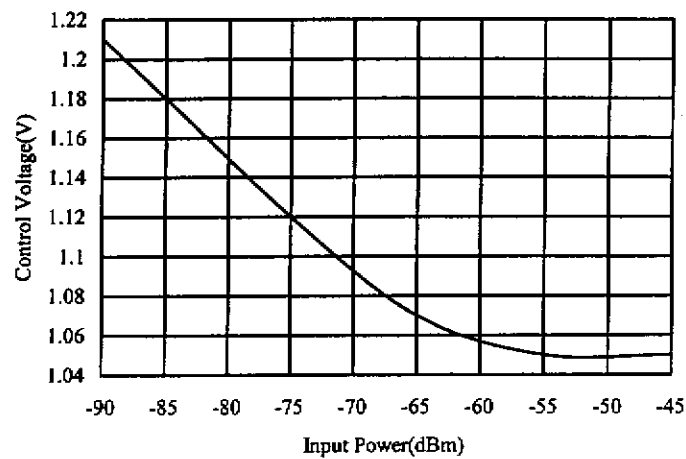


图 9. System gain control

(三) 第二代接收機系統：

由於在第二年執行本計畫時，3GPP 已經對 WCDMA 的規格做了一些更動，前兩年計畫中所設計的發射機和接收機某些部分必須重新設計以符合新的規格。同時因為新的接收機射頻單晶片 (RF IC) 不斷的出現，採用此類新型 IC 將可簡化整個系統的複雜度。

所以第三年的計畫重點即在於將接收機的部分做改良。其中的變更為使用 R F M D 公司所生產的 RF2938，作為中頻接收用及 I Q 降頻，此舉將可比前一代的設計省去一個 LO。同時將 IQ 的 chip rate 改為 3.84 MHz，以符合新的標準。頻率合成器的部分則使用 Conexant 公司的除小數型(Fractional-N)的頻率合成器，取代前一代所使用的 NS 的整數式頻率合成器，可增加頻率的解析度。表一為因應新的 3GPP 規格而重新更改的系統參數，而圖 10 為此改良後的接收機架構圖。

Table 1: System parameters for new Rx design.

Parameter	Specification
RF up-link bandwidth	1920MHz to 1980MHz
Channel spacing	5MHz
Modulation	QPSK modulation
Chip rate	3.84Mcps

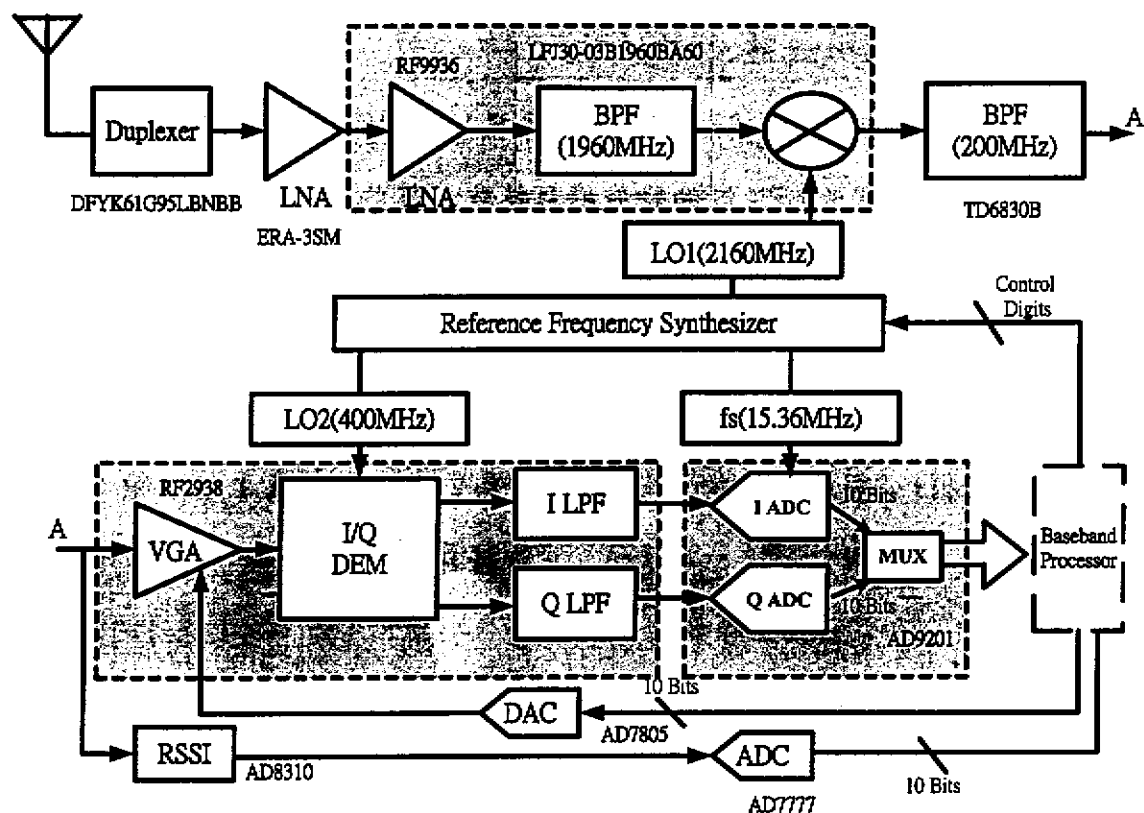


圖 10. System block diagram for new Rx.

以下將對改進後的部分，包括中頻和除小數行頻率合成器的部分，做一說明。

(1) 中頻電路：

中頻的部分使用新型的中頻 IC RF2938。其特點是可以在 200MHz 的頻率做 IQ 的解調，所以可以省去使用 RF2903 時必須降至 50MHz 所使用的第二中頻。因此第二代的接收機成為只有一個中頻的超外差架構，省去第二個中頻所需要的 VCO 和電路板面積。同時，RF2938 已包含完整的處理中頻訊號所需要的功能，包含增益控制，接收訊號強度指示，和一個寬頻的 IQ 解調器。所以使用此種整合性高的元件，配合少部分的周邊元件，就可以達成幾乎所有的中頻訊號處理功能。

測試結果：

圖 11 為 RF2938 的增益控制測試結果，圖 12 則為 IQ 解調後的基頻眼圖和 IQ 訊號的 constellation(圖 13)。

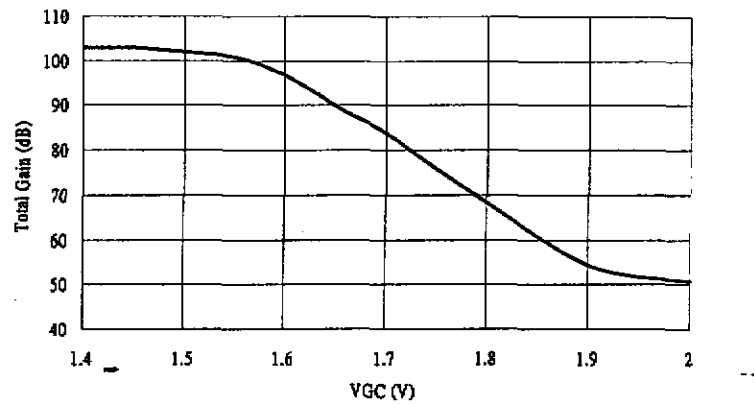


圖 11 Gain control characteristics of RF2938

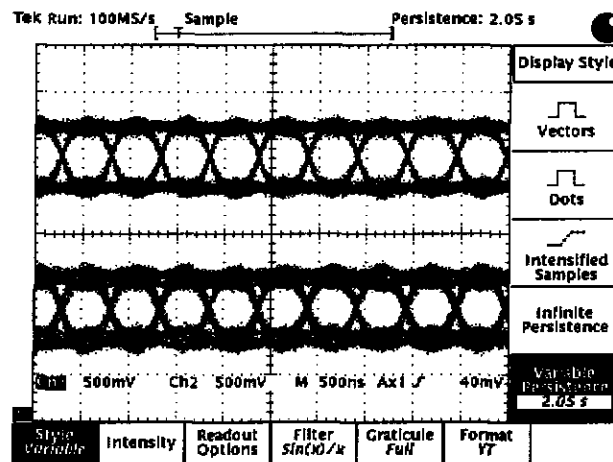


圖 12. Eye diagram.

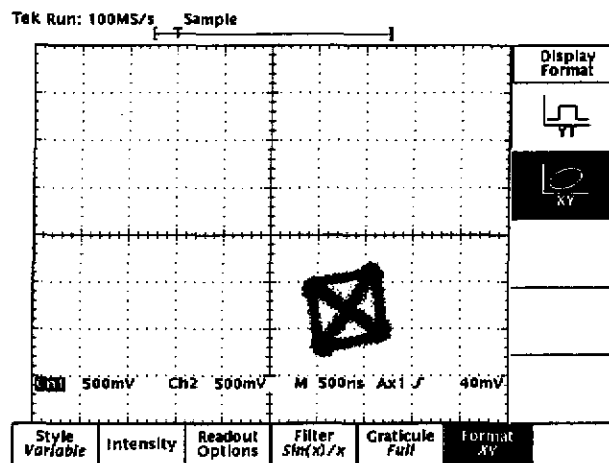


圖 13. IQ constellation.

(2) 除小數頻率合成器：

為了使頻率的穩定性增加，頻率的解析度可以更小，新的接收機使用除小數頻率合成器 Conexant CX74083。此新型除小數頻率合成器，同時包含有 RF 和 IF 兩個頻率合成器，可以同時產生 RF 和 IF 的 LO 訊號，但是只有 RF 的部分含有除小數的功能。表二為 CX74083 的基本性能規格。

同時為了達成 3GPP 所規定的 0.1ppm 的頻率穩定度，使用有溫度補償的石英振盪器 OCXO，作為參考頻率的訊號來源。

Table2: Basic specifications of CX74083

Parameter	Specification
RF operating input frequency	0.1GHz to 2.6GHz
Divide ratio of RF fractional-N synthesizer	256 to 2^{12}
Reference divider ratio of RF synthesizer	1 to 7
RF fractional-N division	up to 2^{21}
Programmable charge pump current of RF channel	120 μ A to 480 μ A
Prescaler input sensitivity	-15dBm to 0dBm

Parameter	Specification
IF operating input frequency	1MHz to 8MHz
Divide ratio of IF integer-N synthesizer	256 to 2^{17}
Reference divider ratio of IF synthesizer	1 to 8192
Programmable charge pump current of IF channel	0.4mA to 1.6mA
Prescaler input sensitivity	-15dBm to +6dBm

頻率合成器的測試結果：

圖 14 為頻率合成 RFLO 的輸出頻譜圖，圖則為 IFLO 的輸出頻譜圖。

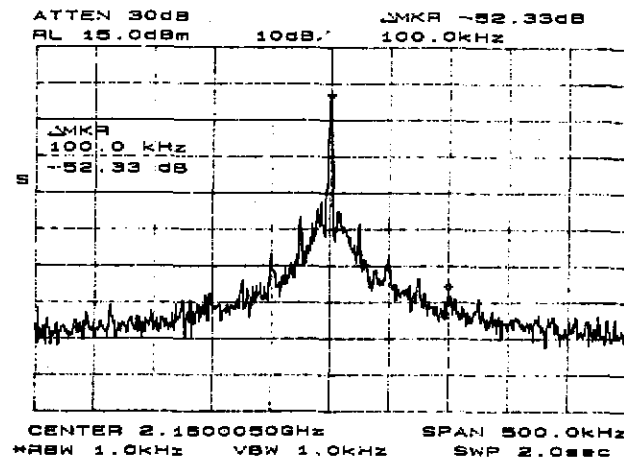


圖 14. LO1 (2160MHz) experiment result.

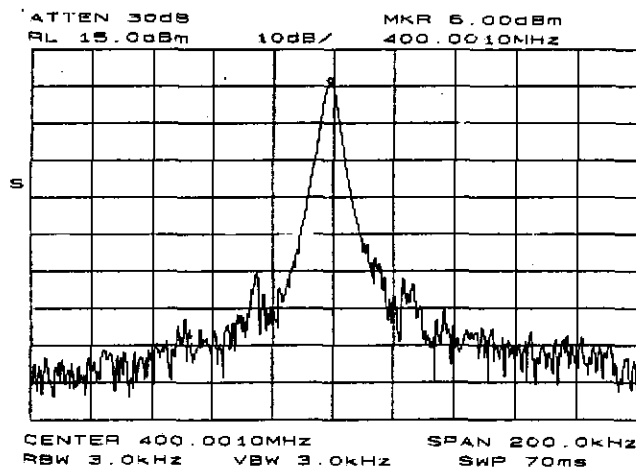


圖 15. LO2 (400MHz) result.

(3) 接收機整體測試結果：

硬體的測試結果分為 I/Q 類比基頻輸出之 Eye Diagram 及 I/Q Constellation、整體接收機的 RSSI 及增益控制。做接收機系統測試時，射頻訊號乃利用信號產生器產生，其載波頻率為 1960MHz，而 I/Q 兩路的 Chip Rate 皆為 3.84MHz(採用 QPSK 調變)。圖 16 為輸入射頻訊號強度為 -62dBm 時的 I/Q Constellation。圖 17 為輸入射頻訊號強度為 -80dBm 時的 Eye Diagram。圖 18 為在不同的 VGA 控制電壓(VG)下，輸入訊號強度所

對應到的 RSSI 電壓值。此接收機的工作範圍為-133dBm~-40dBm。圖 19 為輸入射頻訊號強度對 VGA 控制電壓的關係圖。

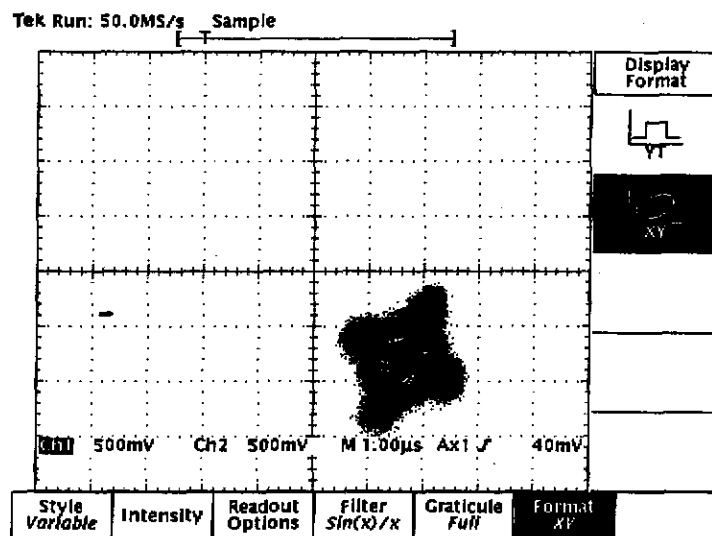


圖 16. Baseband IQ constellation at input -62dBm.

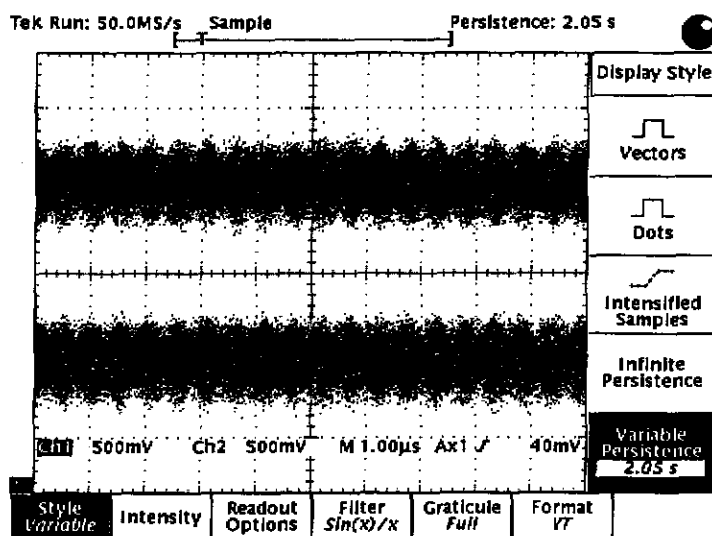


圖 17. Eye diagram at -80dBm.

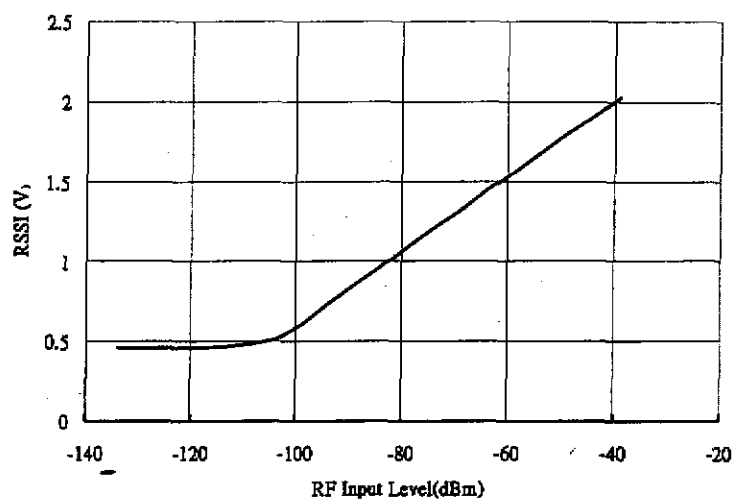


圖 18. RSSI vs. input signal strength.

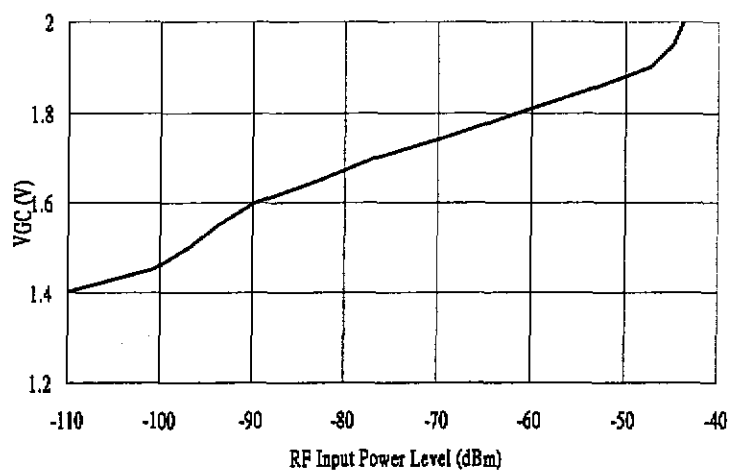


圖 19 System gain control range test.

(四) 關於接收機的討論

由以上所述，系統的規劃、模擬、電路設計及測試皆已完成。藉由事前的系統模擬輔助，使得在往後的電路設計和實做上，增加成功的機率，並減少不必要的時間和零件的浪費。製作射頻模組時要特別注意 PCB(印刷電路板) Layout 及阻抗匹配，才能達到元件 Data Sheet 中所宣稱的電路性能表現。在中頻解調模組中需提供相位差 90 度的兩 LO 訊號，而由於本接收機乃採用 R、C 所組成的 Phase Splitter 來產生，因此 R、C 之匹配度要好，才能期待有較佳的 QPSK 解調。此外，由 OpAmp 來製作 Bessel 主動低通濾波器主要是著眼於其有最平坦的群延遲(Group Delay)表現。最後，必須注意由於 LO 訊號的強度會影響到混波器的表現，所以在整合各模組時，需注意接頭損失是否改變了 LO 訊號的強度。

(五) 參考文獻

- [1] Omnysis of EEsof Series IV.Reference Manual.
- [2] http://www.3gpp.org/ftp/Specs/March_00/25_series
- [3] “ERA-3SM: Monolithic Amplifier,” Mini-circuits, Inc.
- [4] “RF9936: PCS Low Noise Amplifier/Mixer,” RF Micro Device, Inc.
- [5] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [6] “RF2903: A Highly Integrated Receiver IC for Spread Spectrum Applications,” RF Micro Device, Inc.
- [7] “AD8054: Low Cost, High Speed Rail-to-Rail Amplifiers,” Analog Devices, Inc.
- [8] Arthur B. Williams & Fred J. Taylor, *Electronic Filter Design Handbook*, McGRAW-HILL, 1995.
- [9] “AD9201: Dual Channel 10-Bit 20MSPS ADC,” Analog Devices, Inc.
- [10] “AD7777: Quad Channel 10-Bit ADC,” Analog Devices, Inc.

第四章 結論

由於過去的行動通訊系統，皆屬窄頻、低位元傳輸速率的系統設計。在面臨新的寬頻、高速率傳輸時，系統設計勢必會遇到新的挑戰和製作上的瓶頸。本計畫即是為達成上述要求，在設計及製作 W-CDMA based 的一個基地台的接收機方面做一先導性的研究。設計的概念包含了系統的規格設定、性能需求、以及實作方面的考量。

在本報告中，涵蓋了系統的設計原理、模擬結果、實際電路製作以及實驗結果。在系統模擬方面，一為驗證及評估系統規格的可行性，一為兼顧目前可用的零件規格及其特性加入系統模擬，以期瞭解未來在實體製作時的特性，增加未來在實作時的成功率。

在實體電路製作上使用目前可得，特性較佳的商用零件，除完成各細部電路設計及製作外，並完成整體的系統測試。同時驗證系統的可行性。

本計畫已針對 WCDMA 的基地站無線收發射機系統做一深入之研究，同時在此研製收發機期間，獲得無數寶貴的經驗和資料。由於本計畫執行期間長達三年，在此感謝電信國家型計劃的大力支援，以及所有曾經參與本計畫的同學和人員。