

利用移轉平均技術之延遲鎖相迴路

A Delay Locked Loop using Shifted-Averaging technique

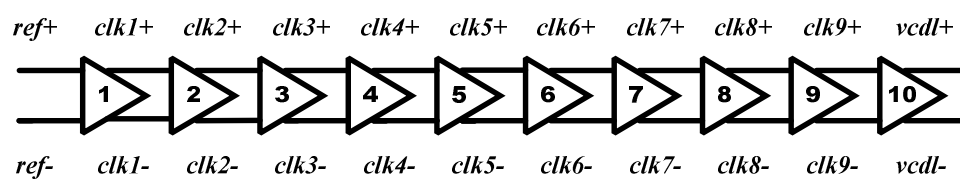
研究生 張湘輝

指導教授 劉深淵博士

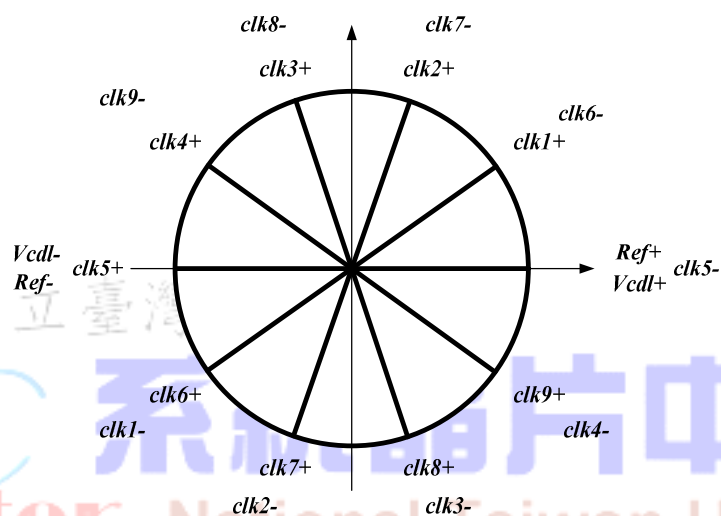
台大電子所電子電路實驗室 <http://analog12.ee.ntu.edu.tw/>

延遲鎖相迴路(Delay Locked Loops, DLL) 可視為一種時脈的緩衝器，它能將輸出時脈的相位和輸入時脈的相位，利用電壓控制延遲電路，使得輸出時脈的相位和輸入時脈的相位能夠同步。延遲鎖相迴路通常運用在需要低抖動及精準相位的時脈產生器的系統中。利用傳統延遲鎖相迴路極的架構，僅僅只能確保最後一級，會和輸入的時脈信號同相位，但無法保證中間輸出級是等相位輸出。也就是說，傳統延遲鎖相迴路，每一級之間的延遲都會有一個誤差。這樣的結果會造成延遲鎖相迴路輸出訊號間相位不匹配使得後級電路取樣困難度增加。為了解決因為不匹配所造成的問題。我們提出一種叫做轉移平均(shifted averaging)的方法，減少因為差動對(differential pair)中，因為不匹配所造成的誤差電壓(error voltage)。此方法在不增加任何硬體和功率消耗下可以對延遲鎖相迴路內部輸出級分別做靜態及動態平均。以改善其靜態誤差(static phase error)及輸出抖動(jitters)。

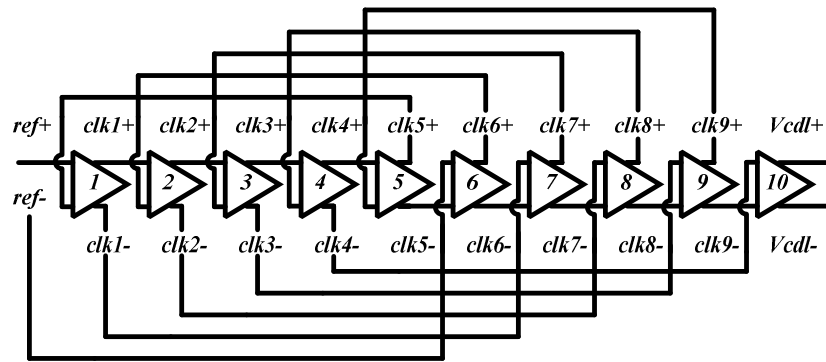
轉移平均的概念，主要是基於同一級差動對的正負端之間的輸出是相關的，相關的原因是因為電晶體製程上的變異，假設會使正端的輸出有一個正向的變動，在此同時，亦會造成負端的輸出有一個反向的變動。也就是說，若將來自同一對差動對的正負延遲單位元的輸出，接到下一級差動對時，原本在延遲單位元內的不匹配效應仍然存在著，甚至會因為下一級差動對的不匹配而更形嚴重。有鑑於此，若是可以將輸入於差動對的兩個輸入來自於不同延遲單位元的輸出，就可以避免上面所提到差動對本身正負端相關性的問題。在這裡，是假設不同的延遲單位元之間是獨立不相干，這樣的假設是基於每一個延遲單位元的製程變異是互不影響的，也就是說第一級差動對的製程變異並不會影響到第二級或是第三級的製程變異。圖一為傳統延遲線實現的方法，透過圖二的相位圖，以十個相位的輸出為例，clk1+ 和 clk1- 的輸入模式是可以由 clk1+ 和 clk6+的輸入模式所取代，clk2+ 和 clk2- 的輸入模式是可以由 clk2+ 和 clk7+的輸入模式所取代，以此類推。如此，只需簡單改變接線的模式，就可以在不用影響電路架構或是增加面積的情況下改善不匹配所造成的問題。從另一個觀點來看，因為個別的延遲單位元都是獨立而且不相關的，不同延遲單位元的誤差電壓輸出到下一級差動對後，在下一級差動對所造成等效的誤差電壓不會是兩者誤差電壓的相加，而會是兩者的幾何平均，如此就可以使緩衝器輸出的誤差電壓為原來的 0.707 倍。圖三為一利用轉移平均技術實現之延遲線。此延遲線具有在不增加任何硬體和功率消耗下可以對延遲鎖相迴路內部輸出級分別做靜態及動態平均。以改善其靜態誤差及輸出抖動。



圖一傳統延遲線



圖二 相位關係圖



圖三 利用移轉平均技術之延遲線