

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫五：適用於高速光通訊之數位基頻電路設計(2/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-012-

執行期間：92 年 08 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：吳安宇

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 28 日

適用於高速光通訊之數位基頻電路設計(I)

Digital Baseband Circuit Design for High-speed Optical Communication (II)

計畫編號：NSC 92-2220-E-002-012

執行期限：92/08/01 ~ 93/07/31

主持人：吳安宇 副教授 Email: andywu@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電機工程學系

一、中文摘要

在廣域網路(Wide-area Network)中，光學訊號需要橫越非常長的距離(>1000km)，其中會經過許多的光學儀器(如：Optical Add/Drop Mux、Optical Cross-connects 等)，在長距離傳輸會受到光學信號破壞而導致信號的衰減。這些信號破壞可以利用光學上技術來補償，如：擴散補償纖維(Dispersion Compensating Fiber)和光學極化模式擴散(Polarization Mode Dispersion)補償。可是由於這些光學上的技術欠缺彈性且高成本，所以目前的趨勢為利用電子電路補償來取代光學補償，以降低成本及提供更彈性的設計。

在這個計劃中，我們利用在電子積體電路中可調適等化器和前饋式錯誤更正碼(FEC)的技術來補償光纖通訊中信號的衰減和破壞。在設計可調適等化器(Adaptive Decision Feedback Equalizer)和前饋式錯誤正碼(Forward Error Correcting Code)模組方面，我們將會嘗試從演算法找出降低系統的面積和功率消耗的方法。進一步發展出具有更高效率地管線化或平行化的可調適等化器和前饋式錯誤正碼模組的架構。最後在電路層次上針對面積和功率作最佳化。

關鍵詞：

擴散補償纖維，光學極化模式擴散，可調適等化器模組，前饋錯誤更正模組。

二、英文摘要

In Wide-area Network (WAN), optical signals may traverse long distances (up to thousands of kilometer) and encounter numerous optical devices such as optical add/drop multiplexers, optical cross-connects, etc. This causes degradation

of the signal due to optical impairments in the long-haul link. Some of these impairments, such as dispersion, can be compensated optically. Dispersion Compensating Fiber (DCF) and optical Polarization Mode Dispersion (PMD) compensators are examples of such optical components [1]. Due to lack of flexibility and also high cost of these optical solutions, electronic compensation may be a better choice in order to reduce the costs and provide more flexibility.

In this project, we exploit the electronic integrated circuit solutions by using the Digital Adaptive Equalization and Forward Error Correcting Code (FEC) techniques to compensate for the impairments of optical communication. In the designs of digital adaptive equalizer and FEC modules, we will seek for efficient algorithmic-level improvement for Adaptive Decision Feedback Equalizer (ADFE) and FEC modules, to reduce the areas and power dissipations. Moreover, the pipelined or parallel architecture of ADFE and FEC modules will be developed to obtain the very high-speed VLSI architecture. Finally, the circuit level optimization for power and areas will be employed in our VLSI architecture for ADFE and FEC modules.

Keywords :

Dispersion Compensating Fiber (DCF), Polarization Mode Dispersion (PMD), Adaptive Equalizer Module, Forward Error Correcting Code Module, Adaptive Decision Feedback Equalizer (ADFE).

三、計畫緣由與目的

由於光纖網路的速度及頻寬上有著極快速的增長，使得下一代的光纖網路面臨著極大的衝擊。加上高密度波長分工(DWDM)薄膜濾片技術出現，光學合波分

波多工器(OADM)的開發，極速增加DWDM 網路的彈性且在光學領域中打開有效率地執行網路功能的可能性。但長距離(>1000km)傳輸使得光學訊號會經過許多的光學儀器(如：add/drop mux、optical cross-connects 等)，而導致光學訊號受到光學損傷因而產生大量的衰減。一些損傷可以利用光學上的特性來加以補償，如：擴散補償纖維(DCF)和光學極化模式擴散(PMD)補償。由於這些光學上的技術欠缺彈性且成本昂貴，所以必須利用電子補償來取而代之，以降低成本並提供更彈性的設計。

我們利用 DSP 技術的電子式積體電路來補償光纖通訊信號上的損傷。為減少長距離光纖傳輸信號上的衰減，我們提供了幾個實現方法來改善整體效能，分述如下：可利用可調適等化器(Adaptive Equalization)來補償光纖傳輸擴散效應；可利用前饋錯誤更正(Forward Error Correction)技巧來提升整體傳輸的品質(SNR)。

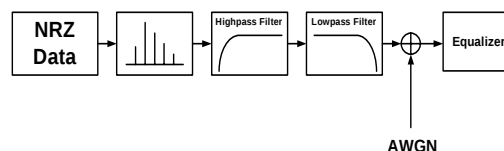
四、研究方法與成果

在這個子計畫中，首先我們將針對兩個主模組做演算法及 VLSI 架構上的分析。以期能在符合光纖通訊的速度要求下提出一經濟且低功率的設計。

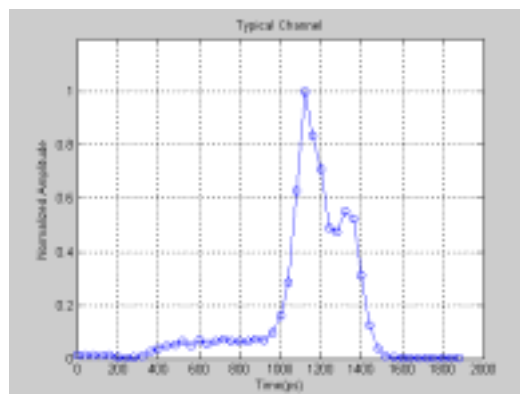
1.Adaptive Equalization

光纖通道模型的特性決定於許多因素：(1)光纖的種類、(2)光纖的長度、(3)光源的頻譜、(4)光的激發態，甚至於(5)光源打入光纖的角度，因此一般很難事先預知光纖通道模型的特性。

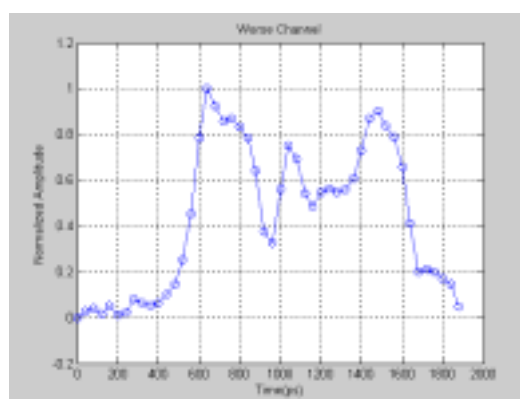
圖一為我們目前採用的通道模型，在此我們選用了三種不同的光纖通道脈衝響應來模擬我們的演算法與架構，分別如圖二、圖三以及圖四所示。通道脈衝響應一、二與三分別取自於 IEEE 802.3z 資料庫的多模光纖在 320m 線長, 1310nm 光波長的脈衝響應(如圖二) [2]以及 IEEE 80.23ae Ad-hoc 資料庫的多模光纖在 150m 線長, 1310nm 光波長的脈衝響應(如圖三與圖四)[3]。



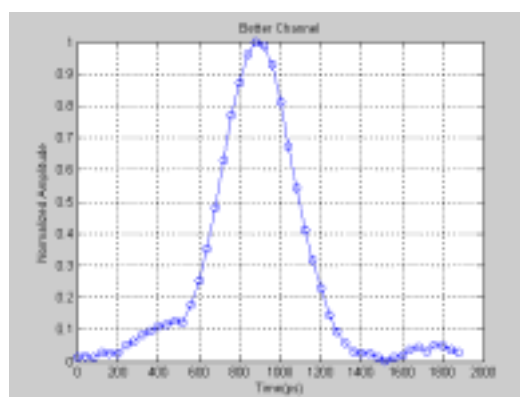
圖一、通道模型



圖二、通道脈衝響應一



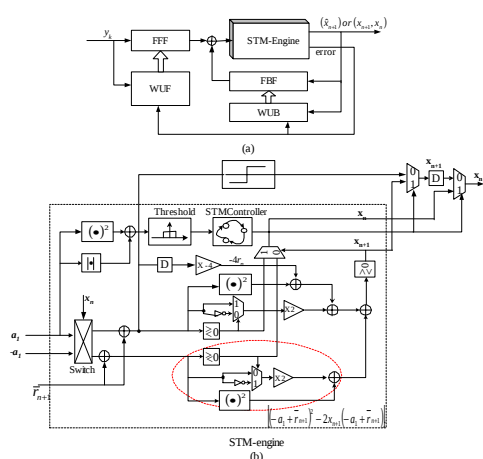
圖三 通道脈衝響應二



圖四 通道脈衝響應三

可適應性的回饋等化器雖然能隨著通道特性的改變而自行改變其濾波器係

數，然而其迴授的架構會受到錯誤傳遞 (Error Propagation) 的影響，而使得位元錯誤率 (Bit Error Rate) 提高而降低了等化器的效能。為了能達到 10GBase-LX4 的 BER = 10^{-12} 的規定，在此我們提出一個 Soft Threshold Multilayer Decision Feedback Equalizer (STM-DFE) 的演算法與 VLSI 架構 (如圖五)，以減少錯誤傳遞的影響。STM-DFE 會判斷收到的訊號的可信賴度。若夠高則以傳統的 slicer 來決定其值；若太低，則由下一個時脈收到的訊號的資訊在一起判斷此兩個訊號的值。



圖五、(a) Soft Threshold Multilayer Decision Feedback Equalizer (b) 用來做決定的 STM-Engine 的細部架構圖

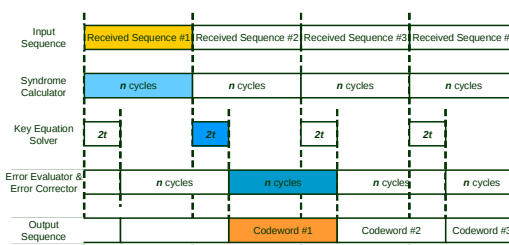
2. Forward Error Correction

FEC 技術包括了 BCH、RS 及近來新興的渦輪碼 (turbo code)，其中 RS 的 SNR 改善效能為最佳的選擇。一般而言，FEC 技術被廣泛使用在較低速的應用，然而要將 FEC 實現在 10Gbps 以上的高速度，不管在複雜度上和功率消耗上都變成極端地具有挑戰。因此我們的設計重點為演算法的改進、高速平行化的處理架構、以及高速的算術處理單元設計，以達到經濟且低功率的設計。

RS 解碼器包括三個主要步驟，計算徵狀多項式、解 key 方程式和搜尋錯誤並修正。其中最為複雜的電路為解 key 方程式，一般有 Peterson 錯誤！找不到參照來源、Berlekamp 錯誤！找不到參照來源、及 Euclidean 錯誤！找不到參照來源。等

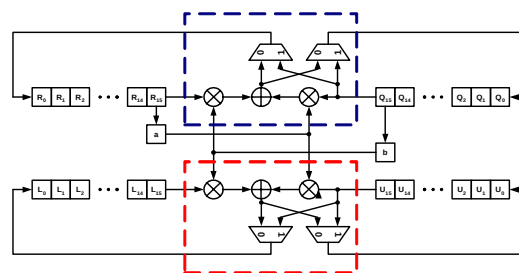
演算法，我們採用高度規則性的無需除法運算修正歐基里德演算法 (Modified Euclidean Algorithm) 來實現高速及平行化的處理。為達到 10Gbps 往往必需採用平行處理架構以提升處理速度，但如此一來皆會造成硬體成本的增加及不必要的功率消耗，因此我們提出一個高效率的架構來降低硬體成本及功率消耗。

首先，傳統平行處理架構會造成硬體成本的付出，但實際使用效率又不高的情形，如圖六所示，最為複雜的解 key 方程式部份，在 RS 整體硬體成本上大約會佔到 50~60% 左右，但在使用效率上卻大部份時間都是在閒置 (idle)，這是非常沒有效率的實現方法。



圖六、里德所羅門平行處理解碼之時序圖

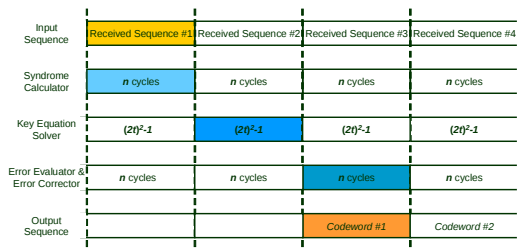
對於此一現象，我們利用時間設計概念來換取空間上不必要的浪費，因此採用摺疊式架構 (folding) 來設計，利用 16 倍的摺疊可以得到一個硬體成本只為原來平行架構實現的十六分之一，因此可以大大的降低硬體成本。我們提出的摺疊式架構如圖七所示。



圖七、修正歐基里德演算法之摺疊式架構

傳統直接摺疊方法必需要 $(2t)^2 = 256$ 週期才能解完 key 方程式，但一般前一級的運算週期為 $n = 255$ ，因此會造成時間來不及而達不到立即處理 (real-time) 的效能，並使得整體的效能不張。因此我們利用演算法上的預先計算技巧來減少一次

疊代的運算；因為有多餘的一次疊代週期時間可以使用，所以付出多餘的一個週期來鎖住歐基里德演算法中之領導係數，因而使得在設計控制器的複雜度大大的降低了，此方法所需的週期為 $(2t-1)(2t+1)=255$ ，恰好符合整體的時序，如圖八所示。如此一來我們不僅提出一個非常低成本的架構，且其使用效率更是達到百分之一百。



圖八、摺疊式里德所羅門解碼之時序圖

在效率的比較上如表一所以，在資料處理上我們可以達到 3.2Gbps，而硬體成本僅僅需要 21K gates，在效率上，我們所提出來的高效率架構約是現存科技文獻中的兩到三倍，因此我們提出一個非常高效率的架構，並且它能符合 10GBase-LX4 的速度要求。

表一、效率比較表

	Tech. (um)	Latency (Cycles)	Clock (MHz)	Total of #Gates	Throughput (Gbit/s)	Efficiency (Mbit/s/gate)
Our RMEA	0.18	$n+(2t)^2-1$	400	20,614	3.2	152.38
ISVLSI'03 [4]	0.13	287	300	44,700	2.4	53.70
ASIC-SOC'01 [5]	0.13	355	770	102,500	6.16	60.10
ISCAS'00 [7]	0.25	$n+3t+42$	75	55,240	0.6	10.86
ICCSC'02 [8]	0.25	$n+16$	100	118,303	0.8	6.76

五、結論與討論

在本子計劃中，我們針對兩個主要數位模組做演算法及 VLSI 架構實現的考量。透過演算法分析降低硬體實現的複雜度，並藉由 VLSI 架構的推導，進一步改善模組之速度/功率/面積，最後將落實於 VLSI 電路上實現。

六、參考文獻

- [1] Kamran Azadet, Erich F. Haratsch, Helen Kim, et al., "Equalization and FEC techniques for optical transceivers", IEEE J. Solid-State Circuits, vol 37, no. 3 pp. 317-327, Mar 2002
- [2] IEEE 802.3ae Taskforce meeting slides, New Orleans, Sept. 2000.
- [3] Oscar Agazzi, et al. "Measurements of DMD-Challenged Fibers at 3.125Gb/s, IEEE 802.3ae Meeting, Irvine, Jan 2001.
- [4] Hanho Lee, "An Area-Efficient Euclidean Algorithm Block for Reed-Solomon Decoder," Proceedings of the IEEE Symposium on VLSI, 2003.
- [5] Hanho Lee, "A VLSI Design of A High-Speed Reed-Solomon Decoder," 14th Annual IEEE International, ASIC/SOC Conference, 12-15 Sept. 2001. pp.316-320
- [6] Amendment: Media Access Control (MAC) Parameters, Physical Layers, and Management Parameters for 10Gb/s Operation, IEEE Standard 802.3ae-2002, 2002.
- [7] Hanho Lee, Meng-Lin Yu, and Leilei Song, "VLSI Design of Reed-Solomon Decoder Architectures," IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Geneva, Switzerland
- [8] L. Song, M. L. Yu, and M. S. Shaffer, "10- and 40-Gb/s Forward Error Correction Devices for Optical Communications," IEEE Journal on Solid-State Circuits, vol. 37, no. 11, Nov. 2002. pp. 1565-1573.