

低功率可攜式多媒體助理之相關技術研究-子計畫二

低功率視訊解碼器晶片設計(III)

Signal Chip Low Power Video Decoder Design

計畫編號：NSC88-2215-E-002-G34

執行期限：87/8/1 ~ 88/7/31

計畫主持人：陳良基 教授 國立台灣大學電機

中文摘要

此項計劃的目的是完成一顆 MPEG2 視訊解碼器單晶片設計，並以此設計為例：深入探討系統設計的流程和法則。針對系統的分割映射、系統測試模組和系統之間的介面關係及可再重複使用性的觀點上，以最有效的方式、最短的時間內達到系統的規格。此 MPEG2 內部包含了分析器、可變長度解碼器、反離散餘弦轉換函數模組、反排序模組、反量化模組、向量產生器、位址產生器及移動補償模組。此晶片能即時的解出 MP@ML 格式的 MPEG2 視訊的影像。利用一層多晶矽三層金屬 0.6- μm 的 CMOS 製程，包含 220k 電晶體個數，面積為 6.5 $\times$ 6.5 mm²。

關鍵字：

MPEG2、單晶片、模組、分析器、可變長度解碼器、反排序模組、反量化模組、反離散餘弦轉換函數模組、向量產生器、位址產生器及移動補償。

Abstract

This project's purpose is finishing the MPEG2 video decoder, and describes about the system design flow, system partition, system mapping, the interface between modules and system, and reusable concepts. Using the most efficient methods and the shortest time to achieve the system specification. The MPEG2 video decoder contains parser, variable length decoder, run-length decoder, inverse scan, inverse quantization, inverse discrete cosine transform, vector generation, address generation and motion compensation modules.

This designed chip can decode the MP@ML bitstream in real time. It is implemented in single-poly triple-metal 0.6- μm CMOS technology, contains about 220k transistors on 6.5 $\times$ 6.5 mm² die.

Keyword:

MPEG2, single chip, module, parser, variable length decoder, run-length decoder, inverse scan, inverse quantization, inverse discrete cosine transform, vector generation, address generation, motion compensation.

計劃緣由與目的

影像與視訊系統在資訊傳播與記錄上的應用已日趨普遍，成為訊息傳播的主流。而在新一代的無線傳輸標準上，影像傳輸更是不可或缺的功能。目前 VCD 已充斥了整個市場，相信畫面品質更好的 DVD 及 HDTV 將成為下一代視訊影像的主流。生活品質的提高使人們對於週遭的要求越來越大，於是產品除了實用創新之外就是附加價值要大。相對的系統整合就成為一項研究的領域 ([1]-[5])。設計是越來越複雜、要整合的東西是越來越多，但是所花的時間卻要越來越短以滿足市場所需。以往模組晶片的設計流程已不敷使用，必須用系統的角度來衡量，IP-based 的方式來設計。

研究方法與結果

系統設計和模組設計有許多不同之處。系統設計者必須先規劃整個計畫，瞭解整體規格和決定設計的策率如圖 1。再將系統切割成幾塊小模組交由模組設計者。模組設計者必須注意設計的模組能夠重複使用的特

性，因為新的版本或是其他的應用有可能需要再被使用到。設計出只能合乎自己系統的模組就不能稱為 IP 設計。而且要做到好使用，好驗證。

1. 系統決策

系統分析包函功率複雜度及運算量的分析。現今可用 FPGA，ASIC，DSP 的方式實現硬體，根據 FPGA 具有易更改設定的特性。ASIC 對於成本價格，低功率及效能有較好的表現。DSP 可處理複雜度高的演算法。系統一經過切割：DSP 部分則交給 DSP 的設計者處理指令集的最佳化即運算單元的設計。FPGA 設計者則決定將架構映射於 FPGA 上，以得到最高的使用率。而整塊 ASIC 通常分割成好幾塊小模組，通常是依據其演算法，不同頻率的分布和介面連接的接腳數。分割好則將每個模組所需的時序安排好，將規格開給模組設計者如圖 II。

2. 系統和模組之間的互動

剛開始系統只能給定模組設計者一個範圍的規定、而不是非常明確規格。因為整個系統的時序，和模組架構有密切的關係。換句話說不同架構的模組設計會影響資料時序上的安排。所以模組決定完架構之後才能回報給系統，自己介面輸入及輸出的時序安排。系統評估者接到各模組的回報後，將時序再做進一步的安排及測試，確定有無相衝突的問題。系統設計者將有問題的模組另做安排，或是將相關的模組做時序上的調整以彌補有問題的模組。再做近一步的系統整合。

3. 可重複使用的模組設計

1. 緩衝區的考慮

模組設計者在設計上應將輸入輸出的介面和內部運算核心分開設計。換句話說就是

此模組用於不同的系統時，只有介面需要修改一下而內部的核心應該不變。而我們所要提的就是一個輸入輸出介面可以輕易調整的設計概念。要能夠任意調整這些介面的考量應將控制系統分開。內部運算元件的控制信號和對外輸出輸入的介面控制訊號分開。而輸出輸入介面若資料沒有互相關連的也分開，因為一個模組所需的資料可能來自好幾個模組，某些模組可能要滿足速度上的需求而加上一級管線(pipeline)，使得資料傳達的時間延遲了一個時序。再加上有些資料的處理是有相關性。如資料 A 和資料 B 相加等於資料 C。資料 A 為到達時，必須先將資料 B 存於緩衝區內。所以加適當的緩衝區於介面上是必然的。

2. 中央集體控制的方式

將介面的時序控制器移出模組外，形成以中央集體控制的方式(central control)可以較輕易的控制所有模組的時序。

3. 局部控制的方式

模組設計者必須簡化本身輸入輸出的介面，讓使用者覺得方便和好用。有時候各模組的控制電路是相同的，我們為了做到電路的資源分享節省面積，就將這些控制電路移到模組外，成為中央集體控制(central control)的方式。這種方式對於個體的系統來說是好的，卻在介面之處變多變複雜了。如此在介面的說明書上就要描素這些複雜的控制信號。別的使用者不但要多花時間瞭解這些控制信號還要花更多的時間驗證它。所以每個模組內應有屬於內部運算單元的控制器。

綜合以上觀點，控制內部運算元件置於局部。而輸入輸出的時序控制移出模組採用中央控制的方式。

4. 系統驗證

模組的驗證也是一種很重要的課題。通常測試的數據(pattern)取自於 C 語言。如何將這

些數據加上時序的特性以最快最有效率的方式測出結果是此計畫所探討的。此測試的環境為 Verilog 環境。先對 Pattern 做基本的分類。將不同類的 pattern 置於不同的(ram)記憶體內並加上一個外部的控制電路如圖 III，控制記憶體的輸出輸入。一般測試的數據可分為週期性，頻率，到達時間及複雜性。通常我們會先測試核心部分再進行較複雜的控制系統，從小的到大的，簡單的到複雜的。將測試的數據分成好幾層如。最底層為數據的特性，再上一層為各模組內的原件，包含記憶體的存取，輸入輸出，運算原件及控制部分。再上一層為各模組所要實現的演算法或是功能，最上一層為整個系統應提供的規格及目的。

研究方法與成果：

結論：

本文提出了高效能的架構，不但縮小了晶片面積更是增加解碼的速度。本論文針對 MP@ML 的要求設計。整個晶片都是 ASIC 架構，一般設計者對於複雜的指令集，會用 RISC 的方式處理。但是 RISC 的成本較高且執行速度較慢。所以在可變長度解碼器模組內，含了十五個 PLA 表負責解檔頭的資料。用一組乒乓模式的記憶體設計反向掃描模組，如此可加快晶片執行的速度。二維反向離散餘弦轉換函數模組則使用一維的反向離散餘弦轉換函數模和一個轉置記憶體如此可減少很多電晶體數如圖 IV。除此之外，我們還加上軟體的考量。針對運算少且需要很多暫存器的模組，就用軟體替代。如移動補償模組就用軟體的方式取代如圖 V。在 FPGA 設計方面，將整個電路切割成兩塊，分別至入 flex-10k100 的 FPGA 原件內。此晶片如圖 VI 利用一層多晶矽三層金屬 0.6- μm 的 CMOS 製程，包含 220k 電晶體個數，

面積為 6.5×6.5 mm² 如表格 I。

參考文獻

[1] D. Cooper, "Design and Verification of GSM Mobile Phones", *Communication System Design*, Sep. 1997.

[2] S. Pees, M. Vaupel, V. Zivojnovic, and H. Meyer, "On Core and More: A Design Perspective for Systems-on-a-Chip", *Proceeding of IEEE International Conference on Application-Specific Systems, Architectures, and Processors*, pp. 448-457, 1997.

[3] C. King, M. O'Neill, and C. Fuller, "System to Silicon Path Optimization", *Proceeding of WESCON'97*, pp. 34-40, 1997.

[4] H. De Man, "Future Systems-On-A-Chip: Impact on Engineering Education", *Proceeding of IEEE VLSI Workshop*, pp. 78-83, 1998.

[5] A. M. Rincon, C. Cherichetti, J. A. Monzel, D. R. Stauffer, and M. T. Trick, "Core Design and System-on-a-Chip Integration", *IEEE Design & Test of Computers*, Oct. - Dec 1997, pp. 36-41.

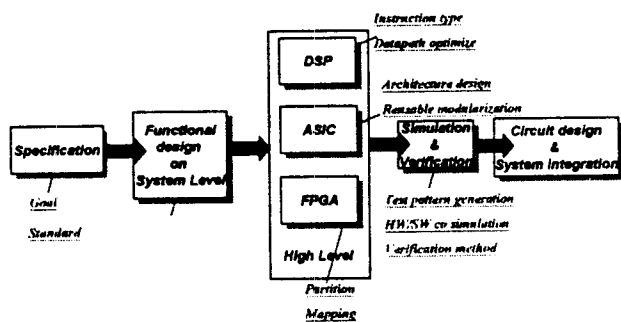


圖 I 系統設計流程

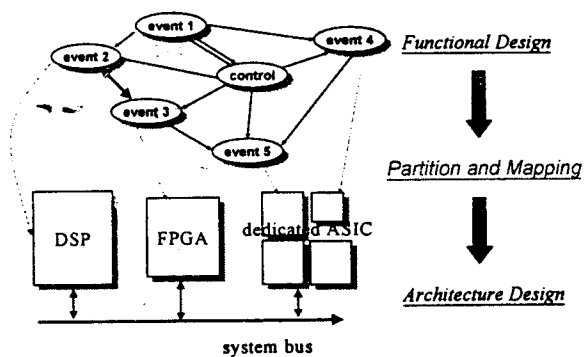


圖 II 系統切割和映射

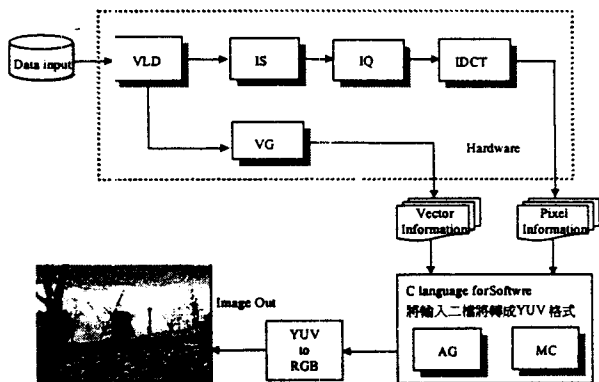


圖 V 系統模擬圖

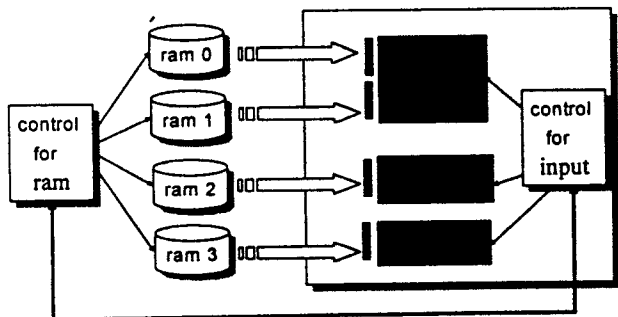


圖 III 虛擬測試原件

Chip Specification	
Cell Library	COPASS 0.6 um
Process	TSMC 0.6um 1P3M
Chip Area	6.595 x 6.607 mm ²
Gate Count	44,665
Transistor	228,722
Speed	41.6Mhz
Power	1.5w
Package	130 pins

表格 I 晶片規格

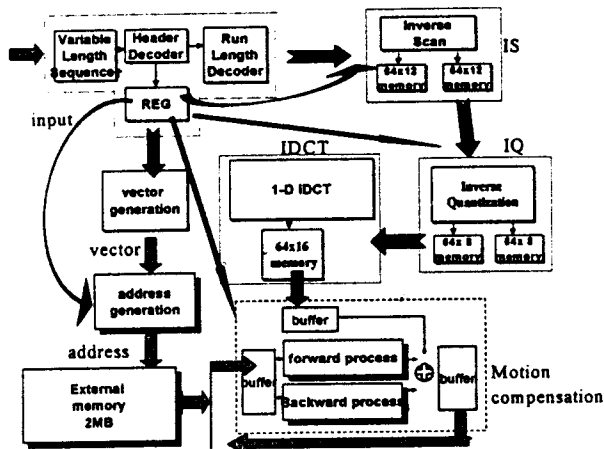


圖 IV MPEG2 各模組資料流向圖

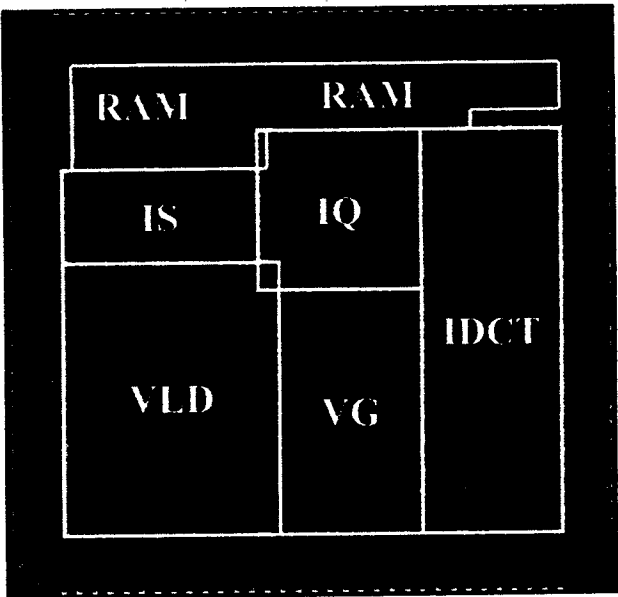


圖 VI 晶片佈局圖