

行政院國家科學委員會專題研究計畫成果報告

應用於無線通訊系統之低電壓低功率 CMOS 射頻前級設計(II) 頻率合成器之分析及設計

Low-Voltage Low-Power CMOS RF Front End Designs for Wireless Communication Application(II) Analysis & Design of Frequency Synthesizer

計畫編號：NSC 88-2215-E002-041

執行期限：87 年 8 月 1 日至 88 年 7 月 31 日

主持人：汪重光 執行機構及單位名稱：國立台灣大學電機系

一、中文摘要

本文介紹一傳統相鎖迴路之頻率合成器之改良型架構，用以降低輸出之相位雜訊並達加速收斂的效果。整個架構包含相位偵測器，迴路濾波器，壓控振盪器及除頻器，除此之外，另有一取樣降頻的機制取代部分的除頻器，達到降低相位雜訊的目的。此次針對 PHS 系統之設計，輸出頻帶為 1.655~1.678GHz，77 個頻道，頻道間距為 300kHz。模擬結果顯示該此新架構可達 200kHz 穩態回路頻寬，18us 之快速頻道切換時間，並比傳統架構提供額外 10dB 相位雜訊的衰減，而電路功率消耗為 40mW。整顆晶片是利用 0.6um N-well SPTM CMOS 製程製作，晶片面積僅 1.9mm²。

關鍵詞：相鎖迴路、頻率合成器、相位偵測器、迴路濾波器、壓控振盪器、除頻器、取樣降頻、PHS 系統

Abstract

This project proposes a modified frequency synthesizer architecture to improve the phase noise and convergence speed of the traditional PLL-based one. The whole architecture includes phase detector, loop filter, VCO, and frequency divider. Besides, there is a sub-sampling scheme substituting for parts of the divider to reduce phase noise. The design aims at the PHS standard whose requirements are 1.655~1.678GHz, 77 channels, and 300kHz channel spacing. The simulation results show that this new architecture can achieve 200kHz loop bandwidth, 18us switching time, 10dB phase noise improvement and 40mW power dissipation. The circuit is implemented by SPTM 0.6um N-well CMOS technology, occupying chip area of 1.9 mm².

Keywords: PLL, frequency synthesizer, phase detector, loop filter, VCO, divider, sub-sampling, PHS

二、計畫緣由與目的

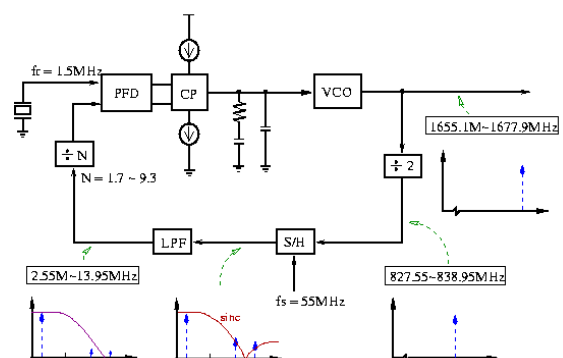
頻率合成器被廣泛應用於可攜式無線個人

通訊系統中。於目前系統之射頻頻段普遍皆落於 800MHz~2.5GHz，且須以低壓低功率操作，故以採用鎖相迴路技術的頻率合成器最符合經濟效益，但由於是閉迴路架構，除了迴路穩定性要注意外，還有其它考量因素，如頻道間距，收斂速度及雜訊抑制等，彼以互相牽制，設計困難度較高。由於其應用在無線通訊系統中，最重要的特性是相位雜訊大小，而除頻器之除數大小，會將參考振盪器，相位偵測器，迴路濾波器之相位雜訊放大 N 倍於壓控振盪器輸出信號上，故降除頻器除數有助於抑制相位雜訊，且當除數降低會增加迴路頻寬，可抑制更多的壓控振盪器之相位雜訊。

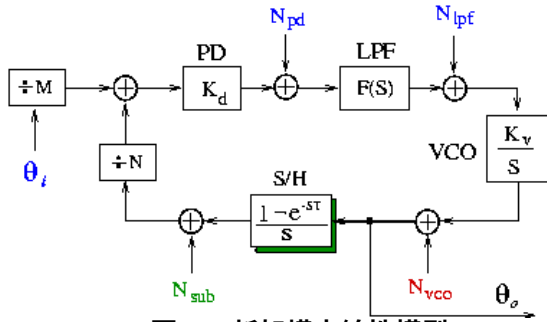
Lucent 已提出以混波器降頻技術取代部分的除頻器[1]，但此技術需要一純度高且高頻之單頻訊號源以無混波器降頻，此信號源的取得以現行技術看來非常困難。

本計畫目的在於提出一採用次取樣降頻技術新架構，以一低頻信號去取樣一高頻信號，使高頻頻帶頻譜依低頻取樣信號頻率為間隔而複製開來，只要靠一簡單濾波器濾出最低頻的頻帶即可，此一用來進行次取樣的低頻信號，頻率只須大於高頻頻帶寬的兩倍，以避免複製的頻譜交疊失真即可。

圖一顯示了此一新型架構，壓控振盪器之輸出信號先經一高頻除頻器除二後直接進行次取樣，最後再經除數較小的可程式化除頻器選頻。而圖二為此架構之線性模型。其中次取樣機制之轉換模型顯示此機制不會對相位做除法的動作，且其頻率響應也顯示在取樣頻率的整數倍頻段，有零點幫助濾去取樣後原本會出現的複製頻段。



圖一. 採用次取樣降頻技術之架構圖



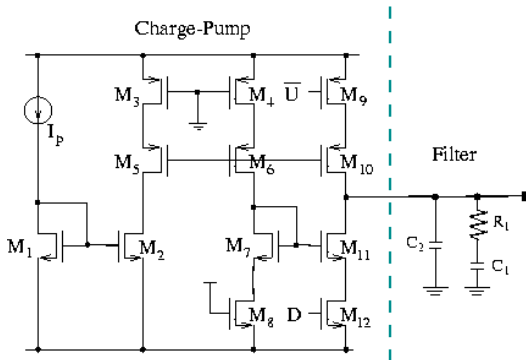
圖二．新架構之線性模型

三、結果與討論

A. 相位頻率偵測器及電荷充式濾波器

相位頻率偵測器為由兩相同之正緣觸發 D 型正反器，一個 AND 邏輯及一延遲級所構成，輸出 UP, DN 及 High Impedance 三種狀態信號以控制下一級的電荷式濾波器，而延遲級之功用在避免偵測相位誤差的 dead zone 出現。

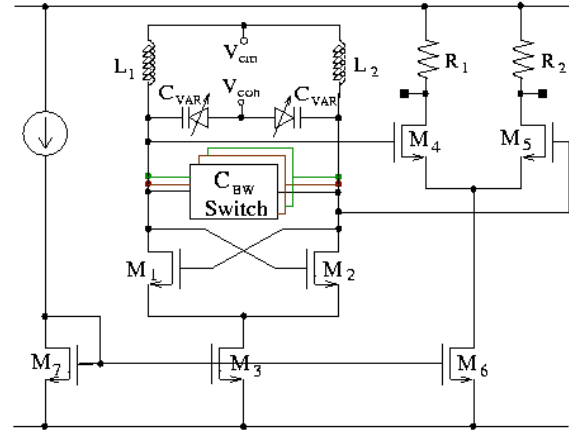
電荷充放線路如圖三，它可以快速反應相位頻率偵測器的狀態並避免電晶體開關時會有通道及閘級之額外電荷移到濾波器中。濾波器為由一個電阻及兩個電容所構成的二階低通濾波器所構成的二階低通濾波器，由於所需電容較大，不包含在此晶片中。而在 200KHz 之迴路頻寬設計條件下，C1 應為 120pF, C2 為 2.9nF, R2 為 1.4K Ω ，電荷充放線路之參考電流 I_p 為 0.5mA。



圖三．電荷充放線路

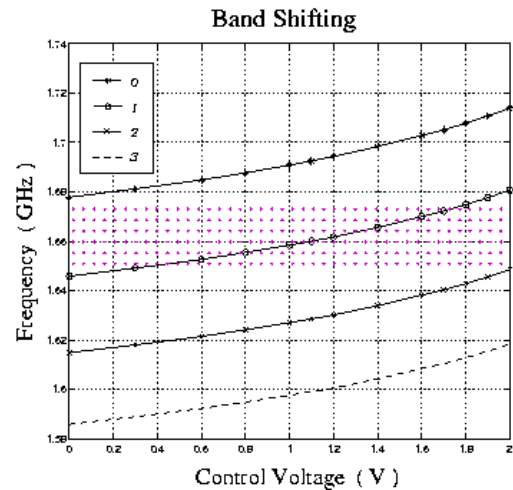
B. 電壓控制振盪器

因 PHS 系統射頻位於 1.9GHz，所有頻帶寬為 23.1MHz，中頻位於 200MHz，故此壓控振盪器輸出頻率為 1.7GHz，頻率調變範圍不寬。圖四為此壓控振盪器的電路，為一負電阻電感電容振盪器，其中電感採繞八角螺旋型電感，而可變電容為反偏壓之 p+/N-well 二極體。



圖四．壓控振盪器的電路圖

此外，為因應製程參數的變動導致寄生電容的不確定性，此振盪器可選擇不同電容負載來調整輸出頻率範圍[2]，其頻率控制特性曲線如圖五，五種情況表示不同的電容，調頻增益皆為 25MHz/V，輸出功率為 5.56dBm，消耗功率為 9.7mW。

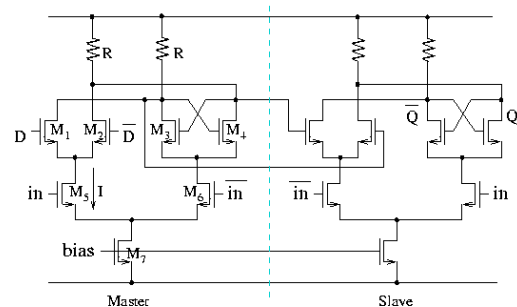


圖五．壓控振盪器之頻率控制曲線圖

C. 除頻器

(1). 高速除頻器

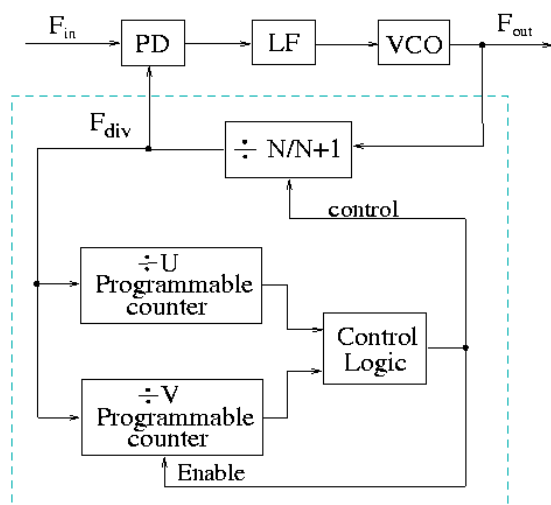
此除頻器工作於 1.7GHz，採電流模式邏輯設計，其電路如圖六所示。兩個閘級採主僕式操作，構成一負緣發的正反器，僕級的輸出接回主級的輸入，此線路可操作到 2GHz 以上，在 1.7GHz 消耗了 9mW 的動態功率。



圖六．高速除頻器的電路圖

(2). 低速除頻器

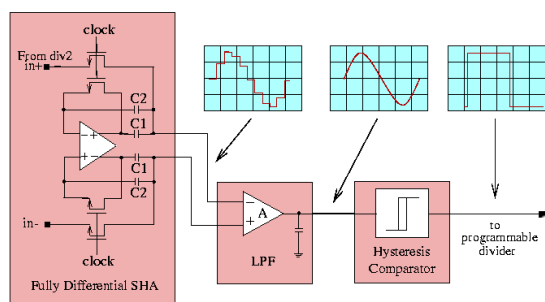
如圖七採用數位邏輯控制可程式代之計數器以控制除頻器除 N 或除 $N+1$, V 個除 $N+1$ 的週期加上 $(U-V)$ 個除 N 的週期, 平均除數為 $N+V/U$, 而在此 PHS 系統應用中, 所需頻率除數為 1.7 至 9.3 之間, 此低速除頻器約消耗 0.2mW 之功率。



圖七．低速除頻器架構

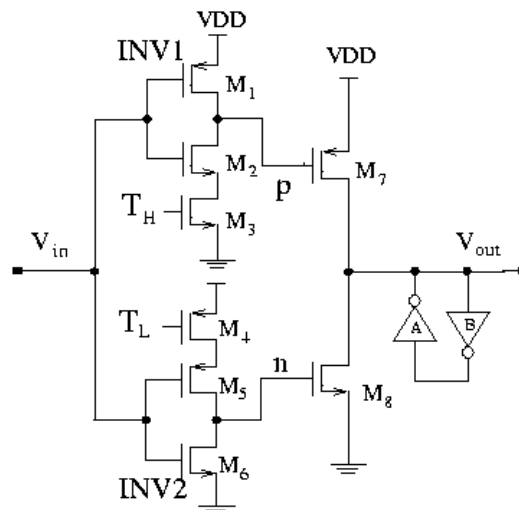
B. 次取樣頻電路及遲滯比較器

圖八表示在高速除頻器之後, 經取樣維持線路後, 以一階低通濾波器濾去高頻之重覆信號, 在進入低速除頻器之前再經一遲滯比較器濾掉小雜訊。取樣維持線路採用 Miller Hold Effect 電容, 在取樣模式時電容小, 在保持電壓模式時電容大, 可達到高及高線性度的操作方式[3]。此線路只消耗功率 1mW, 卻可使除頻器的除數得以降低許多。



圖八．次取樣電路圖

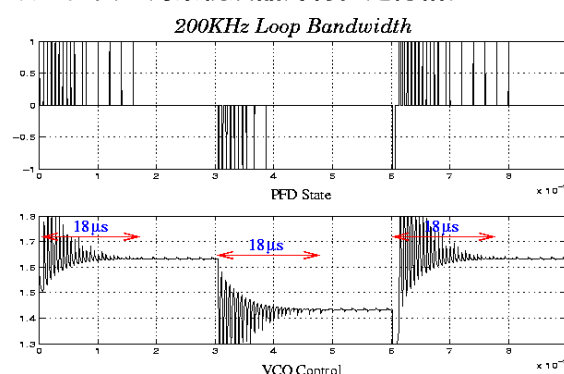
而遲滯比較器之電路如圖九所示, 以兩個電壓 T_H 及 T_L 去調整遲滯比較器之觸發臨界電壓, 以求效能之最佳化, 在此應用中, 此兩個調整電壓為 1.62V 及 1.38V, 功率消耗僅 65uW@20MHz。



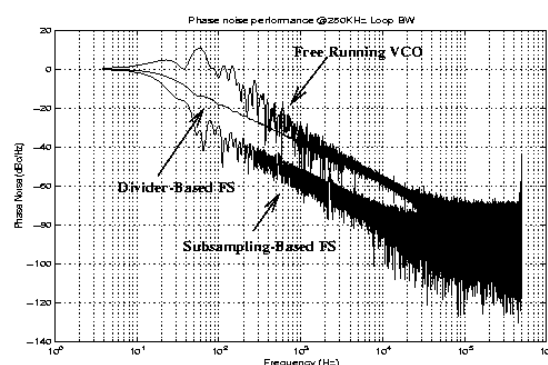
圖九．遲滯比較器電路圖

四、計畫成果自評

圖十為閉迴路壓控振盪器控制電壓之暫態圖, 迴路頻寬設計為 200KHz, 其頻道切換時間僅為 18us。圖十一為閉迴路穩態時, 壓控振盪器輸出之相位雜訊模擬結果, 顯示新型頻率合成器之相位雜訊比傳統依靠大除數除頻器之架構改善了 10dB 以上。表一為系統及晶片特性之總結。



圖十．閉迴路壓控振盪器控制電壓暫態圖



圖十一．系統模擬相位雜訊比較圖

Technology		0.6um N-well SPTM CMOS Process
Loop bandwidth		200KHz
Switching time		18us
VCO	Output frequency range	1.6G~1.7GHz
	Frequency control gain	16MHz/V
	Output power	5.56dBm
	Power	9.7mW
Supply Voltage		3V
Power Consumption		40m for core circuit 40m for testing circuit
Transistor number		695 for core circuit 1391 for total circuit
Chip Size		1.9mm ² (core) 6.48mm ² (total)

表一.系統及晶片特性總結

本文介紹一傳統相鎖迴路之頻率合成器之改良型架構，用以降低輸出之相位雜訊並達加速收斂的效果。此次針對 PHS 系統之設計，輸出頻帶為 1.655~1.678GHz，77 個頻道，頻道間距為 300KHz。模擬結果顯示該此新架構可達 200Hz 穩態回路頻寬，18us 之快速頻道切換時間，並比傳統架構提供額外 10dB 相位雜訊的衰減，而電路功率消耗為 40mW。整顆晶片是利用 0.6um N-well SPTM CMOS 製程製作，晶片面積僅 1.9 mm²。

五、參考文獻

- [1] Turgut Aytur and John Khoury, "Advantages of Dual-Loop Frequency Synthesizer for GSM Application", International Symposium on Circuits and Systems, pp. 17-20, 1997.
- [2] James F. Parker and Daniel Ray. Gardner, "A 1.6GHz CMOS PLL with On-Chip Loop Filter", IEEE J. Solid-State Circuits, Vol. 33, No.3, pp. 337-343, March 1998.
- [3] P. J. Lin and B. A. Wooley, "A high-speed sample-and-hold technique using a Miller hold capacitance," IEEE. J. Solid-State Circuits, Vol. 26, pp. 643-651, April 1991.
- [4] Tadao Nakagawa and Tsuneo Tsukahara, "A Low Phase Noise C-Band Frequency Synthesizer Using a New Fractional-N PLL with Programmable Fractionality," IEEE Trans. on Microwave Theory and Tech., Vol.44, No. 2, pp. 344-346, Feb. 1996.
- [5] D. Kim, J. Kih, and W. Kim, "A New Waveform-Reshaping Circuit: An Alternative Approach to Schmitt Trigger", IEEE J. Solid-State Circuits, Vol. 28, No. 2, pp. 162-164, Feb., 1993.