

行政院國家科學委員會專題研究計畫 期中進度報告

多媒體系統無線傳輸介面之研發--子計畫五：以內建自我
測試為基礎的 ADC/DAC 校正與修復技術之研發(1/3)
期中進度報告(完整版)

計畫類別：整合型
計畫編號：NSC 96-2220-E-002-031-
執行期間：96年08月01日至97年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：黃俊郎

處理方式：本計畫可公開查詢

中華民國 97年05月31日

以內建自我測試為基礎的ADC/DAC校正與修復技術之研發

一、中文摘要

數位至類比與類比至數位轉換器(DAC與ADC)是最大量也最常被使用的混合信號電路。然而,隨著性能要求不斷提升與電晶體元件尺寸的持續縮小,ADC與DAC的設計與生產測試皆面臨極大的挑戰。本計畫的目的為針對ADC與DAC,發展整合的自我測試與自我校正/修復技術。

對ADC與DAC的設計而言,隨著IC製造進入奈米製程,新的問題與挑戰也不斷出現。首先是隨著元件尺寸縮小而逐漸下降的電源電壓,促使設計者必須發展新的電路架構。再者,製程偏移的效應變得更嚴重,過去可以忽略或不必考慮的製程偏移量可能變成今日的性能限制。為了解決這些問題,過去一直有新的佈局、電路設計、與(內部或外部)校正技術(external/internal calibration techniques)被提出與使用。然而,由於並沒有將量產測試(manufacturing testing)列入考量,校正過的晶片仍然需要昂貴的自動測試儀器(automatic test equipment, ATE)才能進行所需的機能測試,而且往往耗費大量的人力與資源在測試程式(test program)的發展與偵錯上,並不符合經濟效益。

由於量產測試的結果可以得到ADC/DAC的性能參數,本計畫的概念是先對待測的ADC/DAC先進行內建自我測試(built-in self-test),接著再以測試結果進行外部校正,對於校正過後的ADC/DAC再進行一次自我測試以確定校正的結果能符合規格要求。除了自我校正外,有鑑於高度整合的類比/混合信號系統晶片可能會有低良率(yield)的問題,本計畫也將針

對ADC/DAC常見的錯誤機制發展修復技術。若待測ADC/DAC有無法校正的缺陷,則對之進行偵錯。若偵錯結果為可修復的缺陷,則使用修復電路對ADC/DAC進行適當的重新組態(re-configuration)使其可以正常運作。修復過的ADC/DAC仍須經過自我測試以確認其功能正確。必須注意的是,有些ADC/DAC可能同時需要修復與校正才能正常運作。

本計畫為三年期的計畫,目標為發展一整合的適用於ADC與DAC的自我測試與校正/修復技術,以達到降低測試成本與提升良率的目的。在第一年,我們將發展可執行ADC與DAC的動態與靜態測試的內建自我測試技術,同時並探討以測試結果進行自我校正的方法。在計畫第二年,整合有自我測試電路的ADC與DAC將會進行下線驗證,而自我校正技術電路的架構與電路設計也將同時進行。在第三年,我們將整合自我測試與校正電路以進行下線驗證,並發展ADC/DAC的修復技術。

關鍵字 - 數位至類比轉換器、類比至數位轉換器、內建自我測試、自我校正

二、英文摘要

Analog-to-digital and digital-to-analog converters (ADC and DAC) are the largest volume mixed-signal circuits and are widely used in signal processing circuits and systems. However, design and testing of ADC and DAC are facing great challenges as the performance requirement continues growing and the device size keeps shrinking. The goal of this project is to propose an

integrated self-test and self-calibration technique for ADC and DAC.

For circuit designers, the inevitable process variations and decreasing supply voltage levels complicate the design process. To avoid performance degradation caused by process variations, many circuit design, layout, and calibration techniques have been developed. However, the shrinking device feature sizes and decreasing supply voltage levels both pose serious challenge. From the manufacturing test point of view, testing high-resolution, high-speed converters is a challenging task and may become the bottleneck of the whole IC manufacturing process if not well taken care of. First, accurate (and thus expensive) test equipment is required to generate the high quality test stimuli or to digitize the output response. Secondly, the signal transmission quality between the device under test (DUT) and the test equipment suffers environmental noise and bandwidth limitation.

In this three-year project, we intend to develop integrated self-test-and-calibration techniques intended to reduce the manufacturing test cost and design efforts associated with ADC and DAC. In the first year, we will develop dynamic and static self-test techniques for ADC and DAC. At the same time, test-based self-calibration techniques, i.e., self-calibration techniques that utilize the self-test results, will be investigated. In the second year, the self-test techniques will be verified through IC implementation. Also, the self-calibration circuitry will be integrated with the self-test

circuitry. In the third year, we will verify the self-test-and-calibration technique through IC fabrication, and also apply our technique to the ADC/DAC design subproject.

Keywords - Analog-to-digital converter, digital-to-analog converter, built-in self-test, built-in self-calibration

三、前言

隨著製程的不斷演進，IC的設計已進入奈米時代。奈米製程使得設計者可以將過去必須在電路板上才能實現的系統（System-on-Board）在整合在單一晶片上（System-on-Chip），高可攜性、低功率消耗的消費性電子因此獲得很大的進展。然而，奈米製程也同時對電路設計者帶來了新的問題與挑戰。

首先是製程飄移的問題。由於晶片製造過程中不可避免的環境改變與噪音干擾，電晶體或被動元件的電器參數與理想設計值都有或多或少的偏移。過去設計者大多仰賴corner case或Monte Carlo模擬以確保晶片在可能的製程飄移範圍內皆能滿足所設定的性能與規格。Corner case因為是較悲觀的邊界條件，發生的機率並不高，然而滿足corner case對設計者而言是很大的負擔，而且經常會造成過度設計（over-design）。Monte Carlo雖然能模擬與實際狀況較接近的製程偏移，但所需的電路模擬時間太長是一大限制（通常需要數百次的模擬），而且晶圓廠未必肯釋放出敏感的製程偏移資料。在進入奈米製程後，製程偏移的問題變得更加嚴重：由於元件的尺寸變小，同樣大小、過去可以容忍的製程偏移，可能變得無法接受。

另一個問題則與良率有關。隨著晶片中元件數目的增加，維持高良率已經變成一大挑戰。以元件密度極高的記憶體為例，較大容量的記憶體其良率已經接近零！如果捨棄所有有缺陷的記憶體，記憶體產業勢必將無法繼續提升容量以滿足各項資料儲存應用的需求。為了解決低良率的問題，被發現有缺陷的記憶體需要經過偵錯（diagnosis）的程序，以決定缺陷的本質與是否有辦法以備用的修復用記憶體使該記憶體能正常運作。對於一般的混合信號SoC而言，低良率的問題隨著整合度的提高也將會浮上臺面。屆時，被發現有缺陷或不符合規格的晶片，都必須經過校正（calibration）與修復（repair）的步驟，檢查是否有可能正常運作，無法修復或校正的晶片才會被放棄。

最近已經有越來越多的產學研究單位，開始投入邏輯電路的容錯（fault-tolerant）與修復（repair）技術。對混合信號電路而言，為了提高良率，無論是從學界或業界，已經提出了非常多的可以容忍製程偏移的自我校正（self-calibration）技術。然而，現有的自我校正技術仍有下列的限制：

1. 由於目的在於良率的提升，大部份的自我校正技術對於測試的問題並無著墨，因此在量產測試時仍然需要昂貴的混合信號測試機台。

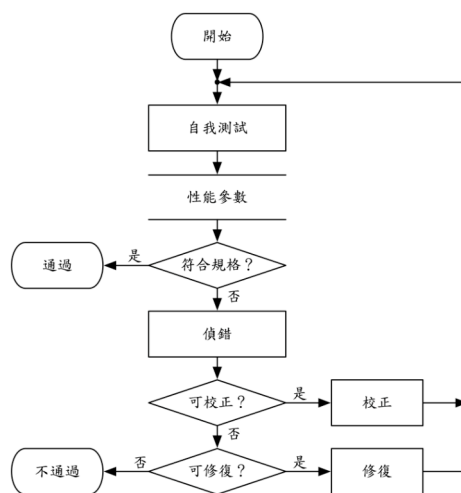
2. 良率的提升主要針對的是元件電氣特性的偏移（如W/L、Vth等參數的改變），對於spot defect所造成的電路架構改變（如short或open）並無法修復。

本計畫與過去發展的技術最大的不同在於所發展的校正或修復技術所需的資訊

都是由內建自我測試（built-in self-test）得到。其邏輯如下：即便是具有校正或修復能力的ADC或DAC，在校正或修復後仍需經過量產測試以確認校正/修復結果正確。因此，利用自我測試的結果來進行校正與修復將會是一個合乎經濟效應的選擇。有鑑於此，本計畫所發展的ADC/DAC自我校正與修復技術都將以內建自我測試為基礎。

四、研究目的

本研究計畫的目的即為發展以自我測試為基礎的混合信號電路的自我校正與修復技術。由於ADC與DAC為最大量被使用的混合信號電路，在本計畫中，我們將針對ADC與DAC發展實用的自我校正/修復技術。我們所提出的解決方式，如同記憶體的修復技術般，試圖以測試的角度來解決此一問題，我們稱之為Self-Test-for-Calibration-and-Repair。圖十五所示為採用此技術的ADC/DAC自我測試/校正/修復流程。



圖一 『自我測試-校正-修復』流程

圖一的『自我測試-校正-修復』流程包含以下幾個步驟：

1. 自我測試 (self-testing)：使用內建的測試信號產生 (test signal generation) 與響應分析 (response analysis) 電路，對待測電路進行依電路規格所選定的功能測試 (functional testing) 或依較可能發生缺陷 (如某些信號間的short) 所決定的結構測試 (structural testing)。

2. 偵錯 (diagnosis)：對於已知有缺陷的IC，如果由前述的量產測試結果尚無法得知缺陷的本質與位置，則必須更進一步執行偵錯測試 (diagnosis testing)。偵錯測試通常需要更長的測試時間與更詳盡的規格或結構測試，為了得到偵錯所需的資訊，可能必須使用外部測試機台或加入偵錯用的可測試性設計 (design-for-test) 電路 (如控制點 control point 與觀察點 observation point)。為了降低偵錯測試的成本，偵錯測試所需的資訊應該在晶片上先行數位化並做適當的壓縮或處理，如此便能以較低廉的PC-based的測試機台進行偵錯。

3. 校正 (calibration)：對參數偏移所造成的缺陷，我們將採用數位的外部校正技術 (digital external calibration) 來解決。對DAC而言，係對其數位輸入信號進行預先處理 (pre-processing)；對ADC而言則是對其輸出值進行後置處理 (post-processing)。純粹的預先或後置處理方式有其限制，未必能達到規格需求，因此我們將視需要加入配合數位校正技術的輔助校正用的電路。

4. 修復 (repair)：對於開路 (open) 或短路 (short) 缺陷所造成電路結構改變通常無法以校正技術解決，因此我們將發展修復技術。為了避免增加設計的困難與複雜度，輔助修復電路應該要簡單並且可以適用於各種DAC/ADC架構，因此我們將

以 redundant unit 的方式 (如記憶體的 redundant row 或 column) 對有無法校正缺陷的 unit 進行取代 (replacement) 以達到修復的目的。

5. 再測試：對於校正與修復過的IC，必須再進行自我測試以確定該IC以能滿足所要求的性能規格。

與現有的自我校正技術相比，我們所發展的 Self-Test-for-Calibration-and-Repair 技術將有下列的優點：

1. 由於是建構於自我測試技術上，量產測試的問題同時獲得解決。

2. 除了校正參數偏移造成的規格不符外，也可以修復缺陷造成的結構改變。

3. 以預先與後置數位處理為主要的校正方法，降低對設計者造成的負擔。

五、文獻探討

A. ADC/DAC內建自我測試技術

在[Toner93]所提出的ADC/DAC自我測試方法中，首先將sigma-delta modulation DAC重新組態使之進入振盪狀態。藉由調整控制DAC的參數可以產生不同頻率的弦波信號以測試ADC的如SNR等性能參數。確定ADC功能正常後，便可用來測試DAC。此技術對晶片面積的影響較大，且必須使用sigma-delta modulation DAC，並不適合本子計劃。

[Arabi94]提出可以測試ADC及DAC性能參數的電路架構。藉由ADC/DAC電路本身所提供的DC參考信號、測試專用的比較器，可以得到INL、DNL、gain等性能參數。然而，由於依賴待測電路本身所產生/使用的參考電壓及過多的類比測試專用電路，此方法的量測結果本身就很容易受到製程變

異 (process variation) 的影響。

為了解決產生測試信號的問題，[Arabi97]提出一個不須要測試信號的ADC自我測試技術。其方法是將ADC經由適當的重新組態使其進入振盪狀態，由振盪頻率是否在預先計算的可接受範圍內來決定ADC是否有無法接受的結構性錯誤 (structural defect)。測試的解析度不夠 (振盪頻率對某些structural defect並不敏感) 以及不容易決定可接受的振盪頻率範圍是此方法的主要問題。

[Sunter97]提出以polynomial fitting的方法為基礎的ADC/DAC自我測試技術。將DAC/ADC的輸入/輸出轉換曲線 (I/O transfer function) 以多項式逼近後，由得到的多項式參數便可得到如DC offset、gain、harmonic distortion等性能參數。此方法的主要問題在於所得到的性能參數為此DAC/ADC子系統的特性，可能會受到fault masking的影響 (例如，兩個不符合規格的ADC及DAC，可能由於性能偏差的方向相同，使得DAC/ADC子系統通過性能規格)。

在[Huang00]中，作者提出以ramp signal當作測試信號的ADC及DAC的自我測試技術。ADC的測試為傳統的histogram analysis方法。DAC的測試方法則利用一類比較器與DAC所形成的迴路及計數器，將DAC輸出轉換成數位信號以求出INL及DNL等參數。此方法的主要限制在於只能用於靜態測試。

在[Roy02]，作者配合在[Sunter97]所提出的polynomial fitting技術，提出ADC的自

我測試技術。主要的突破在於以較少的類比電路來產生高品質的測試信號，可得到offset、gain、2nd and 3rd harmonic distortion等性能參數。本技術適合用於高解析度的sigma-delta converters，較不適用於解析度較低的高速ADC。

由於產生用來測試高解析度ADC的線性測試信號極為困難，在[Jin03]中作者提出將測試信號的非線性部分以信號處理技術自ADC輸出碼中去除的技術。假設測試信號為單調上升 (或下降)，此技術能有效降低對測試信號源線性度的要求。在[Sunter03]中，作者則提出一以低速的測試信號與較低的取樣輸出速度測試ADC與DAC的方法，可以降低生產測試時對ATE (或 on-chip 信號產生器與 response analyzer) 的要求。

B. ADC/DAC校正技術

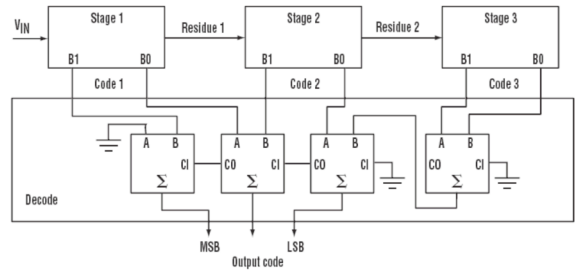
為了提高良率，產學界提出了相當多的DAC與ADC校正技術，使得ADC/DAC即使在製程偏移存在的情況下，也能符合高解析度的要求。校正技術可以分為內部 (internal) 與外部 (external)。前者將校正所需的電路與的功能和正常運作所需的電路做較密切的結合，因此通常需要對電路架構與操作原理有透徹的了解；外部校正主要依賴數位技術來修正ADC/DAC的輸出或輸入，視需要有時也會加入額外的校正用電路。此外，部份校正技術可以在ADC/DAC正常運作時同時進行，不影響到系統的運作，稱為online calibration。

關於ADC的內部校正技術，有非常多的技術論文提出。然而，因為本計畫所欲實現的為外部校正技術，以下僅簡介最常用

的1.5-bit/stage的pipelined ADC架構與原理（其他的ADC校正技術請參閱reference list）。

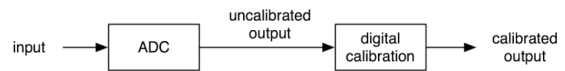
對高速的pipelined ADC，通常會把每個stage的解析度降低，如此便可以把stage之間的gain降低。在每一個製程的gain-bandwidth是固定的前提下，把gain降低有助於提高bandwidth。1.5-bit的架構基本上是在1-bit的架構加入一些redundancy，以容忍元件的非理想特性。redundancy會在後來的數位修正中消去。1.5-bit的stage用兩個對稱的比較電壓 V_H 和 V_L （而非如1-bit stage僅使用單一參考電壓），而放大器的增益為2。比較電壓 V_H 和 V_L 的選擇並不重要，但因為接下來的放大倍率為2，他們必須在 $-V_{REF}/2$ 和 $+V_{REF}/2$ 之間。為了使電路的非理想特性可以用數位校正方法消除， V_H 通常在 $0.2V_{REF}$ 和 $0.4V_{REF}$ 之間。而常用的選擇為： $V_H = 0.25V_{REF}$ 與 $V_L = -0.25V_{REF}$ 。

每一個1.5-bit的stage會產生兩個bit的輸出，經過錯誤更正演算法後就會降為1-bit per stage的輸出模式。在pipelined ADC有很多造成錯誤的來源，包括比較器與放大器的offset電壓、x2放大器的增益偏移、放大器的settling time、ADC/DAC的非線性特性、隨電壓改變的電容值等。這些非理想效應都會造成transfer curve偏移。錯誤修正演算法可以修正或至少明顯改善這些非理想效應。例如，offset電壓可以完全的被修正。相較之下，由於電容值不匹配所造成的x2放大器增益錯誤就無法被修正。圖二為以一個3-stage的pipelined ADC為例，說明1.5bit/stage數位錯誤修正的電路架構。



圖二 數位修正電路架構

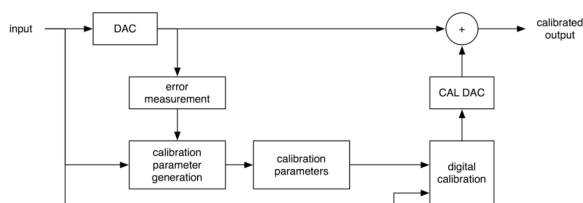
在本計畫中，我們所發展的為ADC外部校正技術。ADC外部校正技術的架構如圖三所示，通常在ADC的輸出端會有一數位校正電路[Lundin01]，用以實現預定的校正方法。



圖三 ADC外部校正技術

最直接的數位校正電路實現法是使用查表法（lookup table）。假設此ADC的輸出為N-bit，此方法以一word的記憶體將對應於每一個ADC輸出碼的校正結果儲存在記憶體中，使用時將會增加一次memory read所造成的latency。雖然能達到較佳的校正結果，此方法的缺點是對於高解析度的ADC而言，將需要很大的記憶體空間。另外的校正方法則是用piecewise linear的方法來儲存ADC的input/output轉換曲線，經過分析後，每一個線性區段則有其專門的校正用參數。在運作時，校正電路會先決定ADC的輸出碼落在哪一個線性區域，接著就會使用該區域的校正參數計算出相對應的正確輸出碼。與lookup table的方法相比，此方法所需記憶的校正用參數較少，對晶片面積的影響也較小。然而，卻犧牲了校正的效果。

相較之下，大部分的DAC的校正技術屬於外部校正技術，其電路架構方塊圖一般如圖四所示。除了原本的DAC外，還加入了量測DAC輸出錯誤量的error measurement電路、根據錯誤量測結果產生校正參數（calibration parameters）的校正參數產生器（calibration parameter generation）、校正專用的CAL DAC（通常會將其輸出值scale down以得到比正常DAC更高的解析度）、將正常DAC與校正DAC輸出相加的加法器、與產生校正DAC輸入值的數位校正（digital calibration）電路。必須注意的是，依照應用的不同，部份校正用的電路（如：error measurement、calibration parameter generation）可能是在量產測試時由自動測試設備實現。（本計畫則預計將所有的電路皆在晶片上實現）。



圖四 DAC的外部校正電路方塊圖

在進行錯誤量測時，error measurement電路會將DAC的輸出值與參考值（由外部供應或使用內建的低速DAC產生）比較並記錄其差距，通常會以INL（integral nonlinearity）或DNL（differential nonlinearity）的方式記錄量測結果。依據預計採用的校正技術，calibration parameter generation電路會產生必要的校正用參數。在系統正常操作模式時，digital calibration會根據當時的DAC輸入值與預先計算的DAC校正參數，計算出校正DAC的輸入值，校正DAC的輸出值與正常DAC

的輸出值相加後便得到校正的DAC輸出。

依據可以容忍的晶片面積增加與校正效果要求，可以採用不同的校正方法。在沒有面積的限制並要求最佳的校正效果時，可以採用lookup table的方式將所有的校正量以記憶體儲存。在[Parthasarathy05]中，作者是以piecewise linear的方式來記錄DAC的輸出曲線，而校正所需的參數是以on-chip的fuse陣列儲存。校正DAC的輸入值產生則是使用一MCU。在[Wouter89]與[Saeedi04]中提出的則是DAC內部校正技術，其主要原理是將每個電流源產生理想電流值的控制電壓以電容儲存，正常運作時便以預先儲存的電壓值作為電流源的控制電壓。

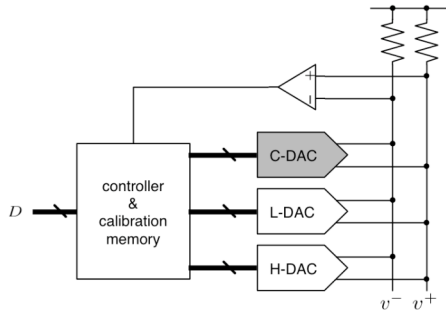
六、研究方法

本計畫第一年自2007八月執行至今（2008年五月），已發展出下列兩項技術：

1. A DAC Self-Testing and Calibration Technique
2. A Pipelined-ADC Calibration Technique for Capacitor Mismatch and Opamp Offset

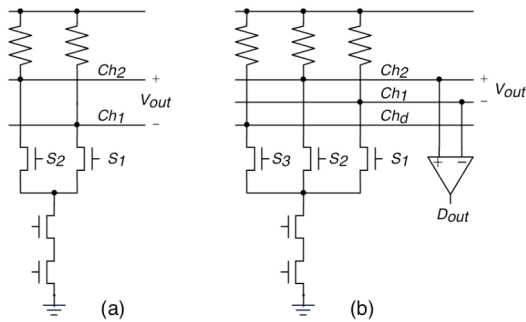
A. DAC校正技術

圖五為本計畫所提出的DAC自我測試與校正技術的概念圖。此DAC採用current steering架構，原始的DAC係由unary decoded的H-DAC與binary weighted的L-DAC所組成。C-DAC則為校正用的DAC，實作上與L-DAC相同。控制器負責執行自我測試與校正程序，並產生正常操作時三個sub-DAC的輸入值。



圖五 可自我測試與較正的DAC架構圖

圖六為本計畫所使用的current source架構。為了同時達到自我測試與校正的能力，此current source多了一個輸出端，稱之為dummy channel。



圖六 含dummy channel的current source

此DAC有兩種操作模式。在自我測試模式時，控制器依靠類比較器來進行自我測試程序。我們假設L-DAC與C-DAC較低四個位元的電流源是準確的，因此可以用來量測其他電流源的非理想特性。依據量測結果所計算得到的校正參數被儲存在控制器的記憶體中。在正常操作模式時，控制器根據實際輸入值與預先儲存的校正參數產生H-DAC、L-DAC與C-DAC的輸入值，產生校正過較正確的輸出電壓值。

```

accErr = 0;
for i = 4 to 7
  direct  $I_i^L$  to channel 1;
  direct  $I_{i-1}^L \cdots I_0^L$  to channel 2;
  direct all the other current sources to the dummy channel;
  // fix accumulated error
  if accErr > 0
    add accErr to channel 1 using  $I_3^C \cdots I_0^C$ ;
  else if accErr < 0
    add accErr to channel 2 using  $I_3^C \cdots I_0^C$ ;
  end
  // error measurement using binary search
   $\epsilon_i^L = 0$ ;
  for j = 3 to 0
    if  $v^- > v^+$ 
      add  $2^j$  to channel 2 by relocating  $I_3^C \cdots I_0^C$ ;
       $\epsilon_i^L = \epsilon_i^L + 2^j$ ;
    else
      add  $2^j$  to channel 1 by relocating  $I_3^C \cdots I_0^C$ ;
       $\epsilon_i^L = \epsilon_i^L - 2^j$ ;
    end
  end
  end
   $\epsilon_i^L = \epsilon_i^L - 1$ ;
  accErr = accErr +  $\epsilon_i^L$ ;
end
end

```

圖七 L-DAC的測試程序

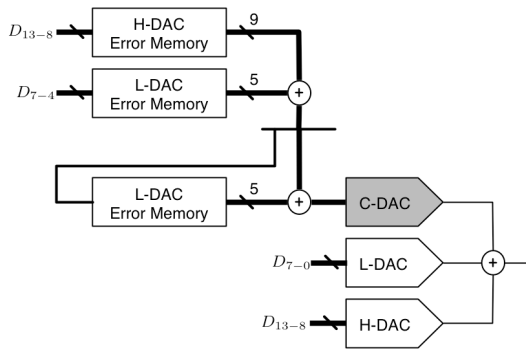
為了敘述方便，以下以一個14-bit的DAC為例進行說明（其中H-DAC為6-bit，而L-DAC與C-DAC為8-bit）。圖七為L-DAC的測試程序。C-DAC的測試程序與之相同。圖八為計算校正參數的程序，圖九則為計算各個sub-DAC輸入的電路。

```

reset L-MEM, C-MEM, and H-MEM;
// Generate L-MEM contents
for i = 0 to 15
  for j = 3 to 0
    if  $i[j] == 0$  //  $i[j]$  is the  $j$ th bit of  $i$  in binary format
      sign = -1;
    else
      sign = 1;
    end
    L-MEM[i] = L-MEM[i] + sign *  $\epsilon_{j+4}^L$ ;
  end
end
// Generate H-MEM contents
for i = 0 to 63
  for j = 0 to 63
    if  $j \leq i$ 
      H-MEM[i] = H-MEM[i] +  $\epsilon_j^H$ ;
    else
      H-MEM[i] = H-MEM[i] -  $\epsilon_j^H$ ;
    end
  end
end
end
end
end

```

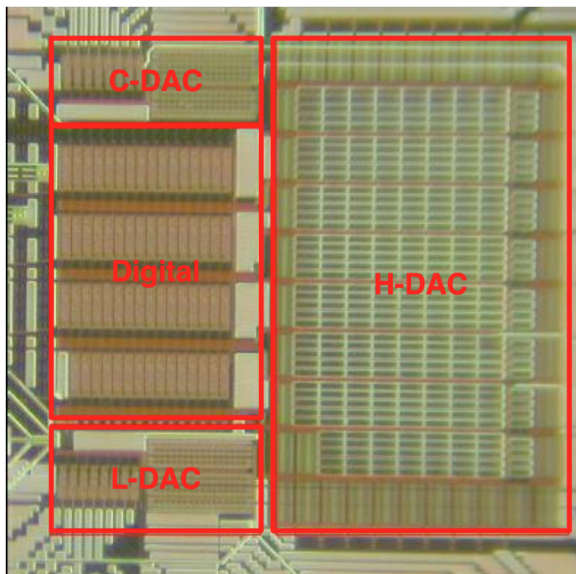
圖八 校正參數計算程序



圖九 Sub-DAC輸入產生電路

七、結果與討論

所發展的技術已經下線進行驗證。圖十為晶片的照片，表一則為此晶片的特性簡表。

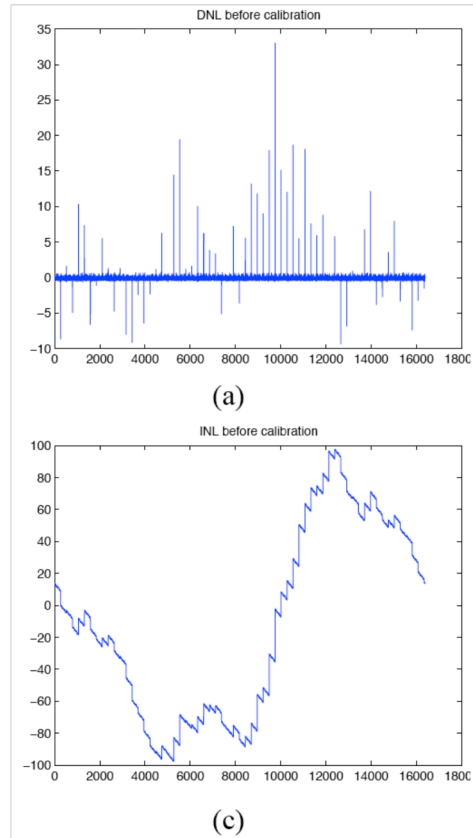


圖十 下線晶片

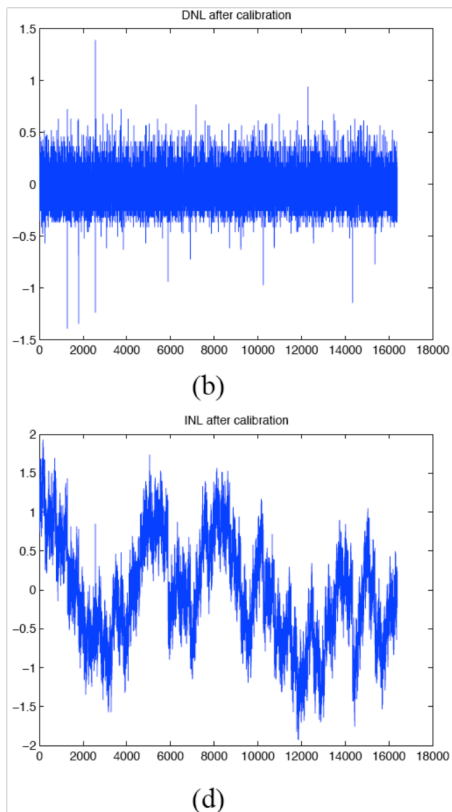
resolution	14-bit
full scale current	20 mA
maximum output swing	2 V (differential)
supply voltage	3.3 V
active area	2 mm x 2 mm

表一 下線晶片簡述

此晶片進行校正前後的性能比較如表二所示，可以看出有極大的改進。圖十一為校正前的DNL (a) 與INL (c)。圖十二則為校正後的DNL (b) 與INL (d)。



圖十一 校正前的DNL (a) 與INL (c)



圖十二 校正後的DNL (b) 與INL (d)

論文發表

所提出的DAC自我測試與校正技術，已發表在2008年的VLSI-DAT。

- [1] Y.-L. Ma and J.-L. Huang, “A Self-Testing and Calibration Technique for Current-Steering DACs,” *International Symposium on VLSI Design, Automation and Test*, pp. 295-298, April 2008.

參考文獻

- [Arabi94] K. Arabi, B. Kaminska, and J. Rzeszut, “A new built-in self-test approach for digital-to-analog and analog-to-digital converters,” *International Conference on Computer Aided Design*, pp. 491 - 494, November 1994.
- [Arabi97] K. Arabi and B. Kaminska, “Efficient and accurate testing of analog-to-digital converters using oscillation-test method,” *European Design and Test Conference*, pp. 348 - 352, 1997.
- [Arabi98] K. Arabi, B. Kaminska, and M. Sawan, “On Chip Testing Data Converters Using Static Parameters,” *Transactions on Very Large Scale Integration Systems*, vol. 6, no. 3, September 1996, pp. 409—419.
- [Azais01] F. Azais, S. Bernard, Y. Bertrand, X. Michel, and M. Renovell, “A Low-Cost Adaptive Ramp Generator for Analog BIST Applications,” *VLSI Test Symposium*, 2001.
- [Azzolini06] C. Azzolini, D. Vecchi, A. Boni, and G. Chiorboli, “High-Level Accurate Model of High-Resolution Pipelined ADC’s,” *Instrumentation and Measurement Technology Conference*, pp. 261—265, 2006.
- [Bernard02] S. Bernard, F. Azais, Y. Bertrand, and M. Renovell, “A High Accuracy Triangle-Wave Generator for On-Chip ADC Testing,” *European Test Workshop*, 2002.
- [Chang02] Y. J. Chang, S. J. Chang, C. K. Ong, J. C. Ho, J. L. Huang, K. T. Cheng, and W. C. Wu, “A BIST Scheme for the Embedded ADC in ADSL SoC,” *VLSI Design/CAD Symposium*, pp. 174-177, August 2002.
- [Chao06] S. Chao, and R. Geiger, “Dynamic Calibration of Current-Steering DAC,” *Symposium on Circuits and Systems*, 2006.
- [Chen05] D. Chen, Z. Yu, and R. Geiger, “An Adaptive, Truly Background Calibration Method for High Speed Pipeline ADC Design,” *International Symposium on Circuits and Systems*, 2005.
- [Chen06] H.-H. Chen, J. Lee, J. Weiner, Y.-K. Chen, and J.-T., Chen, “A 14-b 150 MS/s CMOS DAC with Digital Background Calibration,” *Symposium on VLSI Circuits*, 2006.
- [Cong03] Y. Cong and R. L. Geiger, “A 1.5V 14b 100MS/s Self-Calibrated DAC,” *International Solid-State Circuits Conference*, 2003.
- [Dai05] X. Dai, D. Chen, and R. Geiger, “A Cost-Effective Histogram Test-Based Algorithm for Digital Calibration of High-Precision Pipelined ADCs,” *International Symposium on Circuits and Systems*, 2005.

- [Daito06] M. Daito, H. Matsui, M. Ueda, and K. Iizuka, "A 14-bit 20-MS/s Pipelined ADC with Digital Distortion Calibration," *Journal of Solid-State Circuits*, vol. 41, no. 11, November, 2006, pp. 2417–2423.
- [Dufort97] B. Dufort and G. W. Roberts, "Signal generation using periodic single and multi-bit sigma-delta modulated streams," *International Test Conference*, pp. 396–405, 1997.
- [Gines04] A. J. Gines, E. J. Peralias, and A. Rueda, "Digital Background Gain Error Correction in Pipeline ADCs," *Design, Automation, and Test in Europe*, 2004.
- [Goes94] J. Goes, J. Franca, N. Paulino, J. Grilo, and G. Temes, "High-Linearity Calibration of Low-Resolution Digital-to-Analog Converters," *International Symposium on Circuits and Systems*, 1994.
- [Guo04] J. Guo, W. Law, W. J. Helms, and D. J. Allstot, "Digital Calibration for Monotonic Pipelined A/D Converters," *Transactions on Instrumentation and Measurement*, vol. 53, no. 6, December 2004, pp. 1485–1492.
- [Hong02] H. C. Hong, J. L. Huang, K. T. Cheng, and C. W. Wu, "On-Chip Analog Response Extraction with 1-Bit Sigma-Delta Modulators," *Asian Test Symposium*, pp. 49-54, November 2002.
- [Hong03] H. C. Hong, J. L. Huang, K. T. Cheng, C. W. Wu, and D. M. Kwai, "Practical Considerations in Applying Sigma-Delta Modulation-Based Analog BIST to Sampled-Data Systems," *IEEE Transactions on Circuits and Systems II*, vol. 50, no. 9, pp. 553-566, Sep. 2003.
- [Hoseini03] H. Zare-Hoseini, M. Yavari, and O. Shoaie, "A Very Low-Noise Low-Power Integrator for High-Resolution $\Delta\Sigma$ Modulators," *International Conference on Electronics, Circuits and Systems*, 2003.
- [Huang00] J. L. Huang, C. K. Ong, and K. T. Cheng, "A BIST Scheme for On-Chip ADC and DAC Testing," *Design, Automation & Test in Europe*, pp. 216-220, 2000.
- [Huang06e] J.-L. Huang, James C.-M. Li, and Duncan M. (Hank) Walker, "Logic and Fault Simulation," *VLSI Test Principle and Architecture*, L.-T. Wang, C.-W. Wu, and X. Wen, Eds., Morgan Kaufmann Publishers, 2006.
- [Ibukic06] A. Delic-Ibukic, and D. M. Hummels, "Continuous Digital Calibration of Pipelined A/D Converters," *Transactions on Instrumentation and Measurement*, vol. 55, no. 4, August 2006, pp. 1175–1185.
- [Jiang04] H. Jiang, H. Fei, D. Chen, and R. Geiger, "A Background Digital Self-Calibration Scheme for Pipelined ADCs Based on Transfer Curve Estimation," *International Symposium on Circuits and Systems*, 2004.
- [Jin02] L. Jin, K. Parthasarathy, T. Kuyel, D. Chen, and R. Geiger, "A Blind Identification Algorithm for Digital Calibration of Pipelined ADC," *Midwest Symposium on Circuits and Systems*, 2002.
- [Jin03] L. Jin, K. Parthasarathy, T. Kuyel, D. Chen, and R. L. Geiger, "Linearity Testing of Precision Analog-to-Digital Converters Using Stationary Nonlinear Inputs," *Proc. International Test Conference*, pp. 218-227, 2003.
- [Jin05a] L. Jin, D. Chen, and R. Geiger, "A Digital Self-Calibration Algorithm for ADCs Based on Histogram Test Using Low-Linearity Input Signals," *International Symposium on Circuits and Systems*, 2005.
- [Jin05b] L. Jin, K. Parthasarathy, T. Kuyel, D. Chen, R. Geiger, "Accurate Testing of Analog-to-Digital Converters Using Low Linearity Signals With Stimulus Error Identification and Removal," *Transactions on Instrumentation and Measurement*, vol. 54, no. 3, June 2005, pp. 1188–1198.
- [Jin05c] L. Jin, K. Parthasarathy, T. Kuyel, R. Geiger, and D. Chen, "High-Performance ADC Linearity Test Using Low-Precision Signals in Non-Stationary Environments," *International Test Conference*, paper 46.2, 2005.
- [Jin06] L. Jin, H. Haggag, R. Geiger, and D. Chen, "Testing of Precision DACs Using Low-Resolution ADCs with Dithering," *International Test Conference*, paper 13.1, 2006.
- [Liu85] S. Liu and K. Singhal, "A statistical

- model for MOSFETS,” International Conference on Computer-Aided Design, pp. 78-80, 1985.
- [Lundin01] H. Lundin, M. Skoglund, and P. Handel, “On External Calibration of Analog-to-Digital Converters,” Signal Processing Workshop on Statistical Signal Processing, 2001, pp. 377–380.
- [Mahoney87] M. Mahoney, DSP-Based Testing of Analog and Mixed-Signal Circuits, Computer Society Press. IEEE, Washington, D.C., 1987.
- [Michael92] C. Michael, and M. Ismail, “Statistical modeling of device mismatch for analog MOS integrated circuits,” IEEE J. Solid-State Circuits, 27(2):154-166, February 1992.
- [Nagel75] L. W. Nagel, “SPICE2: A computer program to simulate semiconductor circuits” Tech. Rep. ERL-M520, Electronics Research Laboratory, University of California, Berkeley, 1975.
- [Nassif84] S. R. Nassif, A. J. Strojwas, and S. W. Director, “FABRICS II: A statistically based ic fabrication process simulator,” IEEE Trans. Computer-Aided Design, CAD-3(1):40-46, January 1984.
- [Ong02] C. K. Ong, J. L. Huang, and K. T. Cheng, “Testing Second-Order Delta-Sigma Modulators using Pseudo-Random Patterns,” Microelectronics Journal, 33 (10), 2002, pp. 807-814.
- [Parthasarathy03] K. Parthasarathy, T. Kuyel, D. Price, L. Jin, D. Chen, and R. Geiger, “BIST and Production Testing of ADCs Using Imprecise Stimulus,” ACM Transactions on Design Automation of Electronics Systems, vol. 8, no. 4, October 2003, pp. 522–545.
- [Parthasarathy05] K. Parthasarathy, T. Kuyel, Z. Yu, D. Chen, and R. Geiger, “A 16-bit Resistor String DAC with Full-Calibration at Final Test,” International Test Conference, paper 4.2, 2005.
- [Roy02] A. Roy, S. Sunter, A. Fudoli, and D. Appello, “High Accuracy Stimulus Generation for A/D Converter BIST,” International Test Conference, pp. 1031 - 1039, 2002.
- [Saeedi04] S. Saeedi, S. Mehrmanesh, M. Atarodi, and H. A. Aslanzadeh, “A 1-V 400MS/S 14Bit Self-Calibrated CMOS DAC with Enhanced Dynamic Linearity,” International Symposium on Circuits and Systems, 2004.
- [Saeedi05] S. Saeedi, S. Mehrmanesh, and M. Atarodi, “A Low Voltage 14-bit Self-Calibrated CMOS DAC with Enhanced Dynamic Linearity,” Analog Integrated Circuits and Signal Processing, 43, 137–145, 2005.
- [Sani06] M. Taherzadeh-Sani, and A. A. Hamoui, “Digital Background Calibration of Capacitor-Mismatch Errors in Pipelined ADCs,” Transactions on Circuits and Systems II, vol. 53, no. 9, September, 2006, pp. 996–970.
- [Sani06] M. Taherzadeh-Sani, and A. A. Hamoui, “Digital Background Calibration of Interstage-Gain and Capacitor-Mismatch Errors in Pipelined ADCs,” International Symposium on Circuits and Systems, 2006.
- [Sunter03] S. K. Sunter, “Testing High-Frequency ADCs and DACs with a Low Frequency Analog Bus,” Proc. International Test Conference, pp. 228-235, 2003.
- [Sunter97] S. K. Sunter and N. Nagi, “A simplified polynomial-fitting algorithm for DAC and ADC BIST,” International Test Conference, pp. 389 - 95, 1997.
- [Tabatabaei02] S. Tabatabaei, and A. Ivanov, “Embedded Timing Analysis: A SoC Infrastructure,” IEEE Design & Test of Computers, pp. 24-36, 2002.
- [Toner93] M. F. Toner and G. W. Roberts, “A BIST scheme for an SNR test of a sigma-delta ADC,” International Test Conference, pp. 805 - 814, 1993.
- [Unterweissacher03] M. Unterweissacher, J. Goes, N. Paulino, G. Evans, and M. D. Ortigueira, “Efficient Digital Self-Calibration of Video-Rate Pipeline ADCs using White Gaussian Noise,” International Symposium on Circuits and Systems, 2003.
- [Vargha01] B. Vargha, J. Schoukens, and Y. Rolain, “Static Nonlinearity Testing of Digital-to-Analog Converters,” Transactions on Instrumentation and Measurement, vol. 50, no. 5, October 2001, pp. 1283–1288.

- [Wang00] J. Wang, E. Sanchez-Sinencio, and F. Maloberti, "Very Linear Ramp-Generators for High Resolution ADC BIST and Calibration," Midwest Symposium on Circuits and Systems, 2000.
- [Wouter89] D. Wouter, J. Groeneveld, H. J. Schouwenaars, H. A. H. Termeer, and C. A. A. Bastiaansen, "A Self-Calibration Technique for Monolithic High-Resolution D/A Converters," Journal of Solid-State Circuits, vol. 24, no. 6, December 1989, 1517–1522.
- [Yang86] P. Yang, D. Hocevar, P. Cox, C. Machala, and P. Chaterjee, "An integrated and efficient approach for MOS VLSI statistical circuit design," IEEE Trans. Computer-Aided Design, vol. CAD-5, pp. 5-14, Jan. 1986.
- [Yoo04] J. Yoo, E. Lee, and E. E. Swartzlander, "A Digital Background Calibration Technique for Pipelined ADC Using Redundant Stages," Midwest Symposium on Circuits and Systems, 2004.
- [Yu04] Z. Yu, D. Chen, and R. Geiger, "Accurate Testing of ADC's Spectral Performance Using Imprecise Sinusoidal Excitations," International Symposium on Circuits and Systems, 2004.

◦