行政院國家科學委員會補助專題研究計畫成果報告

※※※※※※※※※※※※※※※※※※※※※※※※※※
※ ※
※ 百萬閘單晶片系統之設計方法論 ※
※ Million-Gate SOC Design Methodology ※
※ ※
※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別：□個別型計畫　　☑整合型計畫 (總計畫)

計畫編號：NSC90－2215－E002－008

執行期間：90 年 08 月 01 日至 91 年 07 月 31 日

計畫主持人：陳少傑

本成果報告包括以下應繳交之附件：

□赴國外出差或研習心得報告一份

□赴大陸地區出差或研習心得報告一份

□出席國際學術會議心得報告及發表之論文各一份

□國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電子工程研究所

中　華　民　國　九十一年　十月　十八日

百萬閘單晶片系統之設計方法論—總計畫
百萬閘單晶片系統之設計方法論
Million-Gate SOC Design Methodology

計畫編號：NSC90－2215－E002－008
執行期限：90 年 08 月 01 日至 91 年 07 月 31 日
主持人：陳少傑　國立台灣大學電子工程研究所
共同主持人：
蔡加春　國立臺北科技大學電子工程學系、
熊博安　國立中正大學資訊工程學系、
游 竹　國立宜蘭技術學院電子工程技術系

一、中文摘要

本總計畫涵蓋下列各項研究項目：子計畫一之單晶片系統之接線分析與平面規劃之研究），子計畫二之單晶片系統之時脈樹合成方法論，子計畫四之單晶片系統之正規驗證方法論與工具設計，子計畫五之單晶片系統之相輔設計，及子計畫七之 JPEG-2000 單晶片系統的設計與實現。

本研究之進行是由總計畫與子計畫間分工合作，相輔相成，共同完成"百萬閘單晶片系統之設計方法論"總體目標。子計畫七的 JPEG-2000 SOC 晶片設計過程可用子計畫四、五的 Formal Verification, Hardware/Software Codesign 等研究成果來進行系統軟硬體分割，相輔驗證。亦可用子計畫一、二的 Interconnect Analysis and Floorplanning, 及 Clock Tree Synthesis 等研究成果來完成晶片設計之平面規劃，時脈樹合成。經由子計畫七的 JPEG-2000 SOC 系統晶片設計，從而驗證子計畫一、二的 EDA 工具及子計畫四、五的 HW-SW Codesign 工具為可行，再輔以 CIC 所提供之 IC Design Tools，即可建立起完整之 SOC 設計流程(Design Flow)。

二、結果與討論

2.1 子計畫一

單晶片系統之接線分析與平面規劃之研究
Research on Interconnect Analysis and Floorplanning for SOC

計畫編號：NSC90－2215－E002－009
主持人：陳少傑
台灣大學電子工程研究所

一般而言，要最佳化 IC 的性能必須盡可能的減少連線延遲。而欲達成此目標的一個最好方法莫過於在長的連線當中加入緩衝器，從而使整體的延遲值降低。我們這個研究針對多條線的繞線與緩衝器擺置的問題作處理。我們的方法不同於以往的做法在於：我們在一個步驟中同時解決繞線與緩衝器擺置的問題，而並非將他們一分為二。我們的方法將線的密集度、緩衝器的密集度以及每條線的延遲值設為限制；而之前的研究都只將其中之一或二作為限制。

為此我們開發出結合緩衝器擺置之全域繞線器，並提出曼哈頓最短距離緩衝器插入法、及以迷宮繞線法為基礎之緩衝器間繞線法，其中曼哈頓最短距離緩衝器插入法的處理速度相當快，甚至可以直接整合至平面規劃的反覆式演算法，因而提高平面規劃解的可繞性。

2.2 子計畫二

單晶片系統之時脈樹合成方法論

Clock Tree Synthesis Methodology for SOC

計畫編號：NSC 90-2215-E027-001

主持人：蔡加春

台北科技大學電子系教授

SOC 是建立在系統層次的整合，亦即被定義在整合一個系統所需求之所有獨立個體積體電路元件於一個單晶片上，這些個體積體電路元件可以為 IP (Intellectual property)或獨立的電路模組，甚至以其硬體、軟體或韌體為代表。對 SOC 而言，需要一個時脈信號源來統一與維持所有 IP 與模組的同步動作，然而，每一個 IP 都有它自己原來的時脈工作頻率與容許的時脈傾斜誤差，而各個 IP 間所需要的介面模組也可能需要額外的時脈信號以達到系統動作的需求，如何在各個 IP 與介面模組之間的不同時脈信號源，尋求一個有效的方法而得到最佳的時脈繞線與最少的時脈傾斜誤差，以符合單晶系統高效能動作的要求。

本篇報告我們將針對單時脈信號源，研究具可靠性之時脈樹合成方法，以改進現有設計自動化流程費時地處理時脈繞線與再縮短時脈傾斜誤差。我們提出以 Weighted Center 演算法做為時脈樹合成方法，並以一個 SOC 具有八個 IP 作範例，找出 Max delay 和 Min delay 以求得最小的 clock skew 來符合我們的要求。

2.3 子計畫四

單晶片系統之正規驗證方法論與工具設計

Design of a Formal Verification Methodology and Tool for System-on-Chip

計畫編號：NSC 90-2215-E-194-009

主持人：熊博安

國立中正大學資訊工程學系

本計畫經過一年的執行已有初步的研究成果。在晶片系統的架構中，我們確認了驗證的對象，亦即晶片上的匯流排(on-chip bus)。各家廠商所製造的矽智產必須經由至少一條匯流排溝通以便共同完成一件任務譬如數位攝影等。計畫中，我們提出一套階層式的驗證架構，解決了因系統高複雜度而無法驗證的問題。此驗證架構是根據一套假設與保證的理論而設計的。透過 IBM 的 Coreconnect 以及 ARM 的 AMBA 架構之驗證，我們確認了驗證方法的正確性與可行性。

2.4 子計畫五

單晶片系統之相輔設計

Hardware-Software Codesign for SOC

計畫編號：NSC90－2215－E002－010

主持人：陳少傑

台灣大學電子工程研究所

目前，在學術界及工業界均針對單晶片系統 (System-On-a-Chip, SOC)的設計提出一些初步的方法及技術。然而，系統工程師最欠缺的就是一套可以使其在製程之前做系統設計的方法論及工具。我們在本計畫中提出一套可用於多媒體系統 SOC 之軟硬體設計工具。

在設計多媒體應用系統時通常可以分成軟體與硬體兩大部份來考慮，由於硬體的開發成本較高，所以設計者通常會希望大部份的功能可以用軟體的方式來實現，只有那些比較耗費運算能力及具執行時間上限制的功能才會交給硬體來做。在這篇報告中，我們提出一個系統功能層次 (System-Function Level) 的軟硬體分割法並將其運用在多媒體應用的系統分割上，同時我們也以 JPEG 2000 編碼系統為例說明如何應用我們提出的方法找出一個能滿足所有設計限制的最佳解。而這篇報告中所提出的軟硬體分割法不僅能用在傳統的軟硬體相輔設計 (Hardware-Software Codesign) 流程之中，同時也可以應用在整合平台為基礎的功能-架構相輔設計 (Function-Architecture Codesign) 內。

2.5 子計畫七

JPEG-2000 單晶片系統的設計與實現

Design and Implementation of a JPEG-2000 System-On-Chip

計畫編號：NSC 90-2215-E-197-001

主 持 人：游　竹

國立宜蘭技術學院 電子系

在本總計畫中我們將分三個年度計畫，針對新一代的靜態影像編碼標準 JPEG-2000 提出一個超大型積體電路單晶片系統架構的設計及實現。在前兩個年度計畫中，我們已成功開發出二維離散小波雙向轉換之硬體架構設計，同時於今年度計畫裡，我們也完成了後段的「本文算術編解碼器」的硬體架構設計，針對這兩個新的架構皆提供一個低硬體成本的選擇，且此兩個架構皆使用大約 5K 的邏輯閘數，對於每個輸入符號平均約需花費 3 個時脈週期完成其編碼，但大部分情況下僅花費 2 個時脈週期。

三、計畫成果自評

本計畫進行相當順利，原計畫書中所預計完成之各工作項目均已達成，過去一年來已有多篇論文發表 [1-37]。

四、計畫論文發表

[1] Jan-Ou Wu, Chia-Chun Tsai, and Wen-Ta Lee, "Edged Shear Line Techniques Applied to Cell Compaction," Journal of National Taipei University of Technology, Vol. 35-1, March 2002, pp. 103-113.

[2] Ping-Hong Liu, Wen-Ta Lee, and Chia-Chun Tsai, "Chip Design of Low Power Motion Detection Processor," Journal of National Taipei University of Technology, Vol. 35-1, March 2002, pp. 131-139.

[3] Wen-Sheng Chiang, Wen-Ta Lee, and Chia-Chun Tsai, "Chip Implementation for Improved Booth Multiplier," Journal of National Taipei University of Technology, Vol. 35-1, March 2002, pp. 141-147.

[4] Wen-Ta Lee, Cherng-En Yeh, and Chia-Chun Tsai, "A Retargetable Viterbi Decoder IP Generator," 2002 National Symposiumon Telecommunication, paper C-39, Dec. 2002, ROC.

[5] Wen-Ta Lee, Ping-Hung Liu, Pei-Yung Hsiao, and Chia-Chun Tsai, "A Novel High-Performance VLSI Architecture for Motion Estimation Using Data Access Exchange," Proc. The 13th VLSI Design/CAD Symposium, paper P-31, August 2002, ROC.

[6] Wen-Ta Lee, Wen-Sheng Chiang, and Chia-Chun Tsai, "A Reversible VLSI Architecture for Analysis and Synthesis of Discrete Wavelet Transform," Proc. The 13th VLSI Design/CAD Symposium, paper P-32, August 2002, ROC.

[7] Wen-Hua Luo, Wen-Ta Lee, and Chia-Chun Tsai, "Chip Design of a Random-Burst-Error-Correcting Viterbi Decoder," International Symposium on Computer, October 2001, ROC.

[8] Chien-Hung Lai, Chia-Chun Tsai, and Wen-Ta Lee, "A 10-Bit Switched-Current Digital to Analog Converter," Proc. The 12th VLSI Design/CAD Symposium, paper A1-8, August 2001, ROC.

[9] Chih-Ching Yan, Chia-Chun Tsai, and Wen-Ta Lee, "Performance Driven Based on Signal Repeater Insertion for RLC Interconnections," Proc. The 12th VLSI Design/CAD Symposium, paper B1-9, August 2001, ROC.

[10] Chu Yu, Ying-Zhi Lin, and Viky Cheng, Aug. 2002, “VLSI Architecture of a Context-Based Arithmetic Encoder for JPEG 2000,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp.).

[11] T. W. Chung, Chu Yu, G. H. Lin, and S. J. Chen, “Design and Implementation of 2-D Discrete Wavelet Transform VLSI Architecture for JPEG2000,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp.363-366).

[12] F. Wang and P.-A. Hsiung, “Efficient and User-Friendly Verification,” IEEE Transactions on Computers, Vol. 51, No. 1, pp. 61-83, January 2002.

[13] P.-A. Hsiung, “Real-Time Constraints,” Encyclopedia of Computer Science and Technology, Volume 45 - Supplement 30, (ISBN: 0-8247-2298-1) Allen Kent and James G. Williams, Editors, pp. 285-309, Marcel Dekker, Inc., New York, USA, 2002.

[14] P.-A. Hsiung and S.-Y. Cheng, “Automating Formal Modular Verification of Asynchronous Real-Time Embedded Systems,” Proceedings of the 16th International Conference on VLSI Design, (VLSI'2003, New Delhi, India), January 2003.

[15] P.-A. Hsiung and F.-S. Su, " Synthesis of Real-Time Embedded Software by

Time-Extended Quasi-Static Scheduling," Proceedings of the 16th International Conference on VLSI Design, (VLSI'2003, New Delhi, India), January 2003.

[16] P.-A. Hsiung and S.-Y. Cheng, “Automating Formal Modular Verification of Asynchronous Real-Time Embedded Systems,” Proceedings of the International Computer Symposium, (ICS'2002, NDHU, Taiwan), December 2002.

[17] T.-Y. Lee, P.-A. Hsiung, I-Mu Wu, and Feng-Shi Su “ESSP: An Embedded Software Synthesis and Prototyping Methodology,” Proceedings of the International Computer Symposium, (ICS'2002, NDHU, Taiwan), December 2002.

[18] P.-A. Hsiung, T.-Y. Lee, and F.-S. Su, “Formal Synthesis and Code Generation of Real-Time Embedded Software using Time-Extended Quasi-Static Scheduling,” Proceedings of the 9th Asia-Pacific Software Engineering Conference (APSEC'2002, Queensland, Australia), IEEE CS Press, December 2002.

[19] F.-S. Su and P.-A. Hsiung, “Extended Quasi-Static Scheduling for Formal Synthesis and Code Generation of Embedded Software,” Proceedings of the 10th IEEE/ACM International Symposium on Hardware/Software Codesign (CODES'02, Colorado, USA), pp. 211-216, May 2002.

[20] P.-A. Hsiung, T.-Y. Lee, W.-B. See, J.-M. Fu, and S.-J. Chen, “VERTAF: An Object-Oriented Application Framework for Embedded Real-Time Systems,” Proceedings of the 5th IEEE International Symposium on Object-Oriented Real-Time Distributed Computing (ISORC'2002, Washington, D.C., USA), pp. 322-329, IEEE Computer Society Press, April 2002.

[21] P.-A. Hsiung and C.-H. Gau, “Formal Synthesis of Real-Time Embedded Software by Time-Memory Scheduling of Colored Time Petri Nets,” Proceedings of the Workshop on Theory and Practice of Timed Systems (TPTS'2002, Grenoble, France), Electronic Notes in Theoretical Computer Science (ENTCS), April 2002.

[22] C.-H. Gau and P.-A. Hsiung, “Time-Memory Scheduling and Code Generation of Real-Time Embedded Software,” Proceedings of the 8th International Conference on Real-Time Computing Systems and Applications (RTCSA'02, Tokyo, Japan), pp. 19-27, March 2002.

[23] P.-A. Hsiung, Win-Bin See, Trong-Yen Lee, Jih-Ming Fu, and Sao-Jie Chen, " Formal Verification of Embedded Real-Time Software in Component-Based Application Frameworks," Proceedings of the 8th Asia-Pacific Software Engineering Conference (APSEC'01) , (Macau SAR, China), IEEE CS Press, December 2001.

[24] P.-A. Hsiung, "Formal Synthesis and Control of Soft Embedded Real-Time Systems," Proceedings of the 21st IFIP WG 6.1 International Conference on Formal Techniques for Networked and Distributed Systems (FORTE'01), (Cheju Island, Korea), pp. 35-50, Kluwer Academic Publishers, August 2001.

[25] P.-A. Hsiung, W.-B. See, and T.-Y. Lee, “An Object-Oriented Application Framework for Verifiable Embedded Real-Time Software,” Proceedings of the 13th Workshop on Object-Oriented Technology and Applications (OOTSIG'2002, Taichung, Taiwan), pp. 273-280, September 2002.

[26] P.-A. Hsiung, S.-Y. Cheng, and T.-Y. Lee, “Compositional Verification of Synchronous Real-Time Embedded Systems,” Proceedings of the 2002 VLSI Design / CAD Symposium (VLSI'02, Taitung, Taiwan), pp. 187-190, August 2002.

[27] M. H. Yen, S. J. Chen, and S. H. Lan, “Three-Stage One-Sided Rearrangeable Switching Networks,” IEEE Trans. Computers, Vol. 50, No. 11, pp. 1291-1294, November 2001.

[28] J. S. Cherng and S. J. Chen, “A Wire Segment Reassignment Algorithm for Minimizing Crosstalk for Strait-Type River Routing,” 2001 The 8th IEEE International Conference on Electronics, Circuits, and Systems, Malta, September 2001 (Proc. Vol. III, pp. 1305-1308).

[29] M. F. Hsiao, M. Marek-Sadowska, and S. J. Chen, “Crosstalk Minimization For Multiple Clock Tree Routing,” 2002 The 45th IEEE International Midwest Symposium on Circuits and Systems, Tulsa, Oklahoma , USA, August 4-7, 2002 (Proc. pp.).

[30] T. Y. Lee, P. A. Hsiung, and S. J. Chen, "TCN: Scalable Hierarchical Hypercubes,” 2002 The 2002 International Conference on Parallel and Distributed Systems, NCU, Taiwan, ROC, December 17-20, 2002 (Proc. pp.).

[31] W. B. See, S. J. Chen, P. A. Hsiung, and T. Y. Lee, “Tunable Embedded Software Development Platform,” 2001 National Computer Symposium, Workshop on Database and Software Engineering, Taipei, Taiwan, ROC, December 2001, (Proc. G110-G116).

[32] W. B. See, P. A. Hsiung, T. Y. Lee, and S. J. Chen, "Modular Mobile Dispatching System (MMDS) and Logistics," 2002 Annual Conference on National Defense Integrated Logistics Support, Taipei, Taiwan, August 2002 (Proc. pp. 365-371).

[33] M. F. Hsiao, M. Marek-Sadowska, and S. J. Chen, “A Crosstalk Aware Special Net Router,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp. 100-103).

[34] M. H. Yen, S. J. Chen, and S. H. Lan, “A Three-Sided Rearrangeable Polygonal Switching Network for FPGA,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp. 207-210).

[35] F. M. Shyu, T. Y. Ho and S. J. Chen, “Web-Based Distributed Routing Applications Using UML and Web Start,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp. 528-531).

[36] W. B. See, P. A. Hsiung, and S. J. Chen, “Tunable Embedded System Development Platform,” 2002 VLSI Design/CAD Symposium, TaiTung, Taiwan, ROC, August 2002, (Proc. pp. 532-535).

[37] W. B. See, P. A. Hsiung, T. Y. Lee, J. M. Fu, and S. J. Chen, "Verification of Embedded Object-Oriented Software," 2002 The 13th Workshop on Object-Oriented Technology and Applications, Taichung, Taiwan, September 2002, (Proc. pp. 281-284).