

行政院國家科學委員會專題研究計畫 期中進度報告

無線生醫感測網路晶片系統--子計畫一：感測網路基頻訊
號處理電路(2/3)
期中進度報告(精簡版)

計畫類別：整合型
計畫編號：NSC 95-2221-E-002-242-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：呂學士

處理方式：期中報告不提供公開查詢

中華民國 96年05月31日

行政院國家科學委員會專題研究計畫成果報告

計畫編號：NSC 95-2221-E-002-242

執行期限： 95 年 8 月 1 日至 96 年 7 月 31 日

主持人：呂學士 博士 台灣大學電子所教授

計畫參與人員：莊誌逞、李威儀、張哲維、許彧斌

台灣大學電子所研究生

一、中文摘要

一個整合晶片包含 8 位元 RISC 結構微控制器及 10 位元漸近逼近式類比數位轉換器，以台積電標準 CMOS 0.35-um 製程在本計畫中實現。

內建之類比數位轉換器採用連續逼近式架構，利用功率開關及門閘式時脈技巧，此類比數位轉換器達到超低功率消耗。量測結果顯示此類比數位轉換器操作於奈奎斯頻率時具有九位元以上之有效位元數。工作於每秒一千赫茲取樣模式，功耗小於 2.5 毫瓦。

微控制器資料寬度為 8bits、指令寬度為 14 bits，具備 256 words 的資料記憶體及 2k words 的指令記憶體。且擁有 8 + 5 個一般支援輸入/輸出接頭、二組通用非同步傳送接收模組、二組計時器及一組看門狗模組。最高可操作在 40Mhz 之時脈，而一般應用於 1Mhz 之時脈，此時耗電流為 1.12mA。

關鍵詞：微控制器、漸近逼近式類比數位轉換器、通用非同步傳送接收模組、看門狗模組。

Abstract

A integral chip include a 8 bits RSIC μ Controller and a 10 bits successive approximation Analog to Digital Converter in TSMC standard CMOS 0.35-um technology is presented in this project.

The build in Analog to Digital Converter is a Successive Approximation type ADC. By using power switch and gating clock techniques, the ADC achieves ultra low power dissipation.

Operating in nyquist rate frequency, this ENOB

is measured more than 9 bits. Power dissipation is less than 2.5uW at 1KSPS mode.

The width of the μ Controller's data bus, instruction bus is 8 bits, 14 bits. There are a 256 words data memory ,a 2k words program memory, 8+5 general purpose input/output ports, 2 Universal Asynchronous Receiver and Transmitter modules , 2 Timers and a watch dog module in the μ Controller. The maximum clock rate of the μ Controller is 40 MHz ,and the applied rate is 1MHz, the current consumption is 1.21 mA on this rate.

Key Words: uController, SAR ADC, UART, Watch Dog.

二、緣由與目的

近年來隨著無線通訊技術的發展，及半導體製程技術的進步，許多的系統與應用相繼出現，例如：ZebraNet 就是一種利用無線監測系統來觀測野生動物移動與居住行為，如此一來我們便能夠輕鬆地偵測到動物們所處的位置與其群體習性，這些感測器的生命週期都必須很長，用以長時間記錄資料，且並非隨時需預量測資訊；無線網路的發展目前除了往高頻段走外，在低頻段的應用則朝向能建置區域性傳輸的感測網路，加州柏克萊所領的團隊正在開發一種以聰明塵粒 (Smart Dust) 所組成的智慧感測網路，用以觀測生態及氣候。另外，若將其使用於生醫技術上，醫生可以藉由裝置於病患身上微小的晶片與醫生們的電腦或是 PDA 做溝通，透過此項技術，隨時隨地得以偵測病患們的生理狀況，諸如：血壓、心跳、心電圖、血氧

量、CRP . . . 等，如此便能夠大大地增加病人們的安全。而要達成無所不在的感測網路 (Ubiquitous Sensor Network)，需要由中央微控制器 (μ Controller) 及超低功率之類比數位轉換器 (ADC) 來實現。

三、研究內容

I. ARCHITECTURE

A. μ Controller

此設計採用 RISC 架構，初期為簡化韌體的開發，此 uC 的指令集參考由 Microchip 公司出品的 PIC16 系列 CPU，使其合成器 (Compiler) 能使用現有之程式實現，可稱此設計為一 PIC like 之微控制器，此 uC 特點如下：

- (1). 擁有 35 個指令，資料寬度 8 bits，指令寬度 14 bits，內含 256 words Register SRAM, 2k words Program SRAM。
- (2). 控制周邊電路的啟動、關閉、動作訊號，能讓 Sensor 端盡可能的省電操作。
- (3). 8+5 GPIO Pin 腳可當 Input/Output，節省腳位空間。
- (4). 擁有 8 層的 Stack 空間，可保存 Program Counter 的值，進行跳躍執行。
- (5). 具有直接暫存位址，及非直接暫存位址。
- (6). 含有 Watch Dog 電路，可以在系統發生錯誤自動重新開機 (Reset)。
- (7). 具有 10 種 interrupt 方式，具有中斷程式執行的能力。
- (8). 具 Sleep 的功能，使 CPU 能在不使用時盡可能節省電量。

而韌體的編寫，因為此 CPU 的指令集相容於 PIC16 系列，因此可以使用繼有的編譯器 (如：MPLAB IDE、CCS、SDCC)，進行程式的編譯，再將編譯產生的 HEX 檔燒錄至 CPU 的 ROM 中，完成 CPU 的操作控制工作。

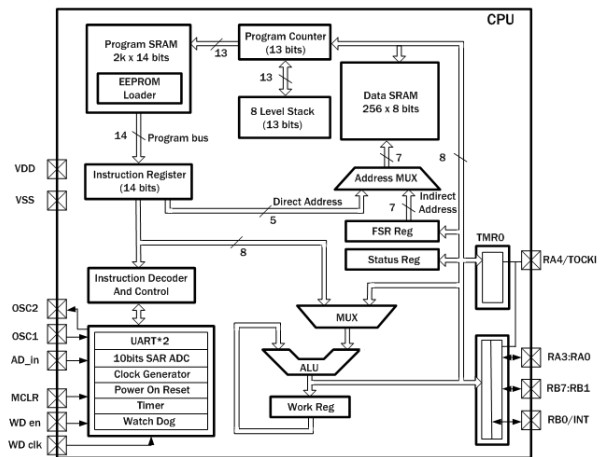


Fig.1 μ Controller 內部結構圖

由於 CIC 並沒有提供任何 NVM (Non-Volatile Memory) 的製程，因此我們設計一 ROM Loader，使用外部 EEPROM or Flash 來取代 NVM 製程，在系統 Power on Reset 時，利用 I2C 之介面 (使用 I2C 是為了節省 IO 的數量)，將 firmware 載入內部之 SRAM 中，在所有程式載入後，再啟動 Core 的部分，且將 SRAM 之 Address 主控權交還予 Core，區塊圖如下圖。

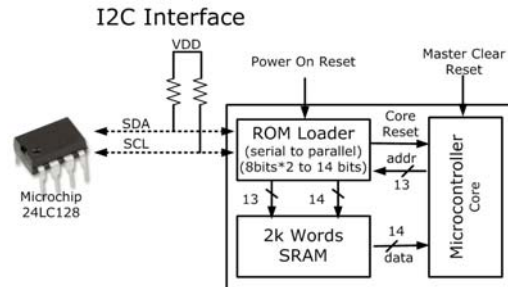


Fig.2 NVM Solution

B. SAR Analog to Digital Converter

連續逼近式類比數位轉換器 (SAR-ADC) 由比較器，取樣保持電路、數位類比轉換器及數位控制單元所組成。其架構如 Fig3 所示。

此類比數位轉換器原理為利用電荷重新分配式 (charge redistribution) 的連續逼近法。以二元權重 (Binary weighted) 的電容陣列做為數位類比轉換器。同時電容陣列也用來實現取樣及保持 (sample-and-hold) 的功能，以減少功率消耗。比較器比較數位類比轉換器輸出而數位控制單元根據比較器的輸出結果切換電容陣列開關，以產生不同的比較電壓。

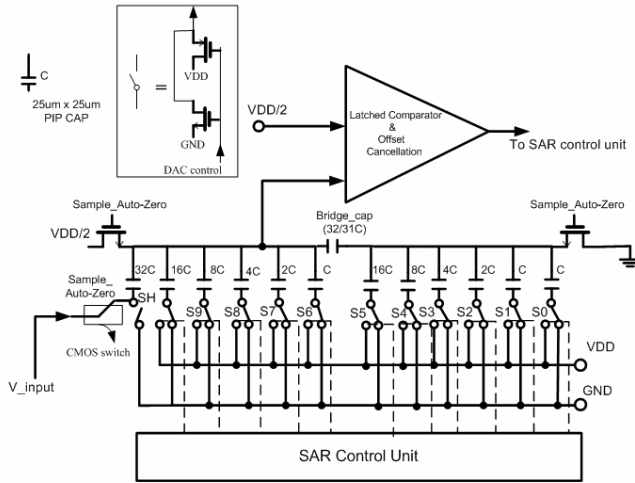


Fig.3 SAR ADC 架構圖

比較器是SAR-ADC中的核心方塊，其正確性決定整個系統的特性。如Fig4 所示，此比較器由兩個低增益的前端放大器（Preamp）及正回授的動態閘鎖器（Dynamic latch）所組成。前端放大器用來放大輸入訊號，然後經動態閘鎖器分別拉開至VDD和GND以驅動下級的數位電路。同時前級放大器也具有擋住動態閘鎖器動作時所產生kickback noise的效果。SR latch用來儲存比較器輸出結果以減少meta-stability及與數位電路取值間的race現象。

比較器佔整個系統中功率消耗比例相當高，故於比較器中前端放大器皆使用power switch的技巧，當比較完成時則power off 前級放大器。動態動態閘鎖器則由於其先天的架構使然，在閘鎖動作完成後即不存在DC路徑，不消耗功率。故此比較器在完成比較後僅消耗少許的漏電流而已。

由於製程上電晶體無法完美匹配，比較器存在輸入偏移誤差(Input refer offset)。於SAR ADC中，比較器的偏移誤差雖不致影響線性度，但會直接反應在ADC的數位輸出上，造成offset error。為了提高比較器的正確性，除了加大較敏感的電晶體大小外，偏移消除（Offset Cancellation）在兩前端放大器間實現。首先前端放大器A1兩端接至VDD/2電壓，A2則接成unit gain loop，則A1的offset被儲存於A1, A2間的電容上，故A1偏移的效應可完全消除。A2及動

態閘鎖器的偏移量則會除上前端放大器的增益而降低。

比較器剩餘的偏移量為

$$V_{OSR} = \frac{\Delta Q}{A_1 C} + \frac{V_{OSL}}{A_1 A_2} + \frac{V_{OSA_2}}{A_1 (1 + A_2)}$$

其中 V_{OSR} 為經偏移消除後之剩餘值；

ΔQ 為switch S1和S2所產生charge injection量的差值；

V_{OSL} 為動態閘鎖器的偏移

A_1 和 A_2 為前端放大器的開迴路增益

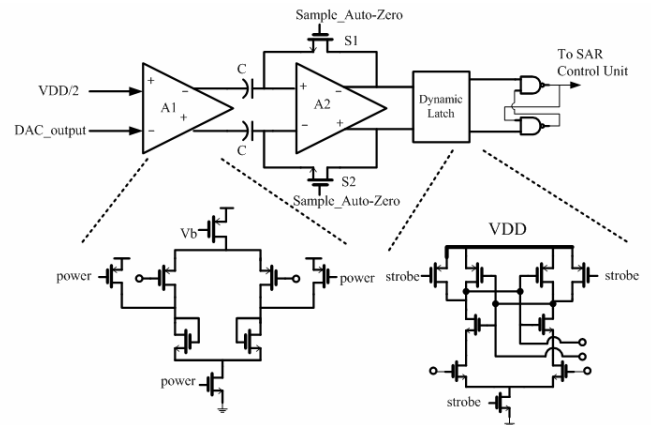


Fig.4 比較器架構圖

II. MEASUREMENT RESULTS

A. μ Controller

測試方式如下圖所示，使用Microchip之免費 compiler MPLAB IDE 編輯組語，設計十種測試迴圈來涵蓋所有的 function，再由 Logic Analyzer 來分析結果。

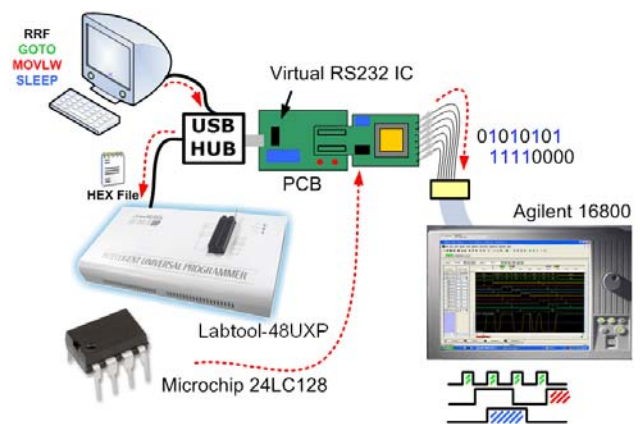


Fig.5 μ Controller Testing Setup

下圖為測試結果，十個測試迴圈皆回應功能正確之訊號。

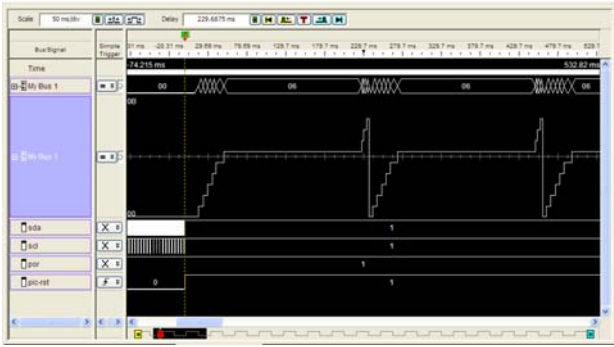


Fig.6 μ Controller 之測試結果

B. SAR Analog to Digital Converter

Fig 7為SAR ADC量測配置簡圖及量測PCB。在PCB的設計上，除了數位電源和類比電源使用獨立電池，經regulator和旁路電容做穩壓外，數位地和類比地也分開，僅以一大電感做單點連接。訊號源方面，我們使用Agilent 33250 A和Tekronix AFG3525產生輸入訊號，以Agilent 16823A抓出後，送至個人電腦，以Matlab計算動態及靜態規格參數。ADC之動態特性如Fig 8及Fig 9，靜態特性如Fig 10所示。量測結果總結於右側表格。

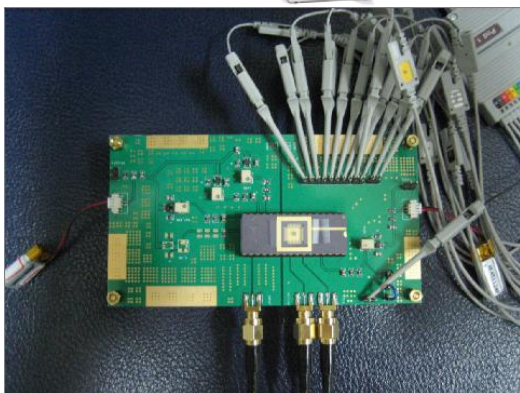
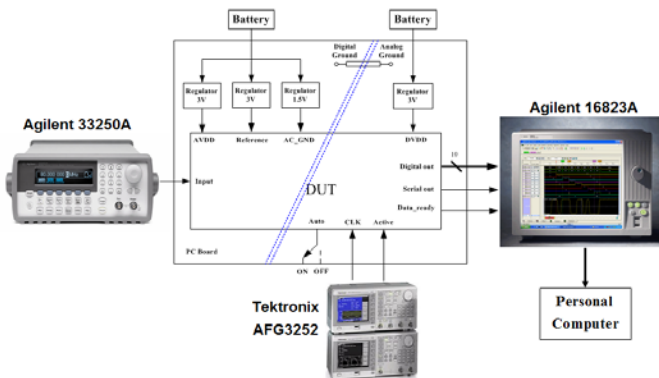


Fig 7

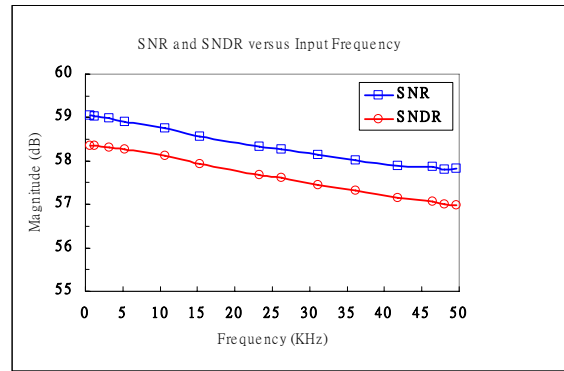


Fig 8

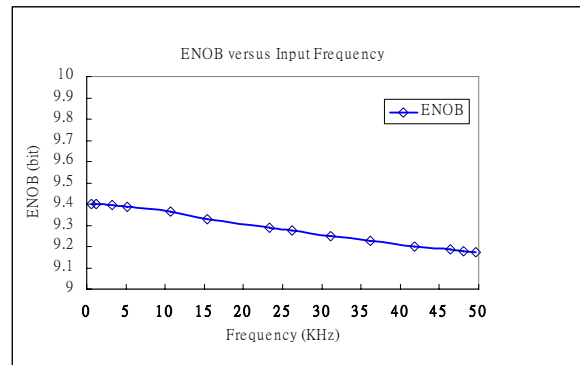


Fig 9

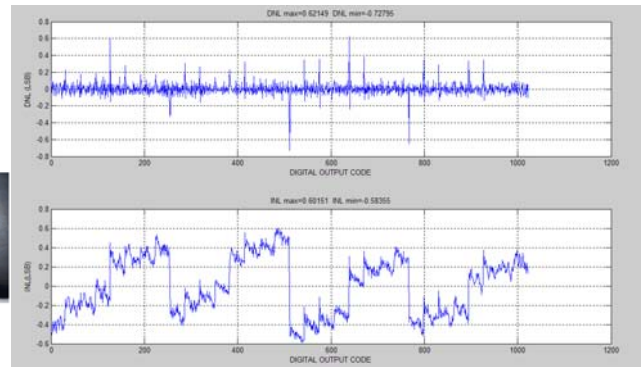


Fig 10

Resolution	10bit
Conversion rate	100KSPS
Supply voltage	3V
Input Voltage Range	Rail to Rail
DNL (LSB)	+0.6215/-0.738
INL (LSB)	+0.6015/-0.584
ENOB	9.4022 bit @ 0.572KHz 9.1723 bit @ Nyquist rate (49.62526KHz)
Chip Area (PAD included)	928um x 960um
Power Consumption	189uW @ 100KSPS 20uW @ 10KSPS 2.1uW @ 1KSPS

C. Integer

使用 TSMC 2P4M 0.35um CMOS 製程將 μ Controller 及 SAR ADC 進行整合，整合後整體的面積為 2.610x2.504 mm²。

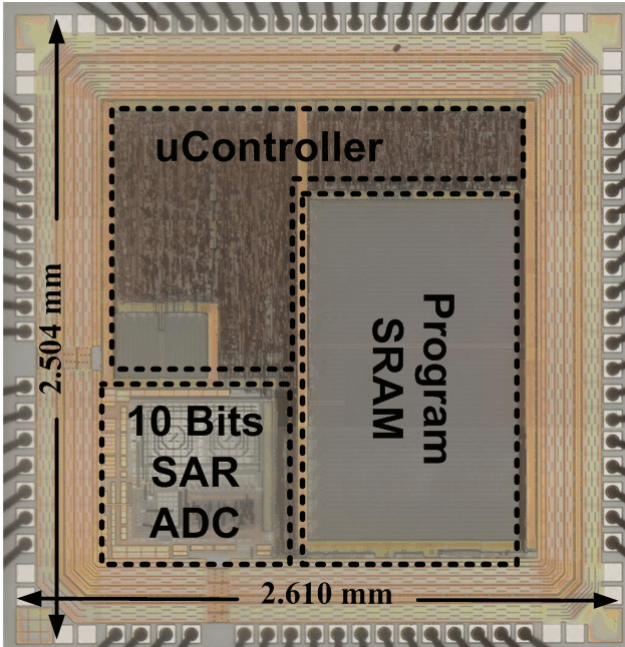


Fig.11 Chip Photo

整合後使用組合語言使 μ Controller 控制 SAR ADC 之動作，轉換類比訊號 sin 波，再利用電腦將數位訊號轉換為數值，回復 sin 的波形，如下圖。

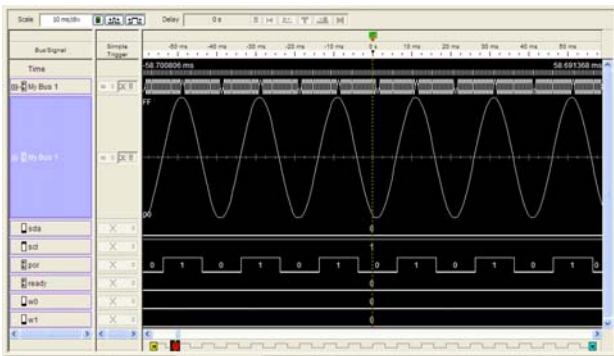


Fig.12 整合測試結果(sin 波型圖)

CONCLUSIONS

我們成功地使用 TSMC 0.35um CMOS 製程完成一系統單晶片，包含了可程式化之 μ Controller 及超低功率消耗之 10 bits SAR ADC， μ C 操作在 1MHz 之時脈時，整體功率消耗小於 3.7mW，SAR ADC 之有效位元數大於 9.1 位元。此晶片可在未來結合其它子計畫之感測器，實現超微型超低功耗之感測點設計。

四、參考文獻

[1] PicoRadio Website :

<http://bwrc.eecs.berkeley.edu/Research/PicoRadio/>

[2] Zigbee Website : <http://www.zigbee.org/>

[3] K. S. J. Pister, J. M. Kahn and B. E. Boser, "Smart Dust: Wireless Networks of Millimeter-Scale Sensor Nodes", Highlight Article in 1999 Electronics Research Laboratory Research Summary.

[4] Warneke, B., and et al., Jan., 2001, "Smart Dust: Communicating with a Cubic-Millimeter Computer," IEEE-Computer, Vol. 34, no. 1, pp. 44-51.

[5] Haartsen, J. C., and Mattisson, S., Oct., 2000, "Bluetooth—A New Low-Power Radio Interface Providing Short-Range Connectivity," Proc. of the IEEE, Vol. 88, pp. 1651–1661.

[6] Heintzelman, W. R., Chandrakasan, A., and Balakrishnan, H., 2000, "Energy-efficient communication protocol for wireless microsensor networks", Proc. 33rd Annu. Hawaii Int. Conf. on System Sciences, pp. 3005-3014.

[7] M. Scott, B. Boser, and K. Pister, "An Ultra Low-Energy ADC for smart Dust", IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1123-1129, July, 2003.

[8] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, "A 0.5-V 1-uW successive approximation ADC" IEEE J. Solid-State Circuits, vol. 38, pp. 1261-1265, July, 2003.

- [9] Hwang-Cherng Chow, Bo-Wei Chen, Hsiao-Chen Chen, and Wu-Shiung Feng, “A 1.8V, 0.3mW, 10-Bit SA-ADC with New Self-Timed Control for Biomedical Applications”, IEEE ISCAS, pp. 736 -739, 2005
- [10] Honglei Wu, Yong Ping Xu, “A 1V 2.3uW Biomedical Signal Acquisition IC” ISSCC pp.58-59, Feb., 2006
- [11] T. Yoshida, et al. “A 1V Supply Successive Approximation ADC with Rail-to-Rail Input Voltage Range,” Proc. ISCAS, pp. 192-195, May, 2005.