

行政院國家科學委員會專題研究計畫成果報告

電子封裝過程晶片應力與溫度分佈量測

Chip Stress and Temperature Distribution Measurement during Packaging

計畫編號：NSC 89-2212-E-002-104

執行期限：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：周元昉 國立台灣大學機械工程研究所

一、中文摘要

本計畫係利用壓阻材料受應力與溫度變化時會改變阻值的特性，以 MOS 製程設計並製作壓阻式應變計於待封裝晶片上，量取晶片於封裝過程的應力及溫度變化。

先利用測試樑配合四個獨立方程式以校正晶片在不同溫度下壓阻係數與電阻溫度係數。在 $10\text{mm}\times 10\text{mm}$ 晶片上佈置25組共175個壓阻應變計，對每個單獨的壓阻均須製作電橋平衡與放大電路，並利用多工數據擷取系統於封裝過程量取訊號，再經由七個不同的壓阻方向配合七個獨立的方程式，計算出晶片上封裝過程中的應力與溫度分布。

關鍵詞：晶片，封裝，應力，溫度，壓阻

Abstract

The stress and temperature can cause resistance change for piezoresistive materials. This material property is adopted to fabricate piezoresistive strain gages on a chip that is employed to measure the stress and temperature during packaging.

A calibration beam accompany with four linearly independent equations are used to calibrate piezoresistance coefficients and temperature coefficients of resistivity. There will be a total of 175 piezoresistive strain gages in 25 groups located in a $10\text{mm}\times 10\text{mm}$ chip. A bridge balancing and amplification circuit has to be wired for each strain gage. A multiplexed data acquisition system is implemented to measure

data during the packaging process. Stress and temperature distribution are determined with seven linearly independent equations.

Keywords: Chip, Packaging, Piezoresistor, Stress, Temperature.

二、緣由與目的

在半導體晶片上製作微電子元件後通常須要經過封裝加以保護才能方便使用，在封裝的過程中必須經歷相對的高溫高壓環境變化，晶片本身及晶片上的機械結構必須能夠承受此過程所引起的應力與應變，為了瞭解封裝過程所產生的應力與應變，以作為控制封裝過程之溫度壓力的重要依據，直接量測封裝時晶片的應力與應變當能提供最直接的資料。

早在 1954 年 C.S.Smith[1]首先發現矽和鍺的電阻率會受到機械應力的影響而改變，這種性質稱為壓阻性質，而具有這種性質的材料稱為壓阻材料。其後經許多先進的努力[2,3,4,5]，目前對單晶矽的壓阻性質有了相當完整的了解。因為單晶矽具顯著的壓阻性質，若能直接在晶片上製成壓阻應變計，此等應變計在受應力作用時，因電阻率與幾何形狀發生變化而導致阻值改變，由量測阻值的變化可計算出晶片的應變與應力。單晶矽屬立方晶系，彈性與壓阻性質均為非等向性，壓阻應變計的計測因子與晶格方向有關，且壓阻應變計受多軸應力作用，因此數據分析遠較金屬箔應變計來得複雜。然而因矽壓阻應變計的靈敏度遠大於金屬箔應變計，所以信噪比與解析度較高；再者，因壓阻應變計係直接經由摻雜於晶片上而

成，摻雜濃度通常小於 10^{-4} ，並不會改變晶片的機械性質，因此所測得的殘餘應變與應力可充分反應出實際晶片所處的機械環境，並且免除了應變計和矽晶片接合時的殘留應力。因為壓阻應變計本身主要成分還是矽，熱膨脹係數與基板相同，所以在封裝的升溫過程中，就沒有因熱膨脹係數的不同而使應變計產生熱應力的現象。此外，量測為非破壞性，可充分反應封裝過程的實際情況。基於此等優點，1981年 Spencer 等[6]應用壓阻應變計量測以塑膠封裝晶片之應力。1991年 H.C.J.M. Van Gestal 等[7]使用在 p-型及 n-型各兩個壓阻組成的應變計組來量測元件封裝時的平面應力及垂直應力分量，藉由選擇壓阻型式及角度可簡化方程式，使得三個平面應力分量(σ_x 、 σ_{xy} 、 σ_y)及一個垂直應力分量(σ_z)與另外兩個應力分量解耦合，使得四個壓阻訊號恰能解出四個應力分量。李基銘等人[8]也從事類似研究，其壓阻群係由四個壓阻構成，在假設垂直應力分量(σ_z)與剪應力(σ_{xy})小到可以忽略的條件下，可以測得封裝過程所造成的兩正向應力(σ_x 、 σ_y)，此外也利用已封裝完成的晶片經由升溫的方式求取不同溫度時之晶片應力。

在封裝過程時，塑膠係以約 170°C 之流體狀態變動至室溫的固態，晶片受塑膠包裹整體形成一個三度空間的結構，此結構必然因塑膠收縮而產生各方向的應力，因此必須量測出應力或應變全部的六個分量，以及應力或應變在晶片上的分佈，始足以完全了解晶片的受力狀態。壓阻應變計必須製作得相當小，如此所量得的應力才能符合點應力的情況。若能有相當數量的應變計分佈於晶片上即可獲得晶片上應力的分佈資料，當配合在各溫度之下對壓阻係數的校正，更可以得知封裝冷卻過程中應力或應變隨溫度的變化，有助於尋求最佳的封裝的溫度與壓力條件。

三、研究方法

對矽晶體材料而言，溫度對電阻值有極大的影響，若以 ρ_{ij} 、 π_{ijkl} 和 α_{ij} 分別表示電阻係數、壓阻係數與電阻溫度係數，則在受應力 σ_{kl} 及溫度變化 ΔT 作用下，此三者之間存在下列關係

$$\Delta\rho_{ij} = \pi_{ijkl}\sigma_{kl} + \alpha_{ij}\Delta T$$

因此在定體積電流密度 J_j 條件下，電場 E_i 的變化量為

$$\Delta E_i = \pi_{ijkl}\sigma_{kl}J_j + \alpha_{ij}\Delta TJ_j$$

其中 π_{ijkl} 為四階張量，當以不同的座標描述時，具有如下的轉換關係

$$\pi_{mnpq} = \beta_{mi}\beta_{nj}\beta_{pk}\beta_{ql}\pi_{ijkl}$$

其中 β_{ij} 為 x'_i 與晶格主軸 x_j 的方向餘弦。此外單晶矽在未受應力作用時

$$\rho_{ij} = \rho_0\delta_{ij} \quad , \quad \alpha_{ij} = \alpha_0\delta_{ij}$$

為方便起見，將張量下標(11,22,33,23,31,12)表示成減縮指標(1,2,3,4,5,6)，且令

$$\rho_0\pi_{ab} = \pi_{ijkl}, \quad \text{if } b = 1,2,3$$

$$\rho_0\pi_{ab} = 2\pi_{ijkl}, \quad \text{if } b = 4,5,6$$

則 π_{11} 、 π_{12} 和 π_{44} 為單晶矽中在晶格主軸方向的三個獨立壓阻係數。由於要求得三個獨立的壓阻係數，及一個電阻溫度係數，因此需要四個式子來解四個未知數。若對壓阻通以電流，同時對壓阻施以應力，然後量取平行電流方向上的電位差，則不論角度如何轉，最多只能得到三個獨立的方程式，因此必須另外再找一個式子，才能解得四個未知數。故另外對壓阻通以和量取電位差方向垂直的電流，同時對壓阻施以應力，然後量取垂直電流方向上的電位差，這樣就可以得到獨立的第四個式子。但是由於 π_{11} 、 π_{12} 、 π_{44} 和 α 都是 T 的函數，因此假設在實驗的溫度範圍內， π_{11} 、 π_{12} 、 π_{44} 和 α 都是呈線性變化，即

$$\pi_{11} = \pi_{11}^0 + \pi_{11}^1\Delta T$$

$$\pi_{12} = \pi_{12}^0 + \pi_{12}^1\Delta T$$

$$\pi_{44} = \pi_{44}^0 + \pi_{44}^1\Delta T$$

$$\alpha = \alpha^0 + \alpha^1\Delta T$$

其中， π_{11}^0 、 π_{11}^1 、 π_{12}^0 、 π_{12}^1 、 π_{44}^0 、 π_{44}^1 、 α^0 和 α^1 都是常數，可由量得的結果回歸求得。

求取封裝時的應變須先求得 $\Delta R/R$ 和 σ_x 、 σ_y 、 σ_z 、 σ_{xy} 、 σ_{yz} 、 σ_{xz} 、 T 、 π_{11} 、 π_{12} 、 π_{44} 、 α 及 ϕ 之間的函數關係

$$\frac{\Delta R}{R} = f(\sigma_{ij}, T, \pi_{ijkl}, \alpha, \phi)$$

其中， π_{11} 、 π_{12} 、 π_{44} 及 α 為已知，而角度 ϕ 是由事先決定的，因此要由上式求得的就只是 σ_x σ_y σ_z σ_{xy} σ_{yz} σ_{xz} 及 T 等七個變數，所以需要七個方程式，在此選擇如圖一的 $\phi=0^\circ$ 、 30° 、 60° 、 90° 、 120° 、 150° 及 225° 等七個角度列式得到七個式子即可求得應力值與溫度。

首先在晶圓上製作如圖二的測試樑，利用圖三的治具進行四點彎曲測試，如此使得測試樑的受測部份為純彎曲，在這段區域中測試樑上表面受到的應力為常數，在此樑上施以給定的應力值，用設計在測試樑表面上的應變計與圖四所示的量測電路，即可由已知的應力及測得的壓阻阻值變化，計算出壓阻係數。

為了量測封裝應力，製作有應變計的晶片如圖五，晶片為 $10\text{mm}\times 10\text{mm}$ 的正方形，在每一片晶片上，排有五列每列各五個應變計組，因此可以得到二十五個點的應力值。每個應變計組由七個應變計組成，分別指向前述的七個不同的方向，由這七個不同方向的壓阻阻值變化，即可求得應力值。在試驗時將晶片放進封裝機中，在封裝的同時進行應力的量測。由於晶片埋於封裝機的模中，因此必須事先將訊號接出來，而因為晶片很小，無法直接將訊號接出，所以間接利用電路板，先將晶片上的訊號，以打線的方式接到電路板上，再以焊接的方式，將電路板上的訊號，接到類比/數位轉換卡(A/D Card)上。自晶片上共外接一百七十五個應變計的訊號，分屬於二十五組應變計組，由於同時讀取全部的訊號所需的設備龐大，所以設計如圖六的類比多工器(analog multiplexer)量測電路製成電路板如圖七，配合電腦平行埠(parallel port)送出的訊號，切換讀取應變計訊號的頻道，這樣才能分次讀取所有的訊號。

測試樑及晶片必須在同一晶圓上製作完成再進行切割，因此方能保證由測試樑所量得的壓阻係數，和晶片是完全相同的。晶片採用n型(100)的矽晶片，在矽底材上長一層氧化層作為壓阻和鋁線的絕緣層，之後以離子佈植、熱驅入完成壓阻的圖案，開完接觸孔後，轉移鋁線的圖案後晶片就製作完成。

四、結論

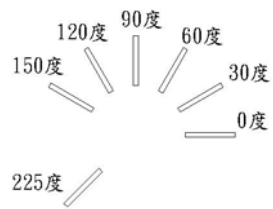
本計畫是利用壓阻應變計量測晶片上的應變與應力，量測過程為非破壞性，可直接得

到封裝過程的溫度、應力與應變的變化，並可獲得殘留於晶片上的應力與應變值。

五、參考文獻

- [1] Charles S. Smith, "Piezoresistance Effect in Germanium and Silicon", *Physical Review*, Vol. 94, pp. 42-49, 1954.
- [2] W.P. Mason and R.N. Thurston, "Use of Piezoresistive Materials in the Measurement of Displacement, Force, and Torque", *Journal of the Acoustical Society of America*, Vol. 29, No. 10, pp. 1096-1101, October 1957.
- [3] O.N. Tufte and E.L. Stelzer, "Piezoresistive Properties of Silicon Diffused Layers", *Journal of Applied Physics*, Vol. 34, No. 2, pp. 313-318, February 1963.
- [4] Yozo Kanda, "A Graphical Representation of the Piezoresistance Coefficients in Silicon", *IEEE Transactions on Electron Devices*, Vol. ED-29, No.1, January, pp. 64-70, 1982.
- [5] Kazuji Yamada, Motohisa Nishihara, Satoshi Shimada, Masanori Tanabe, Michitaka Shimazoe, and Yoshitaka Matsuoka, "Nonlinearity of the Piezoresistance Effect of p-Type Silicon Diffused Layers", *IEEE Transactions on Electron Devices*, Vol. ED-29, No. 1, pp. 71-77, January 1982.
- [6] J. L. Spencer, W. H. Schroen, G. A. Bednarz, J. A. Bryan, T. D. Metzger, R. D. Cleveland, and D. R. Edward, "New Quantitative Measurements of IC Stress Introduced by Plastic Packages," *Proc. 19th Annual Reliability Physics Symposium*, p. 74, 1981.
- [7] H.C.J.M. Van Gestal, A. Bossche, and J.R. Mollinger, "On-Chip Piezoresistive Stress Measurement in Three Directions", *Sensors and Actuators A.*, Vol. 25-27, pp. 801-807, 1991.
- [8] 李基銘、羅本哲、陳東昇、高進興、陳耀星、林泉源，"以壓電阻應力計量測電子封裝內部應力"，電子月刊，第五卷，第

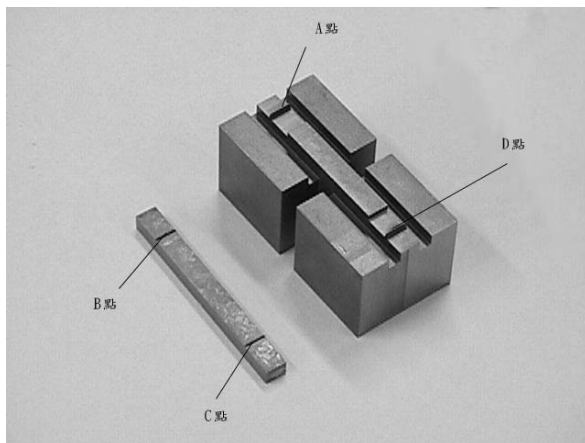
十一期，92-98頁，1999。



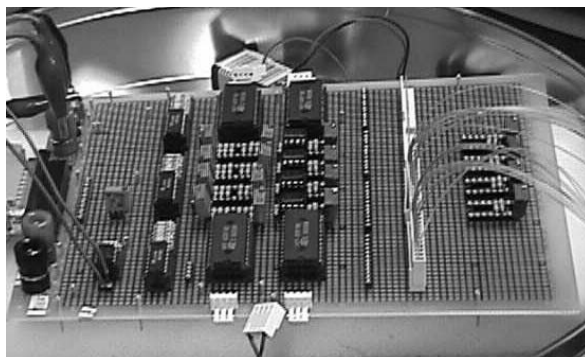
圖一 壓阻應變計的方向



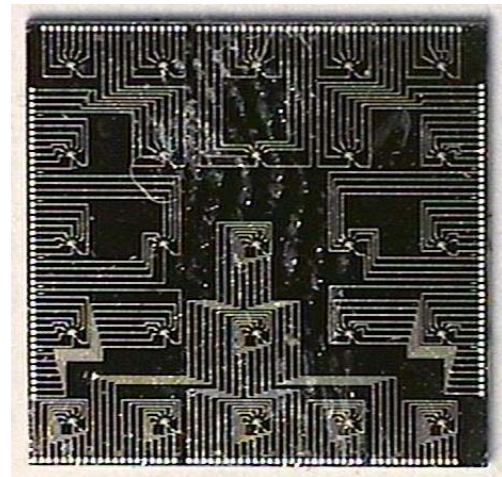
圖二 測試樑



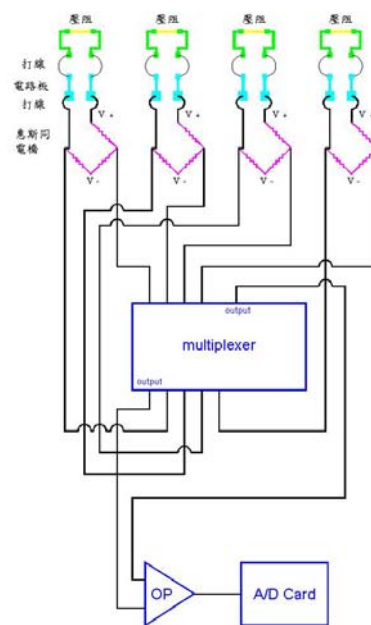
圖三 四點彎曲試驗治具



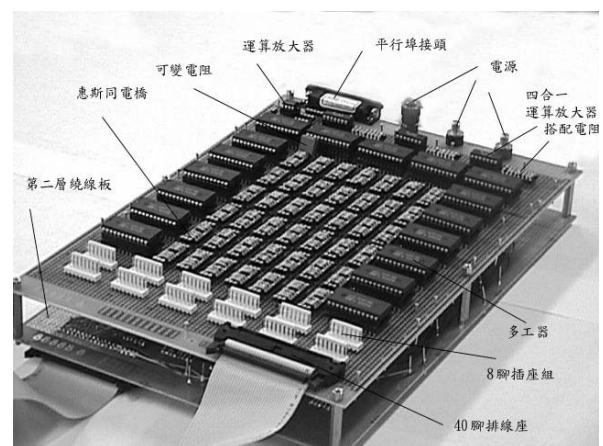
圖四 校正壓阻係數的量測電路



圖五 量測封裝應力的晶片



圖六 類比多工器量測電路



圖七 類比多工器量測電路板