

行政院國家科學委員會專題研究計畫 成果報告

以次大氣壓化學氣相沉積法成長低應力氧化矽薄膜進行深 溝槽填補及在微機電系統之應用

計畫類別：個別型計畫

計畫編號：NSC92-2218-E-002-058-

執行期間：92 年 12 月 01 日至 93 年 07 月 31 日

執行單位：國立臺灣大學生物產業機電工程學系暨研究所

計畫主持人：張建六

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 7 月 12 日

以次大氣壓化學氣相沉積法成長低應力氧化矽薄膜進行深溝槽填補及在微機電系統之應用

簡介 本研究主要是利用矽源 (TEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$)) / 臭氧 (ozone) 在電漿加強式化學氣相沉積法 (Plasma Enhanced Chemical Vapor Deposition, PECVD) 和次大氣壓化學氣相沉積法 (Sub-atmospheric Chemical Vapor Deposition, SACVD) 下沈積出低應力的二氧化矽薄膜來進行深溝槽填補。實驗中用了兩種PECVD的沈積方法：天線捲電感耦合電漿 (Inductively Coupled Plasma, ICP) 和平行板電容耦合電漿 (Capacitive Coupled Plasma, CCP), 發現在沈積的過程中加入臭氧可以提高填洞的能力, 在深溝 (5微米寬、52微米深) 的填補過程, 利用SACVD沈積出的氧化物可以得到非常好的階梯覆蓋能力, 且以電感耦合電漿化學氣相沉積法 (Inductively Coupled Plasma-Plasma Enhanced Chemical Vapor Deposition, ICP-PECVD) 沈積的氧化層可以當作封裝的一個材料。在本研究當中, 也會探討在PECVD中加入Ar離子進行撞擊和外加磁場對填補能力的影響。因為PECVD和SACVD都是在低溫中進行, 因此可以得到較低的熱殘留應力 (85MPa的低壓縮應力薄膜)。

1 前言

最近在半導體結構中, 二氧化矽都是當作絕緣介電層和保護層來應用。二氧化矽在超大型積體電路 (VLSI) 的製程上必須具有表面平坦、溝槽填補和減

少電容值的能力。同樣地, 二氧化矽對微機電系統 (Microelectromechanical systems, MEMS) 來說也是一個很有吸引力的材料, 因為它具有低的熱和電導電率、低熱膨脹係數和良好的機械強度。目前, 在先進半導體元件 (如多層連接 [1]) 和MEMS (如慣性感測器 [2]) 都會出現深溝槽的結構。特別當MEMS元件做到愈來愈高深寬比的步驟時 (如微機械元件的封裝或微封裝 [3-5]), 溝槽填補絕對能夠簡化後續的製程。

在MEMS裡, 用來填補溝槽的這一層物質, 可以當作微機械元件密封洞口的薄膜、蝕刻阻擋層 [6-7]、犧牲層 (如陀螺儀 [2])、或如圖1a所示, 當作一個懸浮結構下的熱絕緣層 (微機械加熱矽島 [3])。圖1表示本研究所討論的幾個溝槽, 圖1c表示有部分溝槽被填補了。這裡要先定義一下階梯覆蓋的參數：底部階梯覆蓋 (b/a) 和側壁階梯覆蓋 (c/a) [7], 溝槽的深寬比是指溝槽深度和寬度的比值。在很多的填補過程中會出現如圖1d的孔洞出現, 然而在一個感測結構上用一層薄膜來密封洞口或在Power MEMS或Bio MEMS [5, 8]等應用上形成一個微流道時, 需要較低的階梯覆蓋 (b/a) 和低側壁覆蓋 (c/a)。而厚的二氧化矽層可以提供如電絕緣、熱絕緣和封裝 [3]等自由選擇應用。總結來說, MEMS需要二氧化矽的特性為：(1) 低殘留應力 (2) 溝槽填補能力和表面平坦化能力 (3) 低介電常數 [1, 9]。尤其自從高深寬比的結構正在快速的發

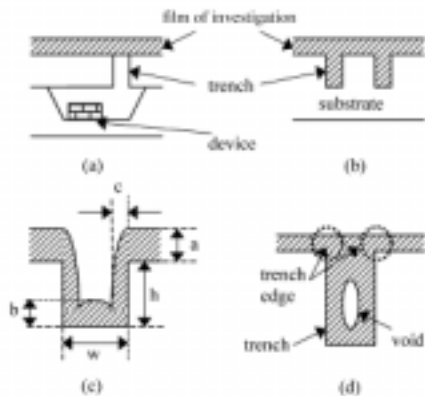


圖1. a 微結構原件的封口 b 溝槽填補和平坦化 c 部分填補 d 填補過程中出現空洞

展後，深溝槽填補能力在MEMS裡扮演了一個很重要的角色。

在本研究中所成長的二氧化矽具有低殘留應力，是因為PECVD和SACVD進行沈積時，溫度低於400度 [10-15]，而一般利用低壓化學氣相沈積方法 (Low Pressure Chemical Vapor Deposition, LPCVD) 沈積的二氧化矽由於是在650度或者更高的溫度下進行反應，導致具有較高的熱殘留應力存在，但是LPCVD能提供較好的階梯覆蓋能力而且在溝槽填補常是較好的選擇 [3-5]。在PECVD和SACVD中所利用的有機矽源 (TEOS和ozone) 可以提供比使用硅烷 (silane/ O_2) 較好的覆蓋和填補能力，是由於TEOS/ ozone能夠在晶原表面產生可以移動的分子先驅體 [16-18]。在這本研究中，分別使用兩種PECVD的氧化矽製成方法：線圈捲電感耦合電漿氧化矽 (ICP) 和平行板電容耦合電漿氧化矽 (CCP)。因為ICP可以提供較高的電漿密度，可以有較高的沈積速率 [19]，但會導致較差的階梯覆蓋和屋簷狀突出物的發生，這使得ICP可以更適用於溝槽密封

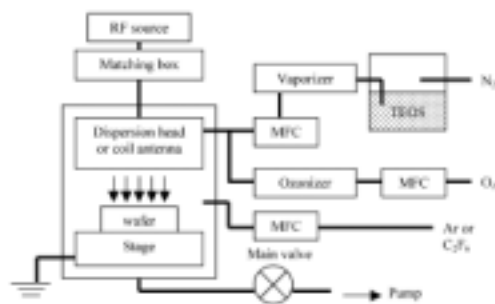


圖2. 沈積反應室的流程圖

上。最重要的是SACVD具有達到絕佳的階梯覆蓋能力和深溝槽填補。

本研究已經成功地達到利用 SACVD TEOS oxide來填補深溝槽和利用 ICP oxide來密封寬溝槽的目標，內容也會詳細地介紹加入Ar離子撞擊和外加磁場對PECVD所造成的影響，另外必須要注意的是所有過程都在同一個反應腔室進行，所以任何PECVD的機器都可以利用這方法來作深溝填補。

2

實驗及討論

用來作為溝槽填補的樣品，是先在矽基底用負光阻當作蝕刻阻擋層，再加入 SF_6 和 O_2 ，以STS Co.的ICP plasma進行蝕刻，所蝕刻出來的溝槽深度大約在50~75微米、寬度則在4~50微米之間。所有的CVD過程都是在如圖2所示的沈積反應室裡進行，所加入的TEOS具有超高的純度 (99.99%)

(Yamanaka Hutech Chemicals Co.)，經由蒸發器裡蒸發，然後直接經過90°C的加熱管，以避免TEOS的液化，而臭氧是由純氧在大氣壓下進行放電後所產生的。TEOS蒸氣和 O_3/O_2 在噴嘴頭之前就先混合，然後形成一個順流氣體衝向基板，至於Ar或 C_2F_6 也會經由管子加入反應腔室並噴向基板表面。沈

積反應室是由噴嘴頭（或天線捲）、加熱平臺和一個氣冷腔室所組成，噴嘴頭可以用天線捲來取代。RF電源藉由高頻阻抗匹配器傳送到噴嘴頭，除非有特別提到以外，整個平臺是有接地，且所有RF頻率都是13.56 MHz，反應腔室在沈積前會先由迴轉式馬達和機械Booster馬達抽真空到低於1 mTorr，且壓力可以藉由手動調整主閥門的開關來控制。

在每一次的沈積過程後，薄膜都會量測厚度和折射率（Nanospec film thickness system）的特性，而填補情況則是由SEM來觀察，薄膜應力藉由Stoney equation來計算，而基底的曲率半徑是由表面輪廓儀（KLT/Tencor）來量測。

3.1

PECVD oxide 1: ICP oxide

實驗中加入如圖3的天線捲來增加在ICP過程中電漿的密度 [19]， O_3/O_2 兩者混合後和Ar一起從天線捲上端噴入，而TEOS蒸汽則是從天線捲跟平台之間噴進去 [21]。這裡列出常用的沈積參數： O_2 (7.3% O_3): 5 sccm、TEOS: 1 sccm、Ar分壓: 26 mtorr、溫度: 350、全部壓力: 45 mtorr、RF線圈功率密度: 0.25 W/cm^2 。沈積速率大概約為78 Å/min，此氧化矽的折射率為1.38，薄膜的張應力大約為95 MPa。

過程中加入少量的Ar原子來撞擊基板以增加CVD的溝槽填補能力 [9-11]，在沈積過程中，同時會有高密度的離子撞擊在基板上，能夠減少填補時孔洞的形成，也可以在高沈積速率下得到品質較好的氧化層。

圖4a顯示加入Ar氣體後在PECVD

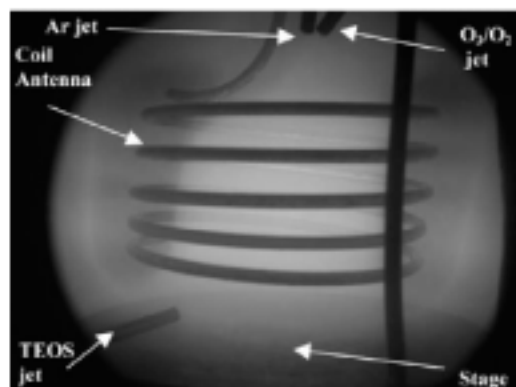


圖3. 天線捲電感耦合電漿

中並有天線捲ICP的沈積外觀，側壁的階梯覆蓋 (c/a) 跟底層的階梯覆蓋 (b/a) 比起來覆蓋較少，是由於離子直接垂直地撞擊基板而沈積在上面。如果過程中沒有加入Ar氣一起反應的話，在相同的沈積條件下，溝槽的邊緣就會有出現如圖4b凸出的結構，這是因為電荷累積在溝槽的邊緣而吸引離子附著，所以在溝槽邊緣的沈積速度大於其它表面的區域。

比較圖4a和圖4b，溝槽的邊緣在加入Ar的撞擊下 [10, 11, 22] 會被蝕刻，但卻看不出很明顯的差距。儘管已經有許多跟沈積和濺鍍蝕刻相關的論文提出越深的溝槽需要花費更多的時間和蝕刻/沈積 交互週期數 [9, 11]，單靠沈積和濺鍍蝕刻的方法在填補高深寬比 (>10) 的溝槽仍然是非常困難且耗時。

相對來講，在PECVD過程中加強Ar離子濺鍍能力，可以增加密封溝槽的機率。在相同的狀態下，圖4c顯示在RF功率密度 1.25 W/cm^2 下，利用天線捲ICP所進行沈積所得到的圖，溝槽開口在高密度電漿輻射的情況下被密封成為微流道。在增加RF功率時，Ar離子濺鍍的效果會更明顯。同樣地增加DC

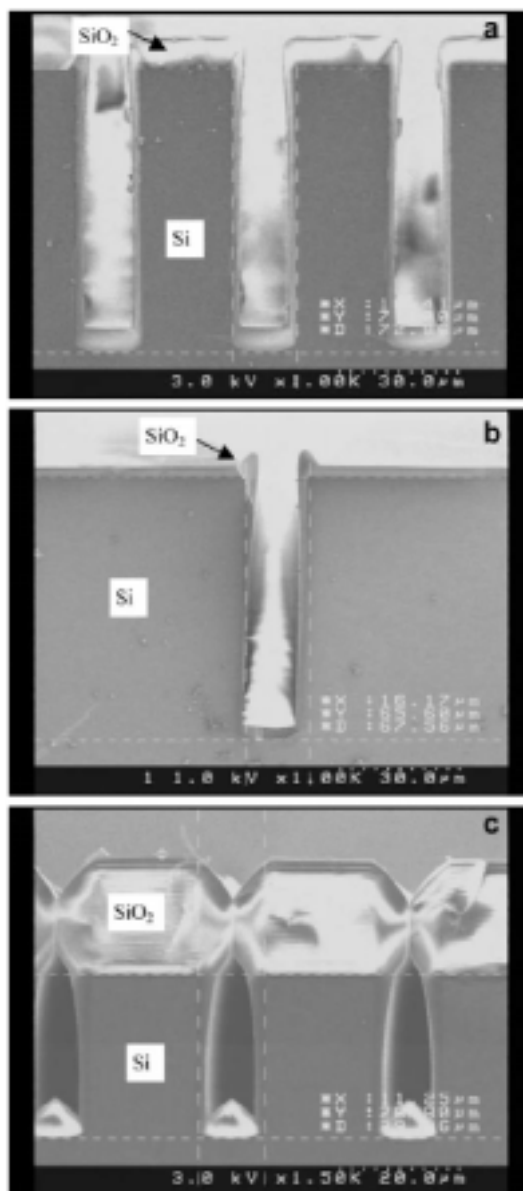


圖4. a 加入Ar離子在天線捲ICP所沈積的氧化矽 b 沒加Ar離子時天線捲ICP所沈積的氧化矽 c 加入RF電源在天線捲ICP後，開口被氧化矽密封住

偏壓也可以加快離子的加速度。當離子具有能量後跟不帶電時相比，先驅體的表面移動率（surface mobility）在二氧化矽的沈積下就相對而言不是佔很重要的角色[9,10,22]，這就是為什麼利用天線捲ICP在PECVD oxide沈積時，溝槽邊緣會產生遮蔽現象而導致快速地沈積使得較其它沈積方法更

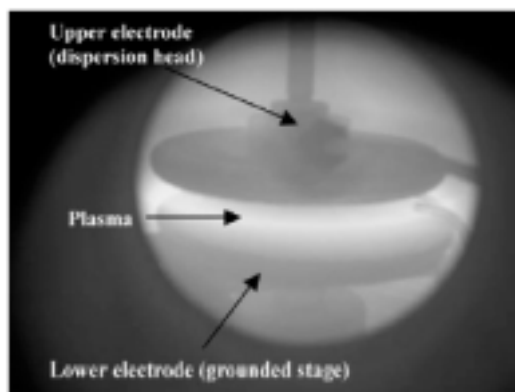


圖5. 平行板電容耦合電漿

容易密封開口的理由，因為氧化層表面移動率被保持在最小，側面的階梯覆蓋也會減少至最小，如圖4c [9]所示。

3.2

PECVD oxide: CCP oxide

CCP電漿如圖5所示是在兩個平行電板之間被激發出來，平臺作為下電極板，而氣體噴射頭則是位於上電極。這裡列出常用的沈積參數： O_2 (7.3% O_3): 130 sccm、TEOS:12 sccm、溫度：350°C、壓力：90 mtorr、RF電壓密度：2.5 W/cm²、電極距離：14 mm。沈積速率大約700Å/min，氧化矽的折射率為1.462，薄膜的張應力約159 MPa。

圖6a是由PECVD加入平行電板CCP所沈積出來的圖，側壁的階梯覆蓋（c/a）跟底部的階梯覆蓋（b/a）比起來小很多，是由於CCP的離子運動方向跟ICP oxide類似。然而，CCP所沈積出來的氧化矽比ICP沈積出來的氧化矽具有更好的溝槽填補能力，圖6b顯示出溝槽利用CCP oxide填補後的外觀。

為了增加電漿的密度，加入1.7 kGauss的磁場在平臺下面，加入這磁

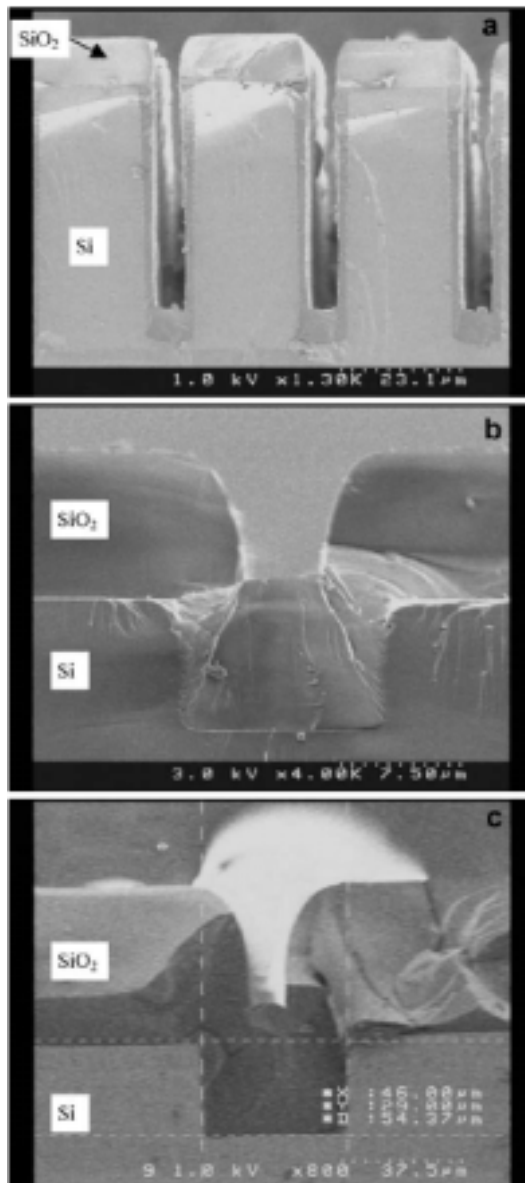


圖6.a 利用平板式CCP所沈積的氧化物 b 利用平板式CCP填補溝槽 c 加入磁場後，平板式CCP氧化物所填補的溝槽利用

場以後，整個沈積速率較未加入前增加了快五倍。圖6c顯示加入磁場導致CCP被加強後，沈積所得到的圖案，其實這階梯覆蓋度不是很好，但是非常厚而且可以防水、維持元件兩側的壓力差、保持層與層之間的水分、MEMS元件的絕熱、支持高溫MEMS元件等都可以有很大的應用 [3,8]。

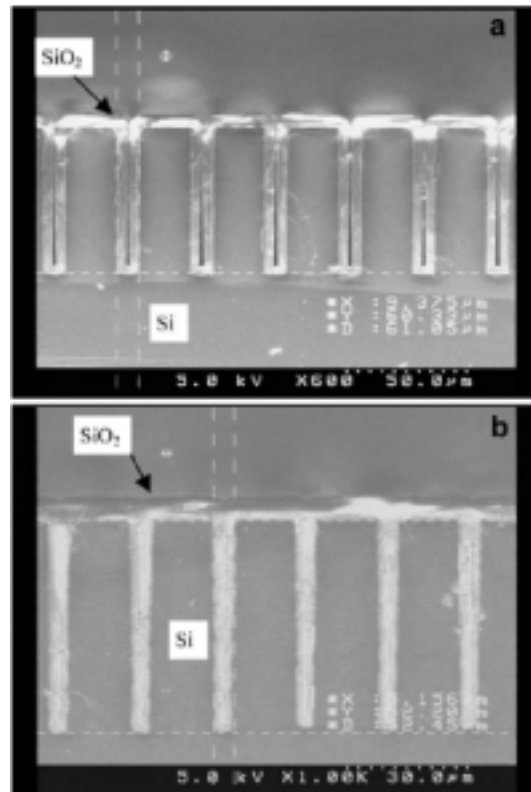


圖7. a SACVD所沈積的高填充率氧化矽 b 利用SACVD的氧化矽進行溝槽填補及其表面平坦度

3.3

SACVD oxide

SACVD的沈積反應腔體跟CCP PECVD是一樣的，不同的是沒有加入RF電源。這裡列出常見的沈積參數： O_2 (7.3% O_3):42 sccm、TEOS:4 sccm、溫度：375 °C、壓力：22.5 mtorr、電極距離：6 mm。沈積速率大約161 Å/min，氧化物的折射率為1.462，薄膜的壓應力約85 MPa。

SACVD所想要的就是達到如圖7a所示之完美階梯覆蓋，因為在此CVD反應中只有不帶電的先驅體產生，在溫度375 °C、壓力22.5 torr時，可以將深60.3微米、寬度9.4微米(深寬比:6.4)的溝槽填補得非常完美。深52微米、寬度5微米(深寬比:10.4)的溝槽則能

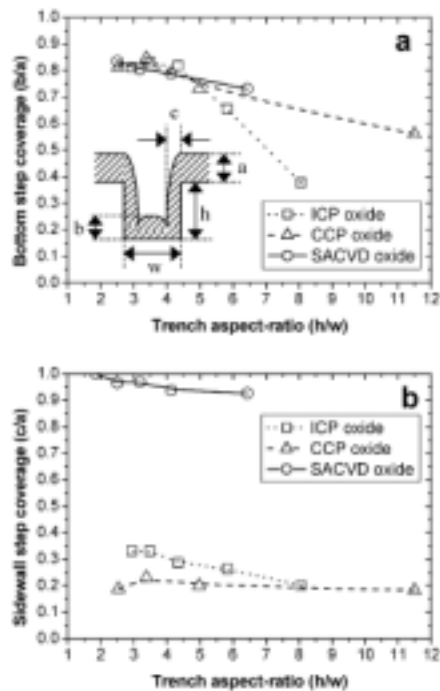


圖8. a 底部階梯覆蓋跟深寬比的關係 b 側壁階梯覆蓋跟深寬比的關係

如圖7b所示完全地填補 能夠成功的原因是由於二氧化矽在CVD反應中，高濃度的 O_3 (7.6%) 和 O_3 跟TEOS的高流量比 (10.5) [16-18,23]所造成表面先驅體的移動率較高。階梯覆蓋度跟不同深寬比所造成的影響分析如圖8所示，這些溝槽大約深50~75微米、寬度從4到50微米不等，在圖8a中，底部的階梯覆蓋在三種不同沈積方式且深寬比 (<4) 下並無明顯的差異。但在深寬比大於5的話，SACVD有較好的底部階梯覆蓋能力，這是因為溝槽邊緣的突出物形成減少了PECVD過程中氣體接觸或擴散到溝槽底部的機會，在圖8b中，SACVD的側壁階梯覆蓋跟其他兩種PECVD比起來好很多，即使深寬比達到6.5時，側壁覆蓋值還能達到92%以上，且在深寬比下降到1.85時，幾乎可以達到100%的程度。比較圖8a跟8b，要注意的是SACVD底部覆蓋較側壁覆蓋能力還低，因為在

SACVD中表面先驅體的擴散所造成的影響，此外，要注意的是CCP和ICP oxide的側壁覆蓋比底部覆蓋還差，這是因為離子在PECVD中垂直的地往基板行進撞擊所造成。

4

結論

這篇論文提出在PECVD和SACVD中加入TEOS/ozone所沈積出 SiO_2 的特性探討。利用兩種不同型的PECVD：天線捲ICP和平行板CCP，天線捲ICP提供較快的沈積速率，即使加入Ar可以減少溝槽邊緣突出物的產生但在階梯覆蓋表現上仍然較差。一般來講在同樣的線寬下，溝槽開口可以被PECVD密封住，特別是有加入ICP所沈積出的氧化矽，這方法在開口密封的應用上可以是一個不錯的選擇。

平行板CCP所沈積出來的薄膜其階梯覆蓋度跟利用ICP沈積出來的薄膜類似，在CCP中加入磁場可以快速增加沈積速率，雖然階梯覆蓋不甚完美，但CCP適合在淺溝槽上沈積厚且不透水的薄膜，在要維持膜兩側的壓力差、保持水分或絕熱的MEMS元件上都有很大的應用。

SACVD的階梯覆蓋比其他兩種PECVD的方法好很多，利用SACVD可以在高深寬比的溝槽沈積出較好的薄膜，且已經成功地利用SACVD得到平坦化表面和深溝填補。在溫度375℃時，可以將溝槽（深60.3微米、寬度9.4微米、深寬比：6.4）填補得非常完美，也能在溝槽（深52微米、寬度5微米、深寬比：10.4）得到100%的覆蓋。SACVD在低溫（ $<400^\circ C$ ）所沈積出來的薄膜殘留壓應力大約85 MPa，我們可以歸結出

SACVD TEOS/ozone可以在低溫得到完美階梯覆蓋且應力小的薄膜,而且也提供跟SACVD有關的實驗數據來描述如何填補高深寬比的溝槽,因此,在未來深溝填補中,相信將會廣泛地利用SiO₂在MEMS製程上。

REFERENCES

1. **Homma T** (1998) Low dielectric constant materials and methods for interlayer dielectric films in ultralarge-scale integrated circuit multilevel interconnections. *Mater Sci & Eng R23*: 243-285
2. **Ayazi F; Najafi K** (2000) High aspect-ratio combined poly and single-crystal silicon (HARPSS) MEMS technology. *J MEMS* 9(3): 288-294
3. **Zhang C; Najafi K** (2002) Fabrication of thick silicon dioxide layers using DRIE, oxidation, and trench refill. *MEMS2002, Las Vegas, US*: 160-163
4. **McCann P; Somasundram K; Byrne S; Nevin A** (2001) Conformal deposition of LPCVD TEOS. *Proc SPIE, Micromachining & Microfabrication Process Technology VII* 4557: 329-340
5. **Rusu C; Klaasse G; Sedky S; Esch H; Parmentier B; Verbist A; Witvrouw A** (2001) Planarization of deep trenches. *Proc SPIE, Micromachining & Microfabrication Process Technology VII* 4557: 49-57
6. **Zhang D; Li Z; Li T; Wu G** (2001) A novel isolation technology in bulk micromachining using deep reactive ion etching and a polysilicon refill. *J Micromech Microeng* 11: 13-19
7. **Parviz BA; Najafi K** (2001) A geometric etch-stop technology for bulk micromachining. *J Micromech Microeng* 11: 277-282
8. **Arana LR; Schaevitz SB; Franz AJ; Jansen KF; Schmidt MA** (2002) A microfabricated suspended-tube chemical reactor for fuel processing. *MEMS2002, Las Vegas, US*: 232-235
9. **Pai CS** (1996) High quality voids free oxide deposition. *Mater Chem & Phys* 44: 1-8
10. **Den Boer DJ; Fukuda H; Helmig J; Van Der Hilst JBC; Janssen GCAM; Kalkman AJ; Radelaar S** (1998) SiOF and SiO₂ deposition in HDP reactor: tool characterization and film analysis. *Microelectron Reliab* 38(2): 281-286
11. **Schwartz GC; Johns P** (1992) Gap-fill with PECVD SiO₂ using deposition/sputter etch cycles. *J Electrochem Soc* 139(3): 927-932
12. **Shareef IA; Rubloff GW; Anderle M; Gill WN; Cotte J; Kim DH** (1995) Subatmospheric chemical vapor deposition ozone/TEOS process for SiO₂ trench filling. *J Vac Sci Technol B* 13 (4): 1888-1892
13. **Xia LQ; Conti R; Galiano M; Campana F; Chandran S; Cote D; Restaino D; Yieh E** (1999) High

- aspect ratio trench filling using two-step subatmospheric chemical vapor deposited borophosphosilicate glass for <0.18 μ m device application. J Electrochem Soc 146(5): 1884-1888
14. **Huang J; Kwok K; Witty D; Donohoe K** (1993) Dependence of film properties of subatmospheric pressure chemical vapor deposited oxide on ozone-to-tetraethylorthosilicate ratio. J Electrochem Soc 140(6): 1682-1686
 15. **Xia LQ; Yieh E; Gee P; Campana F; Nguyen BC** (1997) Process characteristics for subatmospheric chemical vapor deposited borophosphosilicate glass and effect of carrier gas. J Electrochem Soc 144(9): 3208-3212
 16. **Matsuura M; Hayashide Y; Kotani H; Abe H** (1991) Film characteristics of APCVD oxide using organic silicon and ozone. Jpn J Appl Phys 30(7): 1530-1538
 17. **Ikeda Y; Numasawa Y; Sakamoto M** (1990) Ozone/organic-source APCVD for conformal doped oxide films. J Electronic Mater 19(1): 45-49
 18. **Fujino K; Nisimoto Y; Tokumasu N; Maeda K** (1990) Silicon dioxide deposition by atmospheric pressure and low-temperature CVD using TEOS and ozone. J Electrochem Soc 137(9): 2883-2887
 19. **Sugai H; Nakamura K; Suzuki K** (1994) Electrostatic Coupling of antenna and the shielding effect in inductive RF plasmas. Jpn J Appl Phys 33(1)4B: 2189-2193
 20. **Chang S; Eaton W; Fulmer J; Gonzalez C; Underwood B; Wong J; Smith RL** (1991) Micromechanical structures in amorphous silicon. International Conference on Solid-State Sensors & Actuators: 751-754
 21. **Hitchman ML; Alexandrov SE** (2001) New approaches to Titania and Silica CVD. The Electrochem Soc Interface, Summer 2001: 40-45
 22. **Gross M; Horwitz CM** (1993) Silicon dioxide trench filling process in a radio-frequency hollow cathode reactor. J Vac Sci Technol B 11 (2): 242-248
 23. **Adachi M; Okuyama K; Fujimoto T; Sato J; Muroyama M** (1996) Morphology control of films formed by atmospheric-pressure chemical vapor deposition using tetraethylorthosilicate /ozone system. Jpn J Appl Phys 35(1) 8: 4438-4443