

多媒體與多重服務之數位用戶迴路通訊系統 總計劃
-多媒體與多重服務之數位用戶迴路通訊系統

行政院國家科學委員會專題研究計劃成果報告

多媒體與多重服務之數位用戶迴路通訊系統 總計劃 -多媒體與多重服務之數位用戶迴路通訊系統 xDSL Multimedia & Multi-service Communication System

計劃編號: NSC-89-2218-E-002-078

執行期限: 89 年 8 月 1 日至 90 年 7 月 31 日

主持人: 汪重光、闕志達、吳安宇、廖婉君 國立臺灣大學電機學院電機系
吳曉光、周世傑、蘇朝琴 國立中央大學電機學院電機系
薛木添 誠致電子股份有限公司

一、中文摘要

隨著電信技術、網際網路技術與半導體技術之發展與進步，寬頻通訊服務與寬頻網際網路服務需求愈來愈殷切，網路電話、網路代理伺服器、高品質即時多媒體資料傳輸為未來 Internet 應用發展新趨勢之熱門主體。然而，伴隨著這些服務而來的，是非常龐大的資料量與網路傳輸頻寬需求，於是為了獲得更高速的資料存取能力，許多業者紛紛提出各種提高傳輸速率的方案，xDSL 為方案之一。

關鍵詞：傳收機、VDSL、DMT

Abstract

Advanced technologies of digital transmission, Internet application and semiconductor manufacturing have aroused the demand for broadband communication service and broadband Internet. VoIP, Web proxy, high quality real-time multimedia services, etc. are going to become new trends in the future. In consequence, a large transmission capacity is required for providing broadband services. The transmission technology of xDSL is one of the solutions to provide broadband services.

Keywords: transceivers, VDSL, DMT

二、計劃緣由與目的

本 3C 整合型群計劃之目標是研究適

用於多媒體服務並提供多重服務(如 VoIP、Video Streaming、Internet Access)之數位用戶迴路通訊系統[1]。研究範圍包括多媒體與多重服務(如 VoIP、Video Streaming、Internet Access)技術、離散多載波(Discrete Multi-Tone, DMT)傳輸技術、DMT 傳收機系統架構及其超大型積體電路設計與晶片製作。以傳收機開發及多媒體服務與多重服務區分，敘述如下：

傳收機開發：

1. DMT 傳收機之單晶片架構設計、電路設計及晶片製作，獲得高速數據機之系統整合技術。
2. 研發高速有限傳輸系統之高性能、低電壓低功率消耗高速之混合數位類比信號處理電路設計技術與晶片製作。
3. 研究 DMT 傳輸技術，針對 DMT engine 之時域等化器、頻域等化器、回音消除器等核心數位電路開發更先進運算法與積體電路。
4. 512-point IFFT/FFT、Reed-Solomon (RS) FEC codec、Trellis-Coded Modulation (TCM) encoder/decoder 等高電路複雜度，但是具有多應用場合之數位電路之 IP 模組開發。
5. 設計適用於通訊系統之可參數化、可拓展性的 DSP 核心，使未來可很容易產生我們所需之通訊架構之 DSP 核心，並利用此發展之 DSP 核心來支援一些 xDSL 之運算。計畫後期並將和其他計畫發展之特殊模組結合，此整合部份之

最終目標為一 xDSL 之 SoC。

6. 研究先進之混合訊號處理電路級系統晶片之測試技術與可測試設計技術，並研究如何利用子計劃二、三、六之研究成果進行混合訊號處理電路級系統晶片之自我測試技術。

多媒體服務與多重服務：

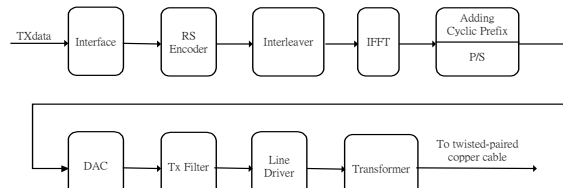
1. 設計 xDSL 寬頻接取網路之網路代理伺服器及相關協定。
2. 配合第一年之研究基礎，開發 xDSL 網路之網路電話與加值性服務。
3. 提供高服務品質(QoS)於第一、二年的研究成果，並與其他子計畫設計作整合測試，進行效能改進，以完成總計畫「多媒體與多重服務之數位用戶迴路通訊系統」之目的。
4. 研究先進之網路協定及多重解析視訊技術，使得 xDSL 傳輸系統有能力去保證資料傳輸的服務品質。
5. 研究動態調整控制影視服務流量技術，並去設計如何適當的調整 xDSL 傳輸速率，動態的調整傳輸速度，透過 Network layer、MAC layer 以及 Application layer 去保證 QoS 服務。
6. 整合研究成果，研究同時提供多媒體服務、網路電話、可調適之即時音視訊服務之多重服務技術。

三、結果與討論

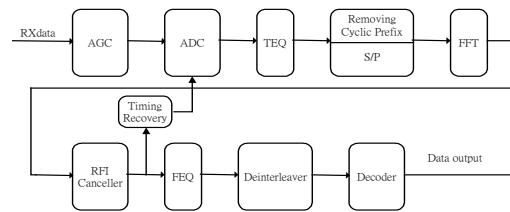
子計劃一：DMT 傳收機系統架構及類比前端電路設計[2]-汪重光教授

圖一為所提出之 DMT-Based VDSL 傳送機架構，資料送入 Inverse Fast Fourier Transform (IFFT)來做調變，最後加入 cyclic prefix 來預防 ISI。圖二為接收機架構，資料經過 twisted pairs 通道,接著在接收端經 ADC 將資料數位化，而後用 Fast Fourier Transform (FFT)來做解調。之後，用一個頻域等化器 (FEQ)，來補償通道的衰減。在這個流程下，在短通道中下傳可達到 54 Mbps，在長通道中下傳可達到 16Mbps。並且在時序回復電路中可以達到 $\pm 200\text{ppm}$

的取樣頻率偏移補償。而時域等化器則可達到 40.5dB 的縮短訊號雜訊比(SSNR)而使資料傳輸率在長通道中下傳可達到 16Mbps。



圖一、傳送機架構圖



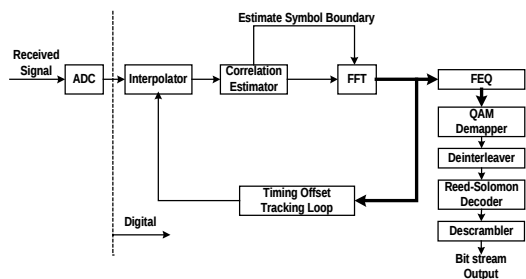
圖二、接收機架構圖

子計劃二：高速數位用戶迴路 DMT 基頻處理電路架構設計[3]-關志達 教授

根據 ETSI 訂定之 VDSL 規格，提出之傳送機架構如圖三所示。在將實際通訊系統之非理想特性加入考慮下，提出接收機設計如圖四所示。其中利用 Correlation Estimator 做符元邊界的估計，並利用一以內插器為基礎之鎖相迴路配合 pilot tone 的傳送，做取樣誤差的補償，再經由頻域等化器以補償通道的衰減，最後經過一連串數位解碼的動作將資料解回。



圖三、傳送機架構圖

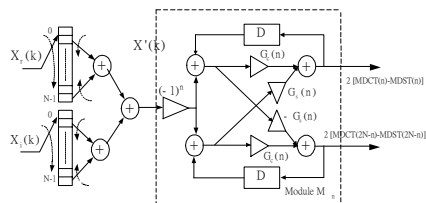


圖四、接收機架構圖

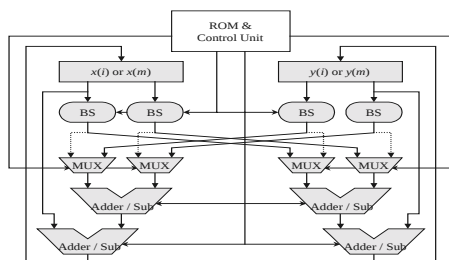
由目前的驗證結果可以得知，的確可以利用所設計的接收機架構，在硬體資源的考量下，得到理想的系統效能。

子計劃三：適用於高速數位用戶迴路之 DMT 數位 IP 模組設計及實現[4]—吳安宇教授

在這個子計畫中，目標為建立一組高效能/低功率的數位 IP 模組。在 IFFT/FFT 模組，我們提出簡易的前置架構並使處理速度加倍，改良後的核心架構如圖五所示。遞迴式傅立葉轉換模組的核心是一旋轉器，我們可利用精簡數位座標旋轉計算器，將面積減少成為 $4W/3$ 個加法器，其中 W 為加法器的位元數。圖六為精簡數位座標旋轉計算器的架構圖。在 Reed-Solomon FEC Codec 我們基於 PGZ 演算法推導一可規劃的 VLSI 電路架構稱之為多模式的 PGZ 解碼器，表一為其比較表。另外在 Trellis-Coded Modulation Codec 方面，我們提出一個可規劃式的唯特比解碼器如圖七所示，我們加上一個稱為 BARG (BM-to-ACS Routing Generator) 的模組採用 soft decision 的方式來計算其值，即可適用於不同參數之應用得到 2.2dB 的編碼增益值；而在 ACSU 這個模組裡，採取較平行處理的“Full PEs”方法。最後 SMU 模組我們採取的是 One-P 的方法。



圖五、改良的平行格時間遞迴架構



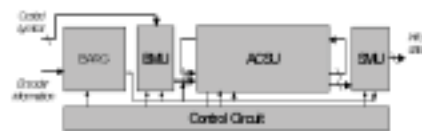
圖六、數位座標旋轉計算器架構圖

Architecture type	Number of FFM	Number of FFA
Direct implementation PGZ algorithm for $t = 3$	40	16
The derived reduced complexity PGZ for $t = 3$	21	11
The proposed Multi-mode PGZ for $t = 0, 1, 2, 3$	24	12

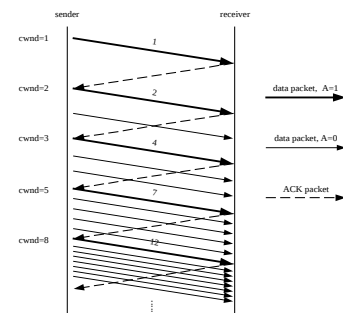
表一

子計劃四：數位用戶迴路上網路電話與代理伺服器服務之設計[5]—廖婉君教授

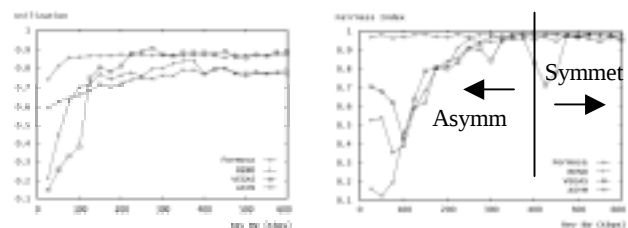
我們設計提出了一個新的協定-TCP Formosa，針對數位用戶迴路的非對稱性頻寬特性，提出「an ACK per window」、「new acknowledgement scheme」、「new congestion avoidance」、「NACK」等機制來改善效能 (throughput)，公平性 (fairness)，及錯誤回復 (error recovery)，並以 ns-2 模擬驗證其正確性與有效性。圖八顯示 TCP Formosa 如何利用「an ACK per window」機制來控制 congestion，圖九左邊為我們使用的模擬網路拓樸，圖九右，橫軸為反向連結的網路頻寬，縱軸代表使用效能。



圖七、可規劃式唯特比解碼器架構



圖八、Congestion window growth

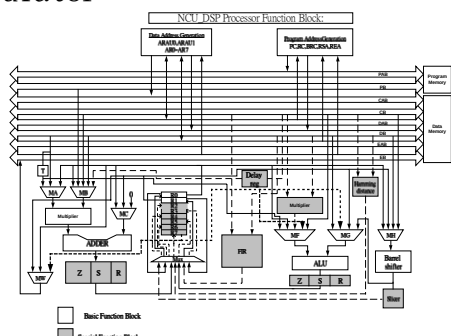


圖九、模擬網路拓樸/各種 TCP 公平性比較

子計劃六：XDSL 可參數化數位信號處理核心[6]—周世傑教授

在 DSP 核心設計(圖十)包括程式位址產生單元、資料位址產生單元、計算單元、輸入/輸出單元和記憶體—資料記憶體和程式記憶體。為了效能上的考量，我們將指令的長度訂為 24 位元，指令個數為 102 個。除了能夠實現 TI 之 TMS320C54X 所擁有的指令外，還加入了一些通訊系統中

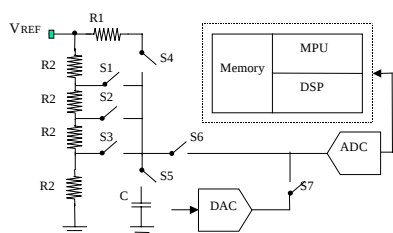
常用到的指令。這顆 DSP chip 可達到 100 MHz 的操作頻率，3.3 的電壓供應，晶片面積是 $4000 \times 4000 \mu\text{m}^2$ 。可參數化模組產生器包括：乘法及累加器、FIR 濾波器、Multi-level Slicer、Hamming distance Calculator。



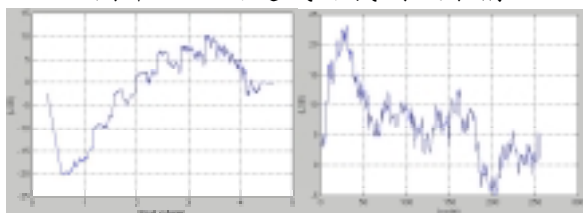
圖十、 Embedded DSP core 之方塊圖

子計劃七：xDSL 單晶片系統測試與可測試設計技術[7]—蘇朝琴 教授

我們所要研究的，是一種內建式自我測試的方法(build-in self-test: BIST)，圖十一我們所提出用來測試類比數位與數位類比轉換器線性度的架構。我們提出了利用晶片上原本就有的記憶體和微處理單元的方法。所加入的測試電路中，最主要的是一個簡單的單一電阻電容低通濾波器和一些用來產生精準參考電壓的電阻。在這個方式之下，類比數位轉換器的失真度如果被測了出來，那麼它可以用來測試在同一個晶片內之數位類比轉換器的特性。類比數位與數位類比轉換器線性度的測試結果分別表示在圖十二。



圖十一、內建式自我測試架構



圖十二、解出之類比數位\數位類比轉換器 INL

四、計畫成果自評

整個群計劃的目標、分工、子計劃間的相互連結及各項子計劃之預期成果都規劃得很清楚且被實行。教授們不只專注於各自的興趣與專長之研究上，而且可以整合其他教授的經驗，完成系統層次上的整合。參加此群計劃的學生也從此群計劃與子計劃之執行，獲得 LVLP 元件特性之了解、類比與數位電路之設計技術、VLSI 系統整合和測試技術，了解到數位通訊系之設計與技術、寬頻網路技術、多媒體與多重服務應用等技術，亦可了解到軟硬體技術間之相互為用與整合技術。

五、參考文獻

- [1] ITU-T Rec. H.323, "Packet Based Multimedia Communications Systems", v.2, 1998; <http://www.itu.int/itu-t/rec/h/h323.html>
- [2] NSC Project Report, "System Architecture and AFE Designs of DMT Transceiver", 2000.8-2001.7, NSC-89-2218-E-002-079.
- [3] NSC Project Report, "Design of DMT Baseband Processing Architecture", 2000.8-2001.7, NSC-89-2218-E-002-080.
- [4] NSC Project Report, "Design and Implementation of Digital IP for DMT Engine in High-Speed DSL Applications (I)", 2000.8-2001.7, NSC-89-2218-E-002-108.
- [5] NSC Project Report, "Voice over IP (VoIP) and Web proxy over xDSL (I)", 2000.8-2001.7, NSC-89-2218-E-002-081.
- [6] NSC Project Report, "Parameterized DSP Core for XDSL(I)", 2000.8-2001.7, NSC-89-2218-E-008-023.
- [7] NSC Project Report, "xDSL Mixed Signal System on Chip Testing and Design for Testability", 2000.8-2001.7, NSC-89-2218-E-008-024.